



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

UIT-T

SECTOR DE NORMALIZACIÓN
DE LAS TELECOMUNICACIONES
DE LA UIT

V.80

(08/96)

SERIE V: COMUNICACIÓN DE DATOS POR LA RED
TELEFÓNICA

Interfaces y módems para la banda vocal

**Control del equipo de terminación del circuito
de datos en la banda y modos de datos
síncronos para el equipo de terminal de
datos asíncrono**

Recomendación UIT-T V.80

(Anteriormente «Recomendación del CCITT»)

RECOMENDACIONES UIT-T DE LA SERIE V
COMUNICACIÓN DE DATOS POR LA RED TELEFÓNICA

- 1 – Generalidades
- 2 – **Interfaces y módems para la banda vocal**
- 3 – Módems de banda ancha
- 4 – Control de errores
- 5 – Calidad de transmisión y mantenimiento
- 6 – Interfuncionamiento con otras redes

Para más información, véase la Lista de Recomendaciones del UIT-T.

PREFACIO

El UIT-T (Sector de Normalización de las Telecomunicaciones) es un órgano permanente de la Unión Internacional de Telecomunicaciones (UIT). Este órgano estudia los aspectos técnicos, de explotación y tarifarios y publica Recomendaciones sobre los mismos, con miras a la normalización de las telecomunicaciones en el plano mundial.

La Conferencia Mundial de Normalización de las Telecomunicaciones (CMNT), que se celebra cada cuatro años, establece los temas que han de estudiar las Comisiones de Estudio del UIT-T, que a su vez producen Recomendaciones sobre dichos temas.

La aprobación de Recomendaciones por los Miembros del UIT-T es el objeto del procedimiento establecido en la Resolución N.º 1 de la CMNT (Helsinki, 1 al 12 de marzo de 1993).

La Recomendación UIT-T V.80 ha sido preparada por la Comisión de Estudio 14 (1993-1996) del UIT-T y fue aprobada por el procedimiento de la Resolución N.º 1 de la CMNT el 16 de agosto de 1996.

NOTAS

1. En esta Recomendación, la expresión «Administración» se utiliza para designar, en forma abreviada, tanto una administración de telecomunicaciones como una empresa de explotación reconocida de telecomunicaciones.
2. Los anexos y apéndices adjuntos a las Recomendaciones de la serie V tienen las siguientes características:
 - un *anexo* a una Recomendación es parte integrante de la Recomendación;
 - un *apéndice* a una Recomendación no es parte integrante de la Recomendación y únicamente proporciona explicaciones o informaciones específicas complementarias para dicha Recomendación.

© UIT 1997

Es propiedad. Ninguna parte de esta publicación puede reproducirse o utilizarse, de ninguna forma o por ningún medio, sea éste electrónico o mecánico, de fotocopia o de microfilm, sin previa autorización escrita por parte de la UIT.

ÍNDICE

		<i>Página</i>
1	Alcance.....	1
2	Referencias.....	2
3	Definiciones.....	2
4	Capa física.....	3
4.1	Circuitos de interfaz serie necesarios.....	4
4.2	Circuitos representados.....	4
5	Consideraciones sobre puerto serie.....	4
5.1	Velocidad de puerto serie.....	4
5.2	Velocidad de puerto serie cuando se utiliza en el estado instrucción.....	4
5.3	Interacciones de control de flujo.....	5
5.4	Errores en el tren de datos.....	5
6	Procedimientos de control en banda.....	5
6.1	Transparencia de modo básico.....	5
6.2	Ejecución de instrucción en banda.....	6
6.3	Trenes de datos DTE a DCE.....	7
6.4	Trenes de datos DCE a DTE.....	7
7	Definiciones de instrucción en banda de 7 bits.....	7
7.1	Informe de situación V.24.....	7
7.2	Instrucciones en banda enviadas por el DTE al DCE.....	8
7.3	Instrucciones en banda enviadas por el DCE al DTE.....	9
7.4	Instrucciones en banda ampliadas enviadas por el DTE al DCE.....	10
7.5	Instrucciones en banda ampliadas enviadas por el DCE al DTE.....	11
7.6	Control de servicio en banda.....	13
7.7	Control de servicio global.....	14
7.8	Control de estado individual.....	14
7.9	Sintaxis de formato V.25 <i>ter</i> para el control de control en banda, +IBC.....	14
7.10	Control del informe MARCA en reposo en banda, +IBM.....	16
8	Instrucciones de 8 bits: Modos de datos síncronos.....	17
8.1	Habilitación de modos síncronos.....	18
8.2	Configuración en modo de acceso síncrono.....	20
8.3	Indicación de modo síncrono.....	22
8.4	Umbral de control de flujo de transmisión.....	22
8.5	Instrucciones e indicaciones en banda en modo acceso síncrono.....	23
8.6	Funcionamiento en modo síncrono.....	25
8.7	Funcionamiento en modo túnel de trama.....	25
8.8	Funcionamiento en modo acceso síncrono.....	25
Apéndice I – Configuración de la interfaz DTE-DCE de transmisión en modo de acceso síncrono para aplicaciones multimedia.....		31
I.1	Mínima velocidad de señalización de datos DTE-DCE.....	31
I.2	Umbral de control de flujo e informe sobre el contenido de la memoria tampón.....	31

CONTROL DEL EQUIPO DE TERMINACIÓN DEL CIRCUITO DE DATOS EN LA BANDA Y MODOS DE DATOS SÍNCRONOS PARA EL EQUIPO DE TERMINAL DE DATOS ASÍNCRONO

(Ginebra, 1986)

1 Alcance

Existen Recomendaciones para el control de equipos terminales de datos (DTE, *data terminal equipment*) de los equipos de terminación del circuito de datos (DCE, *data circuit terminating-equipment*) que utilizan intercambio de datos serie y alineación de trama arrítmica (Recomendaciones UIT-T V.25 *bis* y V.25 *ter*). Cuando no se van a transferir datos de usuario, las instrucciones del DTE y las respuestas del DCE se cursan por los mismos trayectos de datos utilizados por los datos de usuario, tales como los circuitos 103 y 104 de la Recomendación V.24.

Las Recomendaciones antes mencionadas utilizan mecanismos fuera de banda para el control mientras se están transfiriendo los datos de usuario, tales como los circuitos 108/2 y 109 de la Recomendación V.24 para control y estado de la llamada y los circuitos 133 y 106 para control de flujo. Todas las instrucciones o mensajes de estado cursados por los circuitos 103 y 104 deben aplicarse cuando la transferencia de datos de usuario ha finalizado o está suspendida.

Además, la Recomendación V.25 *ter* define dos modos de funcionamiento DCE mientras se está en estado de datos en línea para su utilización con un DTE que emplee alineación de trama arrítmica asíncrona; a saber, modo directo y modo con almacenamiento en memoria tampón. Además, las Recomendaciones V.42 y V.42 *bis* definen adiciones al modo con almacenamiento en memoria tampón para funcionamiento con control de errores y compresión de datos, respectivamente.

La presente Recomendación comprende seis partes:

- Describe los procedimientos para que un DTE asíncrono y un DCE intercambien el estado de los circuitos V.24, tanto si existe introducción o no para esos circuitos en la interfaz V.24, utilizando los mensajes en banda por los circuitos 103 y 104. No se dispone de un conjunto completo de circuitos V.24 en todos los DTE debido a las restricciones de interfaz o al programa informático del sistema DTE.
- Describe los procedimientos invariantes en el tiempo para que un DTE asíncrono y un DCE intercambien secuencias de marcas o espacios continuos de longitud ampliada, utilizando los mensajes en banda por los circuitos 103 y 104. No todos los DTE son capaces de generar y/o interpretar tales secuencias directamente.
- Describe los procedimientos para que un DTE asíncrono y un DCE intercambien instrucciones e indicaciones V.25 *ter* ordinarias encontrándose en estado datos en línea, encapsulando tales instrucciones e indicaciones en los mensajes en banda por los circuitos 103 y 104.
- Describe los procedimientos para que un DTE asíncrono y un DCE intercambien instrucciones e indicaciones para control del convertidor de señal y conmutar el estado mientras se encuentra en estado datos en línea, encapsulando tales instrucciones e indicaciones en los mensajes en banda por los circuitos 103 y 104.
- Describe los procedimientos para el funcionamiento del DCE en modo túnel de trama durante el estado datos en línea, donde el DCE realiza la conversión entre la alineación de trama HDLC asíncrona utilizada por un DTE local que emplea alineación de trama arrítmica y la alineación de trama HDLC síncrona utilizada por la estación de datos distante.
- Describe los procedimientos para el funcionamiento del DCE en modo de acceso síncrono durante el estado datos en línea, donde un DTE asíncrono que utilice alineación de trama arrítmica pueda transmitir y recibir trenes de datos síncronos arbitrariamente formateados en la GSTN.

Estos procedimientos dependen de la integridad del trayecto de transferencia de datos. Es conveniente que el enlace DTE-DCE proporcione algún medio para evitar errores por pérdida de datos u otras degradaciones de la información de control en banda, o que la integridad esperada del enlace sea tal que esto se considere innecesario. La especificación de los medios para evitar las pérdidas de datos cae fuera del ámbito de la presente Recomendación.

Estos procedimientos deben ser independientes en el tiempo puesto que el retardo entre caracteres no puede mantenerse en los DTE que contienen programas informáticos multitareas, grandes memorias tampón de caracteres o enlaces de datos intermedios (por ejemplo, redes de área local).

2 Referencias

Las siguientes Recomendaciones y otras referencias, contienen disposiciones que, mediante su referencia en este texto, constituyen disposiciones de la presente Recomendación. Al efectuar esta publicación, estaban en vigor las ediciones indicadas. Todas las Recomendaciones y otras referencias son objeto de revisiones por lo que se preconiza que los usuarios de esta Recomendación investiguen la posibilidad de aplicar las ediciones más recientes de las Recomendaciones y de otras referencias citadas a continuación. Regularmente se publica una lista de las Recomendaciones UIT-T actualmente vigentes.

- Recomendación UIT-T T.31 (1995), *Control de equipo de terminación del circuito de datos facsímil asíncrono – Clase de servicio 1.*
- Recomendación UIT-T T.32 (1995), *Control de equipo de terminación del circuito de datos facsímil asíncrono – Clase de servicio 2.*
- Recomendación V.4 del CCITT (1988), *Estructura general de las señales de código del Alfabeto Internacional N.º 5 para la transmisión de datos orientada a caracteres por la red telefónica pública.*
- Recomendación UIT-T V.24 (1993), *Lista de definiciones para los circuitos de enlace entre el equipo terminal de datos y el equipo de terminación del circuito de datos.*
- Recomendación V. 25 bis del CCITT (1988), *Equipo de llamada y/o respuesta automáticas en la red telefónica general con conmutación utilizando los circuitos de enlace de la serie 100.*
- Recomendación UIT-T V.25 ter (1996), *Marcación y control automáticos asíncronos en serie.*
- ISO 2111:1985, *Data communication – Basic mode control procedures – Code independent information transfer.*
- Recomendación T.50 del CCITT (1992), *Alfabeto internacional de referencia (anteriormente alfabeto internacional N.º 5 o IA5) – Tecnología de la información – Juego de caracteres codificado de siete bits para intercambio de información.*
- ISO/CEI 3309:1993, *Information technology – Telecommunications and information exchange between systems – High-level data link control (HDLC) procedures – Frame structure.*

3 Definiciones

En esta Recomendación se utilizan las siguientes definiciones y abreviaturas.

3.1 estado instrucción: En estado instrucción, el DCE no se comunica con una estación distante y está preparado para aceptar instrucciones. Las señales de datos procedentes del DTE en el circuito 103 se tratan como instrucciones y son procesadas por el DCE y las respuestas del DCE se envían al DTE por el circuito 104. El DCE pasa a este estado tras su activación y cuando se desconecta una llamada.

3.2 estado instrucción en línea: En estado instrucción en línea, el DCE se comunica con una estación distante, pero trata todas las señales procedentes del DTE en el circuito 103 como instrucciones y envía respuestas al DTE por el circuito 104. Dependiendo de la implementación, los datos recibidos de la estación distante durante el estado instrucción en línea pueden descartarse o mantenerse en el DCE hasta que se pasa nuevamente al estado datos en línea (por una instrucción del DTE). Los datos previamente transmitidos por el DTE local y almacenados en una memoria tampón por el DCE pueden transmitirse desde dicha memoria al DCE distante durante el estado instrucción en línea o pueden descartarse, también puede aplazarse la transmisión hasta que se active nuevamente el estado datos en línea. Al estado instrucción en línea puede pasarse desde el estado datos en línea mediante mecanismos definidos en la Recomendación V.25 ter o en la presente Recomendación o por otros medios definidos por el fabricante.

3.3 estado datos en línea: En estado datos en línea, el DCE se comunica con una estación distante. Las señales de datos procedentes del circuito 103 del DTE se tratan como datos y se transmiten a la estación distante y las señales de datos recibidas de dicha estación se entregan al DTE por el circuito 104. Las señales de datos y control son supervisadas por el DCE para detectar sucesos tales como pérdida de la conexión con la estación distante y peticiones del DTE para desconexión o conmutación al estado instrucción en línea. Se pasa al estado datos en línea al completar con éxito una instrucción para originar o responder una llamada, respondiendo automáticamente a una llamada o mediante una instrucción del DTE de volver al estado datos en línea a partir del estado instrucción en línea.

3.4 instrucción en banda: Una instrucción en banda es una secuencia de dos o más caracteres que consiste en un carácter de escape de enlace de datos seguido por un carácter de instrucción. Si el carácter de instrucción va seguido por caracteres adicionales como los indicados en la definición de instrucción, se trata de una instrucción ampliada; de no ser así, es una instrucción breve. Salvo el carácter de escape, todos los caracteres de la instrucción breve o ampliada se limitan a la gama de 20h a 7Eh y A0h a FEh.

3.5 circuito de control en banda: Un circuito de control en banda es un circuito V.24 lógico definido entre el DTE y el DCE, presentado por un dispositivo al otro mediante instrucciones en banda en vez de (o además de) por medio de circuitos físicos fuera de banda.

3.6 codificación hexadecimal: En esta Recomendación se utiliza codificación hexadecimal. Se trata de una codificación en base 16 utilizándose las primeras seis letras del alfabeto romano (A-F) para representar los valores de las cifras 10-15, además de los números 0-9 empleados para representar sus valores tradicionales. Un cifra hexadecimal representa un número binario de 4 bits; dos cifras hexadecimales consecutivas representan un número de 8 bits, siendo la primera cifra los 4 bits más significativos y la segunda los 4 bits menos significativos.

En esta Recomendación, dos cifras hexadecimales van seguidas por la letra «h» para indicar notación hexadecimal. Por ejemplo, 5Dh representa 0101 1101 en binario, 93 en decimal, y 5/13 en la notación de caracteres de la Recomendación T.50.

3.7 corte: En esta Recomendación, corte se refiere a los periodos ampliados de lógica cero constante en los circuitos 103 ó 104 de la Recomendación V.24.

3.8 marca en reposo: En esta Recomendación, marca en reposo se refiere a los periodos ampliados de lógica uno constante en los circuitos 103 ó 104 de la Recomendación V.24.

3.9 modo síncrono: Modo de transmisión de datos en que los circuitos 103 (TD) y 104 (RD) de la Recomendación V.24 transfieren datos de forma síncrona a la velocidad de la interfaz módem-línea, utilizando los circuitos 113 ó 114 de la Recomendación V.24 para la temporización de los bits en el transmisor y el circuito 115 para la temporización de los bits en el receptor. El módem no almacena los datos en una memoria tampón en ningún sentido ni lleva a cabo el control del flujo.

3.10 modo túnel de trama: Modo de transmisión de datos en que los circuitos 103 (TD) y 104 (RD) de la Recomendación V.24 transfieren en forma síncrona los datos de la trama HDLC utilizando los procedimientos de transparencia arrítmica especificados en ISO/CEI 3309. La transmisión de datos entre los DCE hace uso de los procedimientos de transmisión síncrona especificados en ISO/CEI 3309. En cada sentido, el DCE convierte las tramas HDLC entre los dos formatos. Este modo permite a los DTE existentes utilizar transparencia arrítmica (por ejemplo, Recomendación T.123), para aprovechar las ventajas del flujo superior que admite la transmisión síncrona.

3.11 modo de acceso síncrono: Modo de transmisión de datos donde los octetos de datos con alineación de trama arrítmica procedentes del circuito 103 de la Recomendación V.24 son desprovistos de los bits de arranque y parada y se concatenan para su transmisión al DCE distante. El tren de bits síncrono procedente del DCE distante se divide en octetos y se transmite al DTE local por el circuito 104 de la Recomendación V.24, insertando los bits de arranque y parada. Se dispone de flujo de control para adaptar la velocidad de transferencia de octetos DTE-DCE a la de la línea sin infrautilizar o desbordar la memoria tampón. En este modo, el funcionamiento puede alternarse entre un submodo transparente donde el DCE no realiza el procesamiento de ningún bit adicional y un submodo con alineación de tramas en que el DCE lleva a cabo una alineación de tramas de protocolo síncrona orientada a bits.

3.12 submodo transparente: Modo de acceso síncrono genérico para protocolos DCE-DCE sin especificar. El tren de bits transmitidos lo especifica el DTE, utilizando los procedimientos de apantallamiento EM especificados en esta Recomendación. Todos los bits recibidos se entregan a DTE, incluida la marca en reposo constante (unos).

3.13 submodo con alineación de trama: Modo de acceso síncrono en que el DCE lleva a cabo ciertas funciones de procesamiento de bits en apoyo de protocolos DCE-DCE específicos. El procesamiento orientado a bits incluye los procedimientos ISO/CEI 3309 para transparencia de bandera a través de inserción de ceros y pueden generarse y verificarse códigos de redundancia cíclica.

4 Capa física

Los procedimientos definidos en esta Recomendación son útiles para las interfaces basadas en el intercambio de datos de bits serie y para otras interfaces digitales. Esta Recomendación hace referencia a interfaces de bits serie con alineación de trama arrítmica que implementan los circuitos lógicos de la Recomendación V.24. Para otras interfaces se requiere un canal de caracteres en serie bidireccional.

4.1 Circuitos de interfaz serie necesarios

Los DCE que cumplen esta Recomendación funcionarán adecuadamente si sólo se conectan o implementan estos circuitos.

<i>Circuito</i>	<i>Descripción</i>
102	Señal común – Se requiere la conexión de este circuito para lograr el reconocimiento adecuado de las señales en otros circuitos. NOTA – Ello es necesario para el intercambio eléctrico; puede que no sea preciso en algunas interfaces físicas.
103	Datos transmitidos – En estado instrucción, las señales de datos son procesadas por el DCE y no se transmiten a la estación distante. En estado datos, las señales de datos son procesadas para detectar instrucciones en banda; de no ser así, las señales de datos pasan a las funciones de convertidores de señal y control de error opcional.
104	Datos recibidos – En estado instrucción, los datos recibidos de la estación distante se almacenan en memoria tampón o se ignoran y el DCE entrega las respuestas al DTE en este circuito. En estado datos, el DCE puede entregar instrucciones en banda al DTE, si éste lo habilita.

4.2 Circuitos representados

Los siguientes circuitos físicos de la Recomendación V.24 pueden ser representados por las secuencias de caracteres en banda descritas en la presente Recomendación. Cuando se configure de esa forma, el circuito en banda deberá ser utilizado por el dispositivo receptor en lugar del correspondiente circuito físico.

Es preferible que el dispositivo de emisión presente la misma información al circuito físico que la que presenta al circuito en banda, si están disponibles estos circuitos físicos.

105	Petición de transmitir
106	Preparado para transmitir
107	Aparato de datos preparado
108/2	Terminal de datos preparado
109	Detector de señales de línea recibidas por el canal de datos
125	Indicador de llamada
132	Retorno al modo «no datos»
133	Preparado para recibir
142	Indicador de prueba

5 Consideraciones sobre puerto serie

5.1 Velocidad de puerto serie

Los procedimientos definidos en esta Recomendación pueden utilizarse para cualquier velocidad de puerto de bits en serie soportada por el DTE y el DCE. Sin embargo, en cualquier instrucción o indicación en banda, la velocidad de puerto serie deberá establecerse durante su transmisión. Los medios para determinar la velocidad de puerto serie caen fuera del ámbito de esta Recomendación. (Véase +IPR, Recomendación V.25 *ter.*)

5.2 Velocidad de puerto serie cuando se utiliza en el estado instrucción

En 4.3/V.25 *ter* se describe un DCE que puede detectar automáticamente la velocidad de puerto serie para nuevas líneas de instrucción durante el estado instrucción; ello se denomina «autovelocidad» («autobauding»).

Si se funciona en estado instrucción, el DTE enviará instrucciones en banda a la misma velocidad de puerto serie utilizada en la línea de instrucción válida recibida más recientemente. La instrucción en banda no deberá incluirse entre el carácter prefijo de introducción de la línea de instrucción «A» (41h) o «a» (61h) y el siguiente carácter en el prefijo de la línea de instrucción; por ejemplo «T» (54h), «t» (74h) o «/» (2Fh). El DCE debe ser capaz de detectar instrucciones en banda además de nuevas líneas de instrucción.

Funcionando en estado instrucción, el DCE deberá enviar instrucciones en banda a la misma velocidad de puerto serie utilizada en la línea de instrucción válida recibida más recientemente. El DTE debe ser capaz de detectar instrucciones en banda además de otras respuestas del DCE.

NOTA – Se supone que el DTE toma un valor por defecto cuando se inhabilitan las instrucciones en banda de manera que es necesaria una instrucción AT para habilitar las instrucciones en banda; dicha instrucción AT establecerá posteriormente el valor por defecto de la velocidad de puerto serie.

5.3 Interacciones de control de flujo

Existen diversos mecanismos para el control del flujo en DCE asíncronos. La definición de dichos mecanismos cae fuera del ámbito de esta Recomendación. (Véase +IFC, Recomendación V.25 *ter.*)

Si se habilitan los procedimientos definidos en la cláusula 7 de esta Recomendación para representar los circuitos de control de flujo en la interfaz serie normalizada (106 y 133) y si el DCE se configura para el control de flujo 106Dh3, pueden utilizarse estos circuitos de control en banda para el control de flujo.

Si se habilitan los procedimientos del modo de acceso síncrono definidos en 8.8 para el estado datos en línea, se protegen los caracteres DC1 y DC3 en el tren de datos, para que pueda utilizarse control de flujo DC1/DC3, si es así habilitado por la instrucción +IFC.

5.4 Errores en el tren de datos

En los circuitos de datos de intercambio serie (103 y 104), las instrucciones en banda están sujetas a los mismos errores que los datos portadores. La perturbación o la pérdida de datos tiene consecuencias muy importantes ya que la información de control se presenta como una cadena transitoria en vez de un circuito físico estático. Las instrucciones en banda perturbadas se perderán; los datos perturbados pueden dar lugar a una detección errónea de las instrucciones en banda. En cualquier caso, es probable que todo ello se traduzca en un fallo del sistema de comunicaciones.

Si la interfaz DTE-DCE está sujeta a errores, deben tomarse las medidas necesarias para lograr un funcionamiento fiable del sistema. Por ejemplo, para el estado del circuito V.24, el DTE o el DCE pueden enviar instrucciones en banda repetidas para representar una condición de circuito estático, a fin de aumentar las posibilidades de éxito en la detección. También puede utilizarse un protocolo de enlace de datos, tal como el que se describe en la cláusula 9/T.32.

6 Procedimientos de control en banda

En DCE común con ACE (Recomendaciones V.25 *bis* y V.25 *ter*) el DCE espera instrucciones del DTE únicamente mientras se encuentra en estado de instrucción definido.

El DCE conforme a esta Recomendación incluye la posibilidad de reconocer y aceptar instrucciones DTE incluidas en los datos de usuario cursados por el circuito 103 de la Recomendación V.24 e incluye la posibilidad de generar instrucciones DCE y mensajes de estado al DTE, incluidos en los datos de usuario cursados por el circuito 104 de la Recomendación V.24. Estas características se controlan mediante una instrucción DTE definida en la cláusula 7 de la presente Recomendación.

El procedimiento definido en la presente Recomendación para representar estas instrucciones en banda se basa en la transparencia de modo básico definido en la Norma 2111 de la ISO, aunque se utiliza un carácter de escape distinto.

6.1 Transparencia de modo básico

6.1.1 Conjunto de caracteres

El conjunto de caracteres utilizado para estructurar las instrucciones en banda válidas es el siguiente:

20hh - 7Eh caracteres de 7 u 8 bits.

A0h - FEh caracteres de 8 bits.

La Recomendación V.25 *ter* permite la utilización de caracteres de 7 y 8 bits en la interfaz DTE-DCE; en dicha Recomendación figura la definición de la instrucción +ICF. Cuando se utilizan caracteres de 7 bits, la gama de caracteres de instrucción admisible está necesariamente limitada. Los caracteres de instrucción de 7 bits válida se definen en la

cláusula 7 para su utilización durante el estado instrucción y el estado datos en línea. Cuando se emplean caracteres de 8 bits, se dispone potencialmente de caracteres de instrucción adicionales para su utilización en el estado datos en línea; estos se definen en la cláusula 8 y se utilizan durante el modo de acceso síncrono.

6.1.2 Carácter de escape en banda

El carácter de escape para instrucciones en banda es el carácter «EM», que tiene un valor ordinal de 19h. En los sistemas de 8 bits, el 8.º bit (bit 2⁷) puede ser cero o uno y se ignora; puede tomar el valor 19h o 99h.

NOTA – En lo que resta de documento el carácter de escape se denomina .

6.1.3 Estructura de instrucción en banda básica

La instrucción en banda básica consiste en seguido por un solo carácter de instrucción válida. En los Cuadros 1 y 2 figuran las instrucciones en banda básicas definidas para códigos de 7 bits; el Cuadro 9 muestra las instrucciones adicionales definidas para códigos de 8 bits que se utilizan durante el modo de acceso síncrono.

6.1.4 Estructura de instrucción en banda ampliada de 7 bits

Las instrucciones en banda ampliadas constan de:

- ;
- un carácter de instrucción válida definido como una instrucción ampliada (véanse los Cuadros 1 y 2);
- un byte de longitud válido;
- de 1 a 95 caracteres adicionales válidos, especificados por el byte de longitud.

La gama de valores de la longitud va de 20h a 7Eh, con un desplazamiento de 31 decimal (1Fh).

6.1.5 en datos

Para lograr la transparencia, se utilizan instrucciones en banda en cada sentido a fin de representar instancias de datos de usuario con el mismo valor ordinal que (19h o 99h). Para los caracteres de instrucción de 7 bits definidos en la cláusula 7, se definen cuatro instrucciones de transparencia. La primera instrucción en banda representa la instancia de un solo carácter 19h y la segunda representa un par de caracteres 19h. Para su utilización cuando se emplea una alineación en trama de caracteres de 8 bits, la tercera representa un solo carácter de 8 bits 99h y la cuarta un par de caracteres 99h.

Los procedimientos del modo de acceso síncrono definidos en la cláusula 8 imponen en el uso de alineación de trama de caracteres de 8 bits, por lo que se dispone de instrucciones de transparencia adicionales de 8 bits. Estas instrucciones proporcionan transparencia de los caracteres DC1 y DC3 en los datos (para permitir la utilización de control de flujo DC1/DC3) y proporcionan transparencia a todas las combinaciones de dos caracteres de 19h, 99h, DC1 y DC3.

6.1.6 Recuperación de instrucción en banda no válida

Una instrucción en banda no válida contiene caracteres no válidos distintos de los definidos en 6.1.1. Si se detecta un carácter no válido cuando se está analizando una instrucción en banda, el receptor realizará las tres acciones siguientes:

- envía el remitente una instrucción en banda con indicación de instrucción señal de error;
- envía el carácter no válido como dato portador;
- abandona el análisis y ejecución de la instrucción no válida.

6.2 Ejecución de instrucción en banda

A menos que se especifique otra cosa, las instrucciones se ejecutan secuencialmente con la entrega de datos. Por ejemplo, en un DCE con memoria tampón, puede recibirse una cadena de datos que contiene una instrucción en banda para insertar un corte; la señal corte se inserta en secuencia con los datos. Si el mismo tren contiene una instrucción en banda para pasar al estado instrucción (AT+IBC=,,,1,,, y AT&D1), se ejecuta dicha instrucción una vez procesados y entregados los datos precedentes pero antes de cursar los datos que siguen a la instrucción.

Toda la secuencia de instrucción en banda deberá procesarse como instrucciones o descartarse si no se reconoce (por ejemplo, instrucciones definidas por fabricantes o por futuras revisiones de la presente Recomendación).

Independientemente del tren de datos de usuario deberán extraerse, reconocerse y ejecutarse las instrucciones en banda que llevan a cabo el control de flujo local.

6.3 Trenes de datos DTE a DCE

Si está habilitado por el DTE, el DCE deberá procesar los datos de usuarios recibidos por el circuito 103, reconocer las instrucciones en banda, eliminar dichas instrucciones en banda de los datos de usuarios y ejecutarlas si es posible.

6.4 Trenes de datos DCE a DTE

Si está habilitado por el DTE, el DCE deberá generar instrucciones en banda e insertarlas en los datos de usuario entregados al DTE por el circuito 104. El DTE deberá procesar los datos de usuario recibidos en el circuito 104, reconocer las instrucciones en banda, eliminar dichas instrucciones en banda de los datos de usuario y ejecutarlas si es posible.

7 Definiciones de instrucción en banda de 7 bits

Esta cláusula define instrucciones en banda que pueden utilizarse durante el estado instrucción y el estado datos en línea. Como puede utilizarse alineación de trama de caracteres de 7 bits y de 8 bits, y en particular esta alineación en el estado instrucción puede cambiar dinámicamente de resultados de la detección automática (véase +ICF, Recomendación V.25 *ter*), sólo pueden utilizarse códigos de 7 bits en aquellas instrucciones que puedan recibirse en el estado instrucción. Se definen cuatro conjuntos de instrucciones en banda de 7 bits. La subcláusula 7.2 define instrucciones enviadas desde el DTE al DCE; 7.4 define instrucciones ampliadas enviadas del DTE al DCE. La subcláusula 7.5 define instrucciones ampliadas del DCE al DTE.

Las instrucciones en banda con valores ordinales de 40h a 7Eh se reservan para su utilización en esta Recomendación. Los valores de 20h a 3Fh se reservan para su utilización por los fabricantes. Los valores de 40h a 5Fh se reservan para el control DTE a DCE; los valores de 60h a 7Eh se reservan para el control DCE a DTE.

7.1 Informe de situación V.24

7.1.1 Informe de situación del DCE al DTE

Si es habilitado por el DTE, el DCE comunicará al DTE el estado de los circuitos V.24 seleccionados y otros estados de situación mediante la entrega de las correspondientes instrucciones en banda, en el orden del valor ordinal del carácter <command>.

Para cada estado, el DCE generará estos informes cuando se produzca cualquiera de los siguientes eventos:

- a) el DTE emite una instrucción de petición <poll> al DCE;
- b) mientras el informe de este estado es habilitado, y el estado cambia; por ejemplo, si el DTE ha fijado AT+IBC=,,,,,1 y si el DCE detecta una portadora de datos válida y pone CERRADO (ON) el circuito 109, enviará entonces <109on> (19h, 67h) al DTE.

7.1.2 Informe de situación del DTE al DCE

Si está configurado por el DTE, el DTE comunicará el estado de los circuitos V.24 seleccionados y otros estados de situación al DCE entregando las correspondientes instrucciones en banda. Estas instrucciones en banda serán presentadas al DTE en el orden del carácter <command>.

Para cada estado, el DTE debe generar estos informes cuando se produce cualquiera de los siguientes eventos:

- a) el DCE envía una instrucción de petición (<poll>; 19h, 7Eh) al DTE;
- b) mientras el informe de este estado es habilitado, y el estado cambia; por ejemplo, si el DTE ha fijado AT+IBC=,,,,,1 y si el DTE pone CERRADO el circuito 108, deberá entonces enviar <108on> (19h, 45h) al DCE.

7.2 Instrucciones en banda enviadas por el DTE al DCE

El DCE deberá interpretar los siete bits más bajos de una instrucción en banda enviada por el DTE como se define en el Cuadro 1. El bit 0 es el primer bit entregado por el circuito 103 (véase la Recomendación V.4).

Las siguientes instrucciones se definen como en la secuencia: <19h> <Command>.

CUADRO 1/V.80

Definiciones de la instrucción DTE a DCE

Instrucción	Códigos en hexadecimales	Interpretación por el DCE
	<00h> a <1Fh>	(No se utiliza, ignorados por el DCE)
mfgextend <length> <rest of cmd>	<20h>	El DCE lo decodificará como una secuencia de 3 + (<length> - 1Fh) caracteres. El significado <rest of cmd> es específico del fabricante.
<mfgx>	<21h> a <2Fh>	El DCE decodificará estos códigos como instrucciones específicas del fabricante.
	<30h> a <3Fh>	Reservada
<extend0> <length> <rest of cmd>	<40h>...	El DCE lo decodificará como una secuencia de 3 + (<length> - 1Fh) caracteres; véase 7.4.
<extend1> <length> <rest of cmd>	<41h>...	El DCE lo decodificará como una secuencia de 3 + (<length> - 1Fh) caracteres; véase 7.4.
<105off> <105on>	<42h> <43h>	El circuito 105 está ABIERTO El circuito 105 está CERRADO
<108off> <108on>	<44h> <45h>	El circuito 108 está ABIERTO El circuito 108 está CERRADO
<133off> <133on>	<46h> <47h>	El circuito 133 está ABIERTO El circuito 133 está CERRADO
	<48h> a <57h>	Reservada
<singleEMp> <doubleEMp>	<58h> <59h>	El DCE lo decodificará como un <99h> en los datos de usuario. El DCE lo decodificará como <99h><99h> en los datos de usuario.
<flowoff> <flowon>	<5Ah> <5Bh>	El DCE lo decodificará como una instrucción para suspender el envío de instrucciones en banda al DTE. El DCE lo decodificará como un permiso para reanudar el envío de instrucciones en banda al DTE.
<singleEM> <doubleEM>	<5Ch> <5Dh>	El DCE lo decodificará como <19h> en los datos de usuario. El DCE lo decodificará como <19h><19h> en los datos de usuario.
<poll>	<5Eh>	El DCE lo decodificará como una instrucción para enviar un conjunto completo de instrucciones de estado, una para cada circuito u otra función soportada y habilitada. El DCE entregará estas instrucciones en orden ordinal ascendente.
	<5Fh>	(No se utiliza)
	<60h> a <7Eh>	Reservada
	<7Fh>	(No se utiliza, ignorados por el DCE)

7.3 Instrucciones en banda enviadas por el DCE al DTE

El DCE determinará los estados de los siete bits de una instrucción en banda enviada al DTE como define el Cuadro 2. El bit 0 es el primer bit entregado por el circuito 104 (véase la Recomendación V.4).

Las siguientes instrucciones se definen como en la secuencia: <19h> <Command>

CUADRO 2/V.80

Definiciones de instrucciones DCE a DTE

Instrucción	Códigos hexadecimales	Significado en el DCE/interpretación por el DTE
	<00h> a <1Fh>	(No se utiliza)
	<20h> a <2Fh>	Reservada
<extendmfgx> <length> <rest of cmd>	<30h>	El DCE lo codificará como una secuencia de 3 + (<length> - 1Fh) caracteres. El significado de <rest of cmd> es específico del fabricante.
<mfgx>	<31h> a <3Fh>	El DCE los codificará como instrucciones específicas del fabricante.
	<40h> a <5Eh>	Reservada
	<5Fh>	(No se utiliza)
<extend0> <length> <rest of cmd>	<60h>...	El DCE lo codificará como una secuencia de 3 + (<length> - 1Fh) caracteres; véase 7.5.
<extend1> <length> <rest of cmd>	<61h>...	El DCE lo codificará como una secuencia de 3 + (<length> - 1Fh) caracteres; véase 7.5.
<106off> <106on>	<62h> <63h>	El circuito 106 está ABIERTO El circuito 106 está CERRADO
<107off> <107on>	<64h> <65h>	El circuito 107 está ABIERTO El circuito 107 está CERRADO
<109off> <109on>	<66h> <67h>	El circuito 109 está ABIERTO El circuito 109 está CERRADO
<110off> <110on>	<68h> <69h>	El circuito 110 está ABIERTO El circuito 110 está CERRADO
<125off> <125on>	<6Ah> <6Bh>	El circuito 125 está ABIERTO El circuito 125 está CERRADO
<132off> <132on>	<6Ch> <6Dh>	El circuito 132 está ABIERTO El circuito 132 está CERRADO
<142off> <142on>	<6Eh> <6Fh>	El circuito 142 está ABIERTO El circuito 142 está CERRADO
	<70h> a <75h>	Reservada
<singleEMp> <doubleEMp>	<76h> <77h>	El DCE lo codificará como un <99h> en los datos de usuario. El DCE lo codificará como <99h><99h> en los datos de usuario.
<offline> <online>	<78h> <79h>	El estado de la línea es EN LÍNEA (descolgado). El estado de la línea es FUERA DE LÍNEA (colgado).
<flowoff> <flowon>	<7Ah> <7Bh>	El DCE lo codificará como una instrucción al DTE para suspender el envío de instrucciones en banda al DCE. El DCE lo codificará como una instrucción al DTE para reanudar el envío de instrucciones en banda al DCE.
<singleEM> <doubleEM>	<7Ch> <7Dh>	El DCE lo codificará como un <19h> en los datos de usuario. El DCE lo codificará como <19h><19h> en los datos de usuario.
<poll>	<7Eh>	El DCE lo codificará como una instrucción al DTE para que entregue un conjunto completo de instrucciones, uno para cada circuito u otra función soportada por el DTE. Las instrucciones se entregarán en orden ascendente.
	<7Fh>	(No se utiliza)

7.4 Instrucciones en banda ampliadas enviadas por el DTE al DCE

El DCE deberá interpretar los siete bits inferiores de una instrucción en banda ampliada enviada por el DTE como se define en el Cuadro 3. El bit 0 es el primer bit entregado por el circuito 103 (véase la Recomendación V.4):

Las siguientes instrucciones ampliadas se definen como en las secuencias:

<19h><20h><length code><rest of cmd>

<19h><40h><length code><Extended-0 Command><rest-of-command>

<19h><41h><length code><Extended-1 Command><rest-of-command>

CUADRO 3/V.80

Definiciones de instrucciones ampliadas DTE a DCE

Instrucción ampliada-0	Códigos hexadecimales	Interpretación por el DCE
	<00h> a <1Fh>	(No se utiliza, ignorado por el DCE)
<mfgx>	<20h> a <2Fh>	El DCE los decodificará como instrucciones específicas del fabricante.
	<30h> a <3Fh>	Reservada
<break>	<40h>	Señal CORTE (espacio en reposo), véase 7.4.1.
<mark>	<41h>	MARCA en reposo, véase 7.4.2.
<control>	<42h>	Línea de instrucción CONTROL, véase 7.4.3
	<43h> a <5Eh>	Reservada
	<5Fh>	(No se utiliza)
	<60h> a <61h>	Reservada
	<62h>	Reservada
	<63h> a <7Eh>	Reservada
	<7Fh>	(No se utiliza, ignorado por el DCE)
Instrucción ampliada-1	Códigos hexadecimales	Interpretación por el DCE
	<00h> a <1Fh>	(No se utiliza, ignorado por el DCE)
<mfgx>	<20h> a <2Fh>	El DCE los decodificará como instrucciones específicas del fabricante.
	<30h> a <3Fh>	Reservada
	<40h> a <47h>	Reservada
	<48h> a <5Eh>	Reservada para futura ampliación
	<5Fh>	(No se utiliza)
	<60h> a <7Eh>	Reservada
	<7Fh>	(No se utiliza, ignorado por el DCE)

7.4.1 Instrucción CORTE

El DTE puede codificar una señal CORTE utilizando una instrucción CORTE en banda. Una señal CORTE es una secuencia de lógica 0 constante o ESPACIO en reposo. La instrucción CORTE especifica la longitud de la secuencia ESPACIO en reposo en unidades de 10 milisegundos. El primer carácter de la cadena de instrucción ampliada es 40h. El resto de caracteres tienen la longitud del espacio en reposo, presentada como un número hexadecimal, poniendo en primer lugar la cifra menos significativa. Por ejemplo, una señal CORTE de 4 segundos (4000 milisegundos) sería codificada por el DTE utilizando una instrucción CORTE de longitud = 188h (400 en decimal) de la forma siguiente:

<19h> = <Data Link Escape>

<40h> = instrucción <extend0>

<23h> = <length>, 23h - 1Fh = 4 = tamaño de la cadena de instrucción ampliada

<40h> = instrucción CORTE

<38h> = cifra menos significativa de la longitud de la secuencia CORTE, en unidades de 10 milisegundos

<38h> = cifra central de la longitud de la secuencia CORTE, en unidades de 160 milisegundos

<31h> = cifra más significativa de la longitud de la secuencia CORTE, en unidades de 2560 milisegundos.

7.4.2 Instrucción MARCA en reposo

El DTE puede codificar una secuencia MARCA en reposo con una instrucción MARCA en banda. Una señal MARCA tiene lógica 1. Algunos DCE y DTE utilizan periodos de MARCA en reposo para el control (por ejemplo, tiempo de guardia). La instrucción MARCA especifica la longitud de la secuencia MARCA en reposo en unidades de 10 milisegundos. El primer carácter de la cadena de instrucción ampliada es 41h. El resto de caracteres tienen la longitud de MARCA en reposo, presentada como un número hexadecimal, poniendo en primer lugar la primera cifra menos significativa. Por ejemplo, una señal MARCA en reposo de 1 segundo (64h, 100 en decimal) sería codificada por el DTE de la forma siguiente:

<19h> = <Data Link Escape>

<40h> = instrucción <extend0>

<22h> = <length>, 22h - 1Fh = 3 = tamaño de la cadena de instrucción ampliada

<41h> = instrucción MARCA

<34h> = cifra menos significativa de la longitud de la secuencia MARCA, en unidades de 10 milisegundos

<36h> = cifra más significativa de la longitud de la secuencia MARCA, en unidades de 160 milisegundos.

7.4.3 Instrucción en banda ampliada CONTROL

El DTE puede entregar instrucciones V.25 *ter* utilizando la instrucción CONTROL. El primer carácter es 42h; los caracteres restantes constituyen la cadena de línea de instrucción que de otra forma serán entregados entre el prefijo de la línea de instrucción «AT» (o «at») de apertura y los caracteres <CR> o <LF> de terminación. En la instrucción ampliada CONTROL puede codificarse más de una instrucción, pero la cadena de instrucción ampliada no deberá rebasar la longitud de la memoria tampón de la línea de instrucción del DCE; el mínimo necesario para que el DCE satisfaga los requisitos de la Recomendación V.25 *ter* es de 40 caracteres. Como ejemplo puede indicarse la codificación de la línea de instrucción CONTROL «ATX0Y1Z3<CR>» por el DTE de la forma siguiente:

<19h> = <Data Link Escape>

<40h> = <extend0>

<26h> = <length>, 26h - 1Fh = 7 = tamaño de la cadena de instrucción ampliada

<42h> = <CONTROL>

<58h><30h> = «X0»

<59h><31h> = «Y1»

<5Ah><33h> = «Z3»

7.5 Instrucciones en banda ampliadas enviadas por el DCE al DTE

El DCE deberá determinar los estados de los siete bits de una instrucción en banda ampliada enviada al DCE como define el Cuadro 4. El bit 0 es el primer bit entregado por el circuito 104 (véase la Recomendación V.4).

Las siguientes instrucciones ampliadas se definen como en las secuencias:

<19h><30h><length code><rest-of-cmd>

<19h><60h><length code><Extended-0 Command> <rest-of-command>

<19h><61h><length code><Extended-1 Command> <rest-of-command>

Definiciones de instrucción ampliada DCE a DTE

Instrucción ampliada-0	Códigos hexadecimales	Interpretación por el DTE
	<00h> a <1Fh>	(No se utiliza)
	<20h> a <2Fh>	Reservada
<mfgx>	<30h> a <3Fh>	El DCE los codificará como instrucciones específicas del fabricante.
	<40h> a <41h>	Reservada
	<42h>	Reservada
	<43h> a <5Eh>	Reservada
	<5Fh>	(No se utiliza)
<break>	<60h>	Señal CORTE (en reposo), véase 7.5.1.
<mark>	<61h>	MARCA en reposo, véase 7.5.2.
<status>	<62h>	Informe de estado, véase 7.5.3.
	<63h> a <7Eh>	Reservada
	<7Fh>	(No se utiliza)
Instrucción ampliada-1	Códigos hexadecimales	Interpretación por el DTE
	<00h> a <1Fh>	(No se utiliza)
	<20h> a <2Fh>	Reservada
<mfgx>	<30h> a <3Fh>	El DCE los codificará como instrucciones específicas del fabricante.
	<40h> a <41h>	Reservada
	<42h> a <43h>	Reservada
	<44h> a <5Eh>	Reservada
	<5Fh>	(No se utiliza)
	<60h> a <67h>	Reservada
	<68h> a <7Eh>	Reservada
	<7Fh>	(No se utiliza)

7.5.1 Instrucción CORTE

El DCE puede codificar una señal CORTE utilizando una instrucción CORTE en banda. Una señal CORTE es una secuencia de lógica 0 constante o ESPACIO en reposo. La instrucción CORTE especifica la longitud de la secuencia ESPACIO en reposo en unidades de 10 milisegundos. El primer carácter de la cadena de instrucción ampliada es 60h. Los caracteres restantes tienen la longitud del espacio en reposo, presentados como un número hexadecimal, siendo la primera cifra la menos significativa. Por ejemplo, una señal CORTE recibida de 100 milisegundos (0Ah en hexadecimal, 10 decimal) vendría representada por la cadena: <19h><60h><21h><60h><41h>, codificada por el DCE de la forma siguiente:

<19h> = <Data Link Escape>

<60h> = instrucción <extend0>

<21h> = <length>, 21h - 1Fh = 2 = tamaño de la cadena de instrucción ampliada

<60h> = instrucción CORTE

<41h> = cifra menos significativa de la longitud de secuencia CORTE, en unidades de 10 milisegundos.

7.7 Control de servicio global

Esta subcláusula define tres estados de control que puede tomar el DCE con respecto al servicio de control en banda para los circuitos 103 y 104:

- 1) inhabilitado,
- 2) habilitados únicamente los caracteres de instrucción de 7 bits; y
- 3) habilitados los caracteres de instrucción de 7 bits y 8 bits.

Esto se controla por el primer subparámetro, <IB>.

Si sólo se habilitan los caracteres de instrucción de 7 bits por <IB>=1, y si se utiliza una alineación de trama de los caracteres de 8 bits en la interfaz DTE-DCE, deberá ignorarse el bit de mayor orden de los caracteres de instrucción (2⁷) es decir, los caracteres de instrucción recibidos con el bit de orden superior fijado se consideran equivalentes a los recibidos con el bit de orden superior refijado.

Si se habilitan los caracteres de instrucción de 7 bits por <IB>=2, y si se utiliza una alineación de trama de los caracteres de 8 bits en la interfaz DTE-DCE, son posibles definiciones de caracteres de instrucción adicionales que no estén en contradicción con las instrucciones definidas en esta subcláusula, fijando el bit de orden superior. Dichas instrucciones se definen en la cláusula 8 y se habilitan independientemente por procedimientos en ella descritos. Los caracteres de instrucción recibidos con el bit de orden superior puesto en el estado instrucción, o en el estado datos en línea fuera de los procedimientos del modo de acceso síncrono, serán ignorados.

7.8 Control de estado individual

El DCE y el DTE definen los estados, para cada circuito de la Recomendación V.24 soportado y para cada una de las otras condiciones de estado soportadas (por ejemplo, estado de conexión de línea). En cada uno de estos estados, el dispositivo (DTE o DCE) deberá mantener un estado de informe, que controla si se ha informado del estado.

Los subparámetros del parámetro compuesto +IBC controlan el informe de cada uno de los circuitos en banda, cuya descripción se realiza en el Cuadro 5.

El estado por defecto de cada estado de informe debe ser ABIERTO (0); cada estado debe exigir una instrucción explícita para habilitar los informes. Por ejemplo, después de una instrucción AT+IBC=,,,,,1, el DCE informará sobre el estado del circuito 109 mediante una instrucción en banda sólo una vez; informes adicionales requieren una instrucción del DTE <poll> o un cambio en el estado del circuito 109 (por ejemplo, el DCE detecta una portadora de datos).

7.9 Sintaxis de formato V.25 *ter* para el control de control en banda, +IBC

El DCE deberá mantener un parámetro compuesto que implemente el conmutador de control de servicio (véase 7.6) y los conmutadores de control de Informe individuales.

En las siguientes definiciones de formato, el símbolo <circuit_number> indica un subparámetro que controla el informe en banda del número de circuito V.24 correspondiente.

7.9.1 Establecimiento de los controles de servicio en banda, +IBC=<compound string>

Formato:

+IBC=<IB>,<105>,<106>,<107>,<108>,<109>,<110>,<125>,<132>,<133>,<142>, <hook>

Valores válidos: véase el Cuadro 5.

Valores obligatorios: 0 y 1 para cada subparámetro.

Valores por defecto: 0 para todos los parámetros.

7.9.2 Lectura de las fijaciones del servicio en banda actual, +IBC?

Formato: +IBC?

Respuesta del DCE:

+IBC: <IB>,<105>,<106>,<107>,<108>,<109>,<110>,<125>,<132>,<133>,<142>,<hook><CR>

7.9.3 Prueba de las fijaciones de servicio en banda actual, +IBC=?

Formato: +IBC=?

Respuesta del DCE:

+IBC: (0-2), (circuito soportado, 105 informe valores habilitar/inhabilitar), (circuito soportado 106 informe valores habilitar/inhabilitar), ...

Ejemplo de respuesta, para un DCE que soporta todos los valores de informe:

+IBC: (0-2), (0,1),(0,1),(0,1),(0,1),(0,1),(0,1),(0,1),(0,1),(0,1),(0,1),(0,1),(0,1)

NOTA – El DCE retornará «ERROR» si no se soporta ninguna de las instrucciones en banda definidas en la cláusula 7.

7.9.4 Definiciones de subparámetro

CUADRO 5/V.80

Definiciones del subparámetro +IBC

Valores fijados para +IBC	Descripción
+IBC=0,,,,,,,,,,,, +IBC=1,,,,,,,,,,,, +IBC=2,,,,,,,,,,,,	Servicio en banda de control inhabilitado. Servicio de control en banda habilitado, permitidos únicamente códigos de 7 bits (Cuadros 1 y 2), es decir, bit de orden superior no significativo. Servicio de control en banda habilitado, permitidos códigos de 7 bits (Cuadros 1 y 2) y disponibles códigos de 8 bits, es decir, bit de orden superior significativo (véase la cláusula 8)
+IBC=,0,,,,,,,,,,,, +IBC=,1,,,,,,,,,,,,	Informes del circuito 105 del DTE inhabilitados Informes del circuito 105 del DTE habilitados
+IBC=,,0,,,,,,,,,,,, +IBC=,,1,,,,,,,,,,,,	Informes del circuito 106 del DCE inhabilitados Informes del circuito 106 del DCE habilitados
+IBC=,,,0,,,,,,,,,,,, +IBC=,,,1,,,,,,,,,,,,	Informes del circuito 107 del DCE inhabilitados Informes del circuito 107 del DCE habilitados
+IBC=,,,0,,,,,,,,,,,, +IBC=,,,1,,,,,,,,,,,,	Informes del circuito 108 del DTE inhabilitados Informes del circuito 108 del DTE habilitados
+IBC=,,,,0,,,,,,,,,,,, +IBC=,,,,1,,,,,,,,,,,,	Informes del circuito 109 del DCE inhabilitados Informes del circuito 109 del DCE habilitados
+IBC=,,,,,0,,,,, +IBC=,,,,,1,,,,,	Informes del circuito 110 del DTE inhabilitados Informes del circuito 110 del DTE habilitados
+IBC=,,,,,,0,,,,, +IBC=,,,,,,1,,,,,	Informes del circuito 125 del DCE inhabilitados Informes del circuito 125 del DCE habilitados
+IBC=,,,,,,,1,,,,, +IBC=,,,,,,,0,,,,,	Informes del circuito 132 del DTE inhabilitados Informes del circuito 132 del DTE habilitados
+IBC=,,,,,,,1,,, +IBC=,,,,,,,0,,,	Informes del circuito 133 del DTE inhabilitados Informes del circuito 133 del DTE habilitados
+IBC=,,,,,,,1,, +IBC=,,,,,,,0,,	Informes del circuito 135 del DTE inhabilitados Informes del circuito 135 del DTE habilitados
+IBC=,,,,,,,1, +IBC=,,,,,,,0,	Informes del circuito 142 del DTE inhabilitados Informes del circuito 142 del DTE habilitados
+IBC=,,,,,,,0 +IBC=,,,,,,,1	Informes del estado de la conexión de línea del DCE inhabilitados Informes del estado de la conexión de línea del DCE habilitados

NOTA – Los códigos de instrucción de 8 bits se definen en la cláusula 8, y son habilitados independientemente por las instrucciones de configuración del modo de acceso síncrono en ella definidas. Estos códigos de 8 bits no pueden utilizarse simultáneamente con <IB>=1, ya que el DCE interpretaría los códigos de instrucción recibidos con el bit de orden superior fijado como en los códigos de 7 bits.

7.10 Control del informe MARCA en reposo en banda, +IBM

Si está habilitado, un DCE informará de un intervalo marca en reposo suficientemente largo con uno o más informes marca en reposo en banda (véase 7.5.2). El DCE deberá mantener los temporizadores utilizados para controlar el informe de los periodos marca en reposo y una fijación de control para determinar la utilización de estos temporizadores.

7.10.1 Intervalos del periodo marca en reposo

Un periodo marca en reposo puede modelarse por tres intervalos: mínimo, repetición y final. Estos intervalos aparecen representados en la Figura 1.

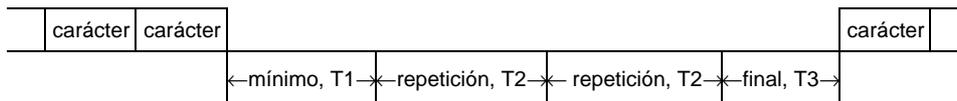


FIGURA 1/V.80

Intervalos marca en reposo

Intervalo mínimo: el intervalo mínimo comienza con la recepción del último carácter completo y finaliza al expirar el temporizador de duración mínima, T1.

Intervalo de repetición: el segundo intervalo comienza al expirar el temporizador T1 y finaliza al expirar el temporizador del segundo intervalo, T2.

Intervalo final: el intervalo final comienza al expirar T1 o T2 y finaliza con la recepción de un nuevo carácter; definido como T3.

Intervalo total: es la suma del intervalo mínimo, cero o más intervalos de repetición y un intervalo final.

7.10.2 Fijación de los controles del informe marca en reposo

Sintaxis:

+IBM=[<mic>][,<T1>][,<T2>]]

Descripción:

El subparámetro <mic> especifica cómo deben generarse los informes marca en reposo. Los valores válidos de <mic> se definen en el Cuadro 6.

Los subparámetros codificados en decimal <T1> y <T2> especifican los intervalos mínimos y de repetición, en unidades de 10 milisegundos.

7.10.3 Lectura de las fijaciones de marca en reposo en banda actual, +IBM?

Formato: +IBM?

Respuesta del DCE:

+IBM:<mic>,<T1>,<T2><CR>

Ejemplo de respuesta para un DCE fijado para informar de los periodos marca en reposo que superan 1 segundo y posteriormente en repeticiones subsiguientes de 10 segundos:

+IBM:3,100,1000<CR>

Selecciones del control marca en reposo

<mic>	Descripción
0	Sin informes
1	Informe sólo una vez cuando expira <T1>
2	Informe cada vez que expira <T2>
3	Informe una vez que expira <T1> y a continuación cada vez que expira <T2>
4	Informe únicamente cuando finaliza el periodo marca en reposo; T3 = el intervalo completo.
5	Informe la primera vez que se rebasa <T1> y posteriormente una vez más cuando finaliza el periodo marca en reposo.
6	Informe cada vez que se rebasa <T2> y posteriormente una vez más cuando finaliza el periodo marca en reposo; T3 = intervalo completo - N*T2.
7	Informe la primera vez que se rebasa <T1> y a continuación cada vez que se rebasa <T2> y posteriormente una vez más cuando finaliza el periodo marca en reposo; T3 = periodo marca en reposo completo - N*T2 - T1.

7.10.4 Prueba de las fijaciones de marca en reposo en banda actual, +IBM=?

Formato: +IBM=?

Respuesta del DCE:

+IBM:(gama de valores mic),(gama de valores de T1),(gama de valores de T2)<CR>

Ejemplo de respuesta para un DCE que soporta temporizadores de 8 bits:

+IBM:(0-7),(0-255),(0-255)

NOTA – El DCE retornará «ERROR» si no se soporta informe de marca en reposo.

8 Instrucciones de 8 bits: Modos de datos síncronos

Esta cláusula define los caracteres de instrucción de 8 bits adicionales que se utilizan para implementar modos de datos síncronos opcionales para DCE de la serie V controlados por instrucciones V.25 *ter* asíncronas. Incluye un modo de acceso síncrono opcional que engloba mecanismos para soportar servicios multimedia (por ejemplo, Recomendación H.324) en un DTE equipado con un puerto serie únicamente asíncrono. Especifica:

- los medios para seleccionar los modos síncronos;
- los medios para indicar los modos síncronos;
- los medios para controlar los umbrales de control de flujo;
- los medios en banda para controlar el procesamiento de bits en el DCE;
- los medios en banda para controlar el funcionamiento del convertor de señales tras la conexión.

Estos medios permiten a un DTE implementar protocolos de enlaces de datos normalizados o de propiedad privada tales como:

- Recomendación H.223 (capa múltiple de terminal multimedia).
- Recomendación V.76 (capa múltiple de voz y datos simultánea digital).
- Recomendación V.42 (con detección de fase).
- Anexo C/T.30.
- Anexo F/T.30.
- Recomendación Q.922.

8.1 Habilitación de modos síncronos

Los modos síncronos son habilitados mediante valores de parámetros adicionales en la instrucción +ES V.25 *ter*. La habilitación del modo de acceso síncrono permite el uso de los caracteres de instrucción de 8 bits definidos en el Cuadro 9, independientemente de la habilitación de las instrucciones de 7 bits con la instrucción +IBC (véase 7.9). Sin embargo, el modo de acceso síncrono no puede utilizarse si las instrucciones de 7 bits son habilitadas con <IB>=1.

El funcionamiento del submodo de acceso síncrono se configura mediante el parámetro +ESA. La definición de la instrucción +ES se modifica de la forma siguiente (las adiciones se muestran en bastardilla):

Parámetro

+ES=[<orig_rqst>[,<orig_fbk>[,<ans_fbk>]]]

Descripción

Este parámetro compuesto de formato ampliado se utiliza para controlar la forma de funcionamiento del protocolo V.42 en el DCE (si está presente). Acepta tres subparámetros numéricos:

- <orig_rqst>, que especifica el modo de funcionamiento solicitado inicialmente cuando el DCE funciona como originador.
- <orig_fbk>, que especifica el modo de funcionamiento de repliegue aceptable cuando el DCE funciona como originador.
- <ans_fbk>, que especifica el modo de funcionamiento de repliegue aceptable cuando el DCE funciona como respondedor.

Valores definidos

CUADRO 7/V.80

Subparámetros de la función de control de error

<orig_rqst>	Descripción
0	Modo directo
1	Iniciar llamada únicamente en modo con almacenamiento en memoria tampón.
2	Iniciar V.42 sin detección de fase. Si se utiliza la Rec. V.8 se trata de una petición para inhabilitar la fase de detección V.42.
3	Iniciar V.42 con fase de detección.
4	Iniciar protocolo alternativo.
5	<i>Iniciar modo síncrono cuando se completa la conexión, inmediatamente después de entregar el código de resultado CONEXIÓN completo. Los circuitos 113 y 115 de la Recomendación V.24 se activan cuando se pasa al estado datos.</i>
6	<i>Iniciar modo de acceso síncrono cuando se completa la conexión y se pasa a estado datos.</i>
7	<i>Iniciar modo de túnel de trama cuando se completa la conexión y se pasa al estado datos.</i>
<orig_fbk>	Descripción
0	Control de error opcional (LAPM o alternativa aceptable); si no se establece control de error, mantiene la velocidad de datos DTE-DCE y utiliza el modo con almacenamiento en memoria tampón V.14 con control de flujo durante el funcionamiento sin control de errores.
1	Control de error opcional (LAPM o alternativa aceptable); si no se establece control de error, modifica la velocidad de datos DTE-DCE para adaptarse a la velocidad de línea y utiliza modo directo.
2	Control de errores necesario (LAPM o alternativa aceptable); si no se establece control de errores, se desconecta.
3	Control de errores necesario (únicamente LAPM aceptable); si no se establece control de errores, se desconecta.
4	Control de errores necesario (únicamente protocolo alternativo aceptable); si no se establece control de errores, se desconecta.

Subparámetros de la función de control de error

<ans_fbk>	Descripción
0	Modo directo
1	Control de errores inhabilitado, utiliza modo con almacenamiento en memoria tampón.
2	Control de errores opcional (LAPM o aceptable alternativa); si no se establece control de errores, mantiene la velocidad de datos DTE-DCE y utiliza almacenamiento en memoria tampón local y control de flujo durante el funcionamiento sin control de errores.
3	Control de errores opcional (LAPM o alternativa aceptable); si no se establece control de errores, modifica la velocidad de datos DTE-DCE para adaptarse a la velocidad de línea y utiliza modo directo.
4	Control de errores necesario (LAPM o alternativa aceptable); si no se establece control de errores, se desconecta.
5	Control de errores necesario (únicamente LAPM aceptable); si no se establece control de errores, se desconecta.
6	Control de errores necesario (únicamente protocolo alternativo aceptable); si no se establece control de errores, se desconecta.
7	<i>Iniciar modo síncrono cuando se completa la conexión, inmediatamente después de entregar el código de resultado CONEXIÓN completo. Los circuitos 113 y 115 de la Recomendación V.24 se activan cuando se pasa al estado datos.</i>
8	<i>Iniciar el modo de acceso síncrono cuando se completa la conexión y se pasa a estado datos.</i>
9	<i>Iniciar modo túnel de trama cuando se completa la conexión y se pasa al estado datos.</i>

Obsérvese que cuando el parámetro <orig_rqst> se fija a 5, 6 ó 7, el valor del parámetro <orig_fbk> se ignora.

Valores fijados por defecto recomendados

Para <orig_rqst>: 3

Para <orig_fbk>: 0

Para <ans_fbk>: 2

Sintaxis de lectura

+ES?

El DCE deberá transmitir una cadena de texto de información al DTE consistente en:

+ES: <orig_rqst>,<orig_fbk>,<ans_fbk>

Por ejemplo, +ES: 3,0,2 para los valores por defecto recomendados.

Sintaxis de prueba

+ES=?

El DCE deberá transmitir una cadena de texto de información al DTE consistente en:

+ES: (lista de valores <orig_rqst> soportados),(lista de valores <orig_fbk> soportados),(lista de valores <ans_fbk> soportados)

Por ejemplo, +ES: (0-7),(0-4),(0-6) para todos los valores definidos.

Implementación

La implementación de este parámetro es obligatoria si en el DCE se ha realizado un control de errores V.42, un modo con almacenamiento en memoria tampón, un modo síncrono, un modo de túnel de trama o un modo de acceso síncrono.

8.2 Configuración en modo de acceso síncrono

Parámetro

+ESA=[<trans_idle>[,<framed_idle>[,<framed_un_ov>[,<hd_auto>[,<crc_type>[,<nrzi_en>[,<syn1>[,<syn2>]]]]]]]]]

Descripción

Este parámetro compuesto en formato extendido se utiliza para controlar la forma de funcionamiento del modo de acceso síncrono en el DCE (si está presente). Acepta seis subparámetros numéricos:

- <trans_idle>, que especifica la secuencia de bits transmitida por el DCE cuando aparece una condición de infrautilización de la memoria tampón de datos a transmitir, funcionando en submodo transparente.
- <framed_idle>, que especifica la secuencia de bits transmitida por el DCE cuando aparece condición de infrautilización de la memoria tampón de datos a transmitir inmediatamente después de una bandera, funcionando en submodo alineación de trama.
- <framed_un_ov>, que especifica las acciones emprendidas por el DCE cuando aparece una condición de infrautilización de la memoria tampón de datos a transmitir inmediatamente después de un octeto no bandera, funcionando en submodo alineación de trama.
- <hd_auto>, que especifica si en funcionamiento semidúplex V.34 debe llevar a cabo o no el DCE procedimientos adicionales además de los especificados en la cláusula 12/V.34 cuando se realiza una conmutación de funcionamiento en canal primario a canal secundario y viceversa.
- <crc_type>, que especifica el polinomio de CRC utilizado con funcionamiento en submodo alineación de trama.
- <nrzi_en>, que especifica si el DCE va a utilizar codificación sin retorno a cero invertida (NRZI) para la transmisión y recepción de datos.
- <syn1>, <syn2>, que especifica el valor o valores de octeto que deben utilizarse para llevar a cabo alineación de trama orientada a carácter.

Valores definidos

CUADRO 8/V.80

Subparámetros de funcionamiento en modo de acceso síncrono

<trans_idle>	Descripción
0	En submodo transparente, el DCE transmite la secuencia SYN de 8 bits en estado de reposo. El receptor del DCE no busca la secuencia de sincronización.
1	En submodo transparente, el DCE transmite la secuencia SYN de 8 bits en estado de reposo. El receptor del DCE busca la secuencia SYN de 8 bits.
2	En submodo transparente, el DCE transmite la secuencia SYN de 16 bits en estado de reposo. El receptor del DCE busca la secuencia SYN de 16 bits.
<framed_idle>	Descripción
0	En submodo alineación de tramas, el DCE transmite banderas HDLC en estado de reposo.
1	En submodo alineación de tramas, el DCE transmite marcas (unos) en estado de reposo.
<framed_un_ov>	Descripción
0	En submodo trama, el DCE transmite un aborto en infrautilización en medio de la trama.
1	En submodo trama, el DCE transmite una bandera en infrautilización en medio de la trama y notifica al DTE la infrautilización o la sobreutilización.

Subparámetros de funcionamiento en modo de acceso síncrono

<hd_auto>	Descripción
0	Cuando se conmuta entre funcionamiento con canal primario y secundario en semidúplex V.34, el DCE ejecuta únicamente los procedimientos definidos en la cláusula 12/V.34.
1	Analizar la conmutación entre funcionamiento con canal primario y secundario en semidúplex V.34, el DCE ejecuta los procedimientos adicionales descritos en 8.8.5 además de los definidos en la cláusula 12/V.34.
<crc_type>	Descripción
0	Generación y comprobación CRC inhabilitadas.
1	En submodo trama, el CRC de 16 bits especificado en 8.1.1.6/V.42 es generado por el DCE en sentido de transmisión y verificado por el DCE en sentido de recepción.
2	En submodo trama, el CRC de 32 bits especificado en 8.1.1.6/V.42 es generado por el DCE en sentido de transmisión y verificado por el DCE en sentido de recepción.
<nrzi_en>	Descripción
0	Codificación y decodificación NRZI inhabilitadas.
1	Codificación NRZI habilitada en el DCE en sentido de transmisión y decodificación NRZI habilitada en el DCE en sentido de recepción.
<syn1>	Descripción
0-255	Cuando <trans_idle>=0, especifica la secuencia de transmisión en reposo de 8 bits que va a utilizar el DCE. Cuando <trans_idle>=1, especifica la secuencia de sincronización de 8 bits que va a utilizar el DCE. Cuando <trans_idle>=2, especifica los primeros 8 bits de la secuencia de sincronización de 16 bits que va a utilizar el DCE.
<syn2>	Descripción
0-255	Cuando <trans_idle>=2, especifica los últimos 8 bits de una secuencia de sincronización de 16 bits que va a utilizar el DCE.

Valores fijados por defecto recomendados

El valor fijado por defecto recomendado para todos los subparámetros es cero, excepto para <syn1> y <syn2>, que tienen valores por defecto recomendados de 255 (FFh en hexadecimal).

Sintaxis de lectura

+ESA?

El DCE transmitirá una cadena de texto de información al DTE consistente en:

Por ejemplo, +ES: 0,0,0,0,0,0,255, 255 para los valores por defecto recomendados.

Sintaxis de prueba

+ESA=?

El DCE transmitirá una cadena de textos de información al DTE consistente en:

+ESA: (lista de valores <trans_idle> soportados), (lista de valores <frame_idle> soportados), (lista de valores <frame_un_ov> soportados), (lista de valores <hd_auto> soportados), (lista de valores <crc_type> soportados), (lista de valores <nrzi_en> soportados), (lista de valores <syn1> soportados), (lista de valores <syn2> soportados)

Por ejemplo, +ES: (0-2),(0-1),(0-1),(0-1),(0-2),(0-1),(0-255),(0-255) para todos los valores definidos.

Implementación

Si en el DCE se implementa un modo de acceso síncrono, es obligatoria la realización de los siguientes subparámetros:

<trans_idle>: 0

<nrzi_en>: 0

8.3 Indicación de modo síncrono

Si el parámetro +ER se fija a 1 (habilitado) y se inicia una conexión en modo síncrono o en modo de acceso síncrono, el DCE informará: +ER: NINGUNO, una vez señalados los resultados de la negociación de portadora.

8.4 Umbrales de control de flujo de transmisión

Parámetro

+ITF=[<off>[,<on>[,<report_period>]]]

Descripción

Este parámetro compuesto opcional permite al DTE determinar el tamaño de la memoria tampón de entrada en el DCE para datos en el circuito 103 procedente del DTE a fin de controlar los umbrales utilizados para el control de flujo de tales datos y controlar la frecuencia con que el DCE informa al DTE sobre el número de octetos en esta memoria tampón. (El DTE puede ajustar sus propios umbrales para control de flujo de datos en el circuito 104 del DCE.) La instrucción +IFC determina los medios utilizados para señalar el control de flujo <DTE-por-DCE>.

La fijación del valor de este parámetro es ignorada en los modos directo y síncrono donde el flujo de control no se utiliza. Los subparámetros <off> y <on> son aplicables en los modos de acceso síncrono, túnel de trama, V.14 con almacenamiento en memoria tampón y control de error. El subparámetro <report_period> es aplicable únicamente en modo de acceso síncrono.

El subparámetro <off> determina el umbral, en octetos, por encima del cual el DCE deberá generar una señal de flujo saliente.

El subparámetro <on> determina el umbral, en octetos, por debajo del cual el DCE deberá generar una señal de flujo entrante.

El subparámetro <report_period> determina el intervalo, en unidades de 10 milisegundos, entre la transmisión de indicaciones por el DCE en el circuito 104; tales indicaciones trasladan al DTE el número de octetos en la memoria tampón de datos de transmisión de entrada del DCE en cualquier instante de tiempo.

Un valor cero de <report_period> ordena al DCE que no transmita tales indicaciones al DTE. Las indicaciones toman la forma de la secuencia de tres octetos <bnum><octnum0><octnum1>. El código <bnum> se define en el Cuadro 9. Los dos octetos <octnum0><octnum1> indican el número de octetos en la memoria tampón de entrada de datos de transmisión del DCE en el instante en que dicho DCE transmite la indicación. La gama válida de valores es 00₁₀ - 16383₁₀. El bit de orden inferior de ambos <octnum0> y <octnum1> se pone a cero, para asegurar que ninguno de los dos octetos imiten EM, DC1 o DC3. Los bits restantes forman un número de 14 bits con el segundo bit transmitido en <octnum0> (es decir, el bit de orden siguiente al más bajo), siendo el bit menos significativo del valor comunicado, y el bit de orden superior de <octnum1> siendo el bit más significativo de ese valor.

El DCE devolverá el código de resultado ERROR si el DTE especifica que el subparámetro <off> debe fijarse a un valor inferior o igual al del subparámetro <on>; no deberán modificarse los valores fijados para los parámetros en ese instante.

Para los subparámetros <on> y <off> se supone que la memoria tampón de entrada reside entre la interfaz V.24 del DCE y la capa de protocolo de acceso síncrono; es decir, el cómputo de la memoria tampón incluye todos los octetos, incluidos los códigos EM, recibidos del DTE, con excepción de DC1 y DC3 si son utilizados para señalar el control de flujo <DCE-por-DTE>.

Para el subparámetro <report_period>, el valor <octnum> incluye únicamente los octetos que deben transmitirse como datos portadores por el DCE, exclusivo de los octetos de escape; es decir, no incluye las instrucciones EM procedentes del DTE y contabilizan las secuencias tales como <tcq> y <tcs> como un octeto.

Valores por defecto

Establecidos por el fabricante.

Sintaxis de prueba

+ITF=?

El DCE deberá transmitir una cadena de texto de información al DTE consistente en:

+ITF: (lista de valores <off> soportados), (lista de valores <on> soportados), (lista de valores <report_period> soportados)

El valor <off> máximo es el nivel de la memoria tampón de datos de transmisión de entrada para el cual el DCE indica al DTE desbordamiento de datos de transmisión.

Implementación

Este parámetro es opcional. Sin embargo, es necesario para dar un servicio de alta calidad en servicios multimedia, especialmente a fin de mantener un valor bajo en el retardo de transmisión de datos.

8.5 Instrucciones e indicaciones en banda en modo acceso síncrono

En modo de acceso síncrono, las instrucciones e indicaciones en banda se definen en el Cuadro 9 para diversas funciones. Cada instrucción o indicación consta de un octeto seguido de un segundo octeto que especifica la instrucción o indicación deseada. Algunas instrucciones e indicaciones van seguidas inmediatamente por uno o dos octetos adicionales que especifican parámetros asociados. Por ejemplo, la indicación <bnum> va seguida de los octetos <octnum0><octnum1>, que especifican el número de octetos en la memoria tampón de datos a transmitir.

Algunos de estos parámetros adicionales se refieren a la velocidad de señalización de datos del DCE. Por ejemplo, la indicación <rate> va seguida por los parámetros <tx><rx> que especifican la velocidad de señalización de datos de transmisión y recepción al finalizar un reacondicionamiento o una renegociación de la velocidad. Los valores de estos parámetros se definen en el Cuadro 10.

CUADRO 9/V.80

Instrucciones en banda en modo acceso síncrono

Par de símbolos instrucción/ indicación	Códigos hex.	Descripción, circuito 103	Descripción, circuito 104	Submodo transparente	Submodo alineación de trama
<t1>	5Ch	Transparencia de carácter Transmisión de un modelo 19h	Transparencia de carácter Recibido un modelo 19h	✓	✓
<t2>	76h	Transmisión de un modelo 99h	Recibido un modelo 99h	✓	✓
<t3>	A0h	Transmisión DC1	Recibido DC1	✓	✓
<t4>	A1h	Transmisión DC3	Recibido DC3	✓	✓
<t5>	5Dh	Transmisión de dos modelos 19h	Recibidos dos modelos 19h	✓	✓
<t6>	77h	Transmisión de dos modelos 99h	Recibidos dos modelos 99h	✓	✓
<t7>	A2h	Transmisión de dos modelos DC1	Recibidos dos modelos DC1	✓	✓
<t8>	A3h	Transmisión de dos modelos DC3	Recibidos dos modelos DC3	✓	✓
<t9>	A4h	Transmisión 19h, 99h	Recibido 19h, 99h	✓	✓
<t10>	A5h	Transmisión 19h, DC1	Recibido 19h, DC1	✓	✓
<t11>	A6h	Transmisión 19h, DC3	Recibido 19h, DC3	✓	✓
<t12>	A7h	Transmisión 99h, 19h	Recibido 99h, 19h	✓	✓
<t13>	A8h	Transmisión 99h, DC1	Recibido 99h, DC1	✓	✓
<t14>	A9h	Transmisión 99h, DC3	Recibido 99h, DC3	✓	✓
<t15>	AAh	Transmisión DC1, 19h	Recibido DC1, 19h	✓	✓
<t16>	ABh	Transmisión DC1, 99h	Recibido DC1, 99h	✓	✓
<t17>	ACh	Transmisión DC1, DC3	Recibido DC1, DC3	✓	✓
<t18>	ADh	Transmisión DC3, 19h	Recibido DC3, 19h	✓	✓
<t19>	A Eh	Transmisión DC3, 99h	Recibido DC3, 99h	✓	✓
<t20>	AFh	Transmisión DC3, DC1	Recibido DC3, DC1	✓	✓
<mark>	B0h	Comienzo del submodo transparente	Detectado aborto HDLC en submodo alineación de trama	✓	✓ (únicamente recepción)

Instrucciones en banda en modo acceso síncrono

Par de símbolos instrucción/ indicación	Códigos hex.	Descripción, circuito 103	Descripción, circuito 104	Submodo transparente	Submodo alineación de trama
<flag>	B1h	Transmisión de una bandera; se pasa al submodo alineación de trama si se está en submodo transparente. Si está habilitado, se continúa con FCS si sigue una secuencia de octetos sin bandera	Detectada transición no bandera a bandera. Los datos precedentes eran una trama válida; FCS válida si se habilita la comprobación CRC		✓
<err>	B2h	– Aborto transmitido	Detectada transición de no bandera a bandera. Los datos precedentes eran una trama no válida		✓
<hunt>	B3h	Poner el receptor en condición de búsqueda	– No es aplicable	✓	✓
<under>	B4h	– No es aplicable	Infrautilización de datos transmitidos	✓	✓
<tover>	B5h	– No es aplicable	Desbordamiento de datos transmitidos	✓	✓
<rover>	B6h	– No es aplicable	Desbordamiento de datos recibidos	✓	✓
<resume>	B7h	Reanudar tras infrautilización o desdoblamiento de transmisión	– No es aplicable		✓
<num>	B8h	– No es aplicable	Los siguientes octetos, <octnum0><octnum1>, especifican el número de octetos en la memoria tampón de datos de transmisión	✓	✓
<unum>	B9h	– No es aplicable	Los siguientes octetos, <octnum0><octnum1>, especifican el número de octetos descartados		✓
<eot>	BAh	control de portadora dúplex Finalizar portadora, volver al estado instrucción	estado de portadora dúplex Pérdida de portadora detectada, vuelta al estado instrucción	✓	✓
<ecs>	BBh	Ir al estado instrucción en línea	Confirmación de la instrucción <ecs>	✓	✓
<rn>	BCh	Petición de renegociación de velocidad (dúplex)	Indicación de renegociación de velocidad (dúplex)	✓	✓
<rtn>	BDh	Petición de reacondicionamiento de velocidad requerida (dúplex)	Indicación de reacondicionamiento de velocidad (dúplex)	✓	✓
<rate>	BEh	Los siguientes octetos, <tx><rx>, fijan las velocidades máximas de transmisión y recepción	Reacondicionamiento/renegociación completado; los siguientes octetos, <tx><rx>, indican las velocidades de transmisión y recepción	✓	✓
<pri>	BCh	control de portadora HD V.34 Ir al funcionamiento en canal primario	estado de portadora dúplex HD V.34 Inicio del funcionamiento con canal primario; el siguiente octeto, <prate>, indica la velocidad binaria	✓	✓
<ctl>	BFh	Ir al funcionamiento en canal de control	Inicio del funcionamiento con canal de control; los siguientes octetos, <prate><crate>, indican las velocidades binarias	✓	✓
<rtnh>	BDh	Iniciar reacondicionamiento de canal primario	Indicar reacondicionamiento de canal primario	✓	✓
<rtnc>	C0h	Iniciar reacondicionamiento de canal de control	Indicar reacondicionamiento de canal de control	✓	✓
<rateh>	BEh	Los siguientes octetos, <maxp><prefc>, fijan la velocidad primaria máxima y la velocidad de canal de control preferida	– No es aplicable	✓	✓
<eoth>	BAh	Finalizar portadora	Detecta la terminación de portadora	✓	✓
<ecs>	BBh	Ir al estado instrucción	– No es aplicable	✓	✓

CUADRO 10/V.80

Valores de las velocidades binarias de instrucción/indicación del modo acceso síncrono
(valores para los parámetros <tx>, <rx>, <maxp>, <prate>)

Símbolo	Código hex.	Velocidades de señalización de datos dúplex o de canal primario
<p12>	20h	1 200 bit/s
<p24>	21h	2 400 bit/s
<p48>	22h	4 800 bit/s
<p72>	23h	7 200 bit/s
<p96>	24h	9 600 bit/s
<p120>	25h	12 000 bit/s
<p144>	26h	14 400 bit/s
<p168>	27h	16 800 bit/s
<p192>	28h	19 200 bit/s
<p216>	29h	21 600 bit/s
<p240>	2Ah	24 000 bit/s
<p264>	2Bh	26 400 bit/s
<p288>	2Ch	28 800 bit/s
<p312>	2Dh	31 200 bit/s
<p336>	2Eh	33 600 bit/s

8.6 Funcionamiento en modo síncrono

Con funcionamiento en modo síncrono, la interfaz V.24 conmuta de alineación de trama arrítmica a un funcionamiento síncrono transparente cuando se pasa al estado datos en línea. En este estado, los datos transmitidos y recibidos se transfieren directamente entre el convertidor de señal síncrono y la interfaz V.24. Los circuitos 114 y 115 se mantienen en ABIERTO por el DCE en el estado instrucción y se activan con el estado datos en línea. El circuito 113 se ignora en el estado instrucción y, dependiendo de la configuración del DCE, puede utilizarse como la fuente de temporización del transmisor en estado datos en línea.

8.7 Funcionamiento en modo túnel de trama

Con funcionamiento en modo túnel de trama, en la interfaz V.24 deberán utilizarse los procedimientos especificados en 4.5.2.2 y 4.5.3.1 de ISO/CEI 3309. De DCE a DCE, deberán utilizarse los procedimientos de transmisión síncrona especificados en 4.5.1 de ISO/CEI 3309. En los sentidos de transmisión y recepción el DCE realizará una conversión entre los dos formatos si es necesario.

Deberá utilizarse el control de flujo seleccionado por el parámetro +IFC.

El formato de datos es 1 bit de arranque, 8 bits de datos, sin paridad y 1 bit de detención. Se ignora el parámetro +ICF.

8.8 Funcionamiento en modo acceso síncrono

Como puede ser útil emplear tanto el submodo transparente como el submodo alineación de trama durante la misma sesión, es posible realizar una conmutación dinámica entre ambos submodos utilizando códigos EM. El código <mark> inicia el submodo transparente en el DCE; no se transmite implícitamente ningún dato por el DCE como resultado de este código. El código <flag> encarga al DCE la transmisión de una bandera HDLC y pasa al submodo alineación de trama. El DCE eliminará su memoria tampón de datos recibida en cada transición de submodo.

Cuando se pasa a modo de acceso síncrono tras enviar al DTE el código resultante CONEXIÓN, el DCE iniciará el funcionamiento en su modo transparente en los sentidos de transmisión y recepción.

El formato de datos es 1 bit de arranque, 8 bits de datos, sin paridad, 1 bit de detención. Se ignora el parámetro +ICF.

8.8.1 Submodo transparente

8.8.1.1 Transmisión

En sentido de transmisión, el DCE separará los bits de alineación de trama de arranque y detención del tren de bits originado por el DTE, traducirá el código de apantallamiento EM definido en el Cuadro 9 y transmitirá la secuencia de bits síncrona resultante por la línea. El DCE no realizará ningún otro procesamiento de bits en los datos transmitidos.

Cuando aparece una condición de infrautilización de transmisión, el DCE transmitirá el código <under> al DTE por el circuito 104. Además, el DCE transmitirá una o más secuencias SYN en la línea hasta recibir datos adicionales del DTE. Si bien el DTE puede disminuir intencionadamente los datos transmitidos para no tener que enviar lo que en algunos protocolos se denominan datos «en reposo» al DCE, cabe señalar que el número de octetos transmitidos de esa forma por la línea durante este periodo (es decir, desde el inicio de la condición de infrautilización hasta el instante en que se recibe el siguiente octeto del DTE), es indeterminado.

Cuando aparece una condición de desbordamiento de la transmisión, el DCE transmitirá el código <tover> al DTE por el circuito 104. Según la implementación del DCE, los octetos que causan desbordamiento pueden referirse a datos anteriores o ser descartados.

8.8.1.2 Recepción

Si el subparámetro <trans_idle> del parámetro +ESA se fija a 1 ó 2, el receptor DCE pasará a submodo transparente en una condición de búsqueda y descartará todos los datos recibidos hasta que se reciba la secuencia SYN especificada. Cuando se recibe la secuencia SYN, el DCE deberá dividir los datos recibidos, incluida la secuencia SYN, en octetos; incluirá unos bits de alineación de trama de arranque y detención; realizará un apantallamiento EM de ciertos octetos si es necesario como se define en el Cuadro 9 y enviará los datos con alineación de tramas asíncrona resultantes al DTE. El DTE puede ordenar al DCE que vacíe la memoria tampón de los datos recibidos y ponga su receptor en condición de búsqueda en cualquier instante con el código <hunt>. El DCE no realizará ningún otro procesamiento de bits en los datos recibidos.

Si el subparámetro <trans_idle> del parámetro +ESA se fija a cero, el receptor del DCE comenzará inmediatamente la retransmisión de datos recibidos al DTE tras pasar al submodo transparente. En este caso no tiene efecto el código <hunt>.

Cuando aparece una condición de desbordamiento de recepción, debido a un exceso de indicaciones del DTE o a una velocidad de señalización de datos DTE-DCE inadecuada, el DCE insertará el código <rover> en el punto del tren de octetos recibido en el que se perdieron los datos.

Obsérvese que como en algunos protocolos el número de marcas consecutivas es significativo (la fase de detección V.42 es un ejemplo) y el DCE no tiene conocimiento de los detalles específicos del protocolo, cuando el DCE recibe marcas continuas, seguirá emitiendo octetos 11111111 al DTE a la velocidad que se reciben en la línea, a menos que la condición de búsqueda esté configurada y activa.

8.8.2 Submodo alineación de trama

8.8.2.1 Transmisión

En funcionamiento submodo alineación de trama orientada a bits, se utilizan los procedimientos de transparencia de bits por inserción de ceros definidos en 4.5.1 de ISO/CEI 3309 para los datos de DCE-DCE. En consecuencia, son necesarios códigos EM adicionales para identificar, en la interfaz DTE-DCE, secuencias de bits tales como banderas HDLC en las que no se aplica inserción de ceros. Estos códigos EM adicionales se definen en el Cuadro 9.

El DTE indica al DCE que inicie su modo alineación de trama con el código <flag>, que señala al DCE que transmita una bandera. El DCE puede especificar explícitamente banderas adicionales con códigos <flag> adicionales o mediante una infrautilización de la transmisión intencionada si el DCE está configurado para un funcionamiento de bandera en reposo.

Si está habilitado, el DCE calculará los polinomios CRC seleccionados en todos los datos de mensajes recibidos por el circuito 103, comenzando por el primer octeto no bandera seguido de la transmisión de una o más banderas. Todas las instrucciones en banda se excluyen de este cálculo. Cuando el DTE finaliza una secuencia de octeto no bandera con un código <flag>, el DCE transmitirá este CRC en la línea como la secuencia de verificación de trama antes del octeto bandera. Estos polinomios se especifican en 8.1.1.6/V.42.

Cuando aparece una condición de infrautilización de la transmisión durante una secuencia de octeto no bandera, la acción que toma el DCE depende del establecimiento del subparámetro <framed_un_ov> del parámetro +ESA. Si <framed_un_ov>=0, el DCE sustituirá un aborto transmitiendo al menos ocho unos. Si <framed_un_ov>=1, el DCE sustituirá una bandera. En cualquiera de estos casos, a continuación seguirán banderas o marcas, dependiendo de los valores del subparámetro <framed_idle> del parámetro +ESA. Si el DCE está calculando un CRC cuando ocurre este hecho, no se transmite una FCS en la línea. Entonces el DCE enviará el código <under> al DTE por el circuito 104.

Si <framed_un_ov>=1, el DCE ignorará los siguientes datos transmitidos por el circuito 103 hasta recibir un código <resume> del DTE por el circuito 103. Al recibir el código <resume> del DTE, el DCE transmitirá la indicación <unum><octnum0><octnum1> al DTE. Los octetos <octnum0><octnum1> indican el número de octetos de datos portadores que fueron descartados por el DCE desde la aparición de la condición de infrautilización hasta el instante en el que se recibió el código <resume>. La codificación de <octnum0><octnum1> es la misma que en 8.4.

Cuando aparece una condición de infrautilización de la transmisión durante una secuencia de octeto de bandera, el DCE no enviará un código <under> al DTE. Dependiendo de los valores que tome el parámetro +ESA, el DCE sustituirá una o más banderas, u ochos o más unos, hasta recibir los siguientes datos del DTE.

Cuando aparece la condición de desbordamiento de la transmisión, la acción tomada por el DCE depende de la fijación de los valores del subparámetro <framed_un_ov> del parámetro +ESA. Si <framed_un_ov>=0, el DCE transmitirá el código <tover> al DTE por el circuito 104. Dependiendo de la implementación del DCE, los octetos que han provocado el desbordamiento pueden ser reiteración de datos previos o ser descartados. Si aparece desbordamiento en medio de una secuencia de octeto no bandera, el DCE insertará un aborto en el instante en el que apareció el desbordamiento. Si se reiteraron los datos previos, y ello provoca que una secuencia de octeto no bandera sea finalizada por una bandera, no se transmite una FCS.

Si <framed_un_ov>=1, el DCE sustituirá una bandera en el instante del octeto inmediatamente antes de la aparición del desbordamiento. A continuación seguirán banderas o marcas, según los valores que tome el subparámetro <framed_idle> del parámetro +ESA. Si el DCE está calculando una CRC cuando esto ocurre, no se transmite una FCS en la línea. En ese caso, el DCE enviará el código <over> al DTE por el circuito 104. El DCE ignorará los nuevos datos transmitidos por el circuito 103 hasta que reciba un código <resume> del DTE por el circuito 103. Al recibir el código <resume> del DTE, el DCE transmitirá la indicación <unum><octnum0><octnum1> al DTE. Los octetos <octnum0><octnum1> indican el número de octetos de datos portadores que fueron descartados por el DCE desde la aparición de la condición de desbordamiento hasta el instante en que se recibió el código <resume>. La codificación de <octnum0><octnum1> es la misma que en 8.7.

NOTA – Después de que el DTE transmite el código <resume>, no debe transmitir más datos al DCE hasta que se reciba del DCE el < octnum0><octnum1>.

El DTE puede señalar al DCE que transmita un aborto con el código <err>.

8.8.2.2 Recepción

Cuando se inicia el submodo alineación de trama orientado a bits, el receptor DCE pasará a la condición de búsqueda y localizará tren de bits recibido para las banderas HDLC. Hasta que se detecte un octeto de bandera válido, el DCE descartará los datos recibidos y no los retransmitirá al DTE. Al detectar una bandera, el DCE enviará un código <err> al DTE. Las siguientes banderas recibidas consecutivamente no se retransmiten al DTE.

Tras detectar un octeto de bandera y retransmitir el código <err> al DTE, el DCE retransmitirá el primero y los siguientes octetos no bandera al DTE suprimiendo los bits cero insertados, introduciendo los bits de alineación de trama de arranque y parada y realizando un apantallamiento EM de ciertos valores de octetos como se define en el Cuadro 9. Comenzando por el primer octeto no bandera, el DCE deberá calcular el polinomio CRC seleccionado, si está habilitado. Si se finaliza la secuencia de octeto no bandera con una bandera válida, el DCE retransmitirá el código <err> al DTE si la FCS habilitada era errónea. De no ser así, el DCE enviará el código <flag> al DTE. Si el octeto de bandera de cierre va seguido inmediatamente por datos no bandera, la bandera se considerará la bandera de apertura de la siguiente trama.

Si se reciben siete o más unos consecutivos, el DCE indicará esa circunstancia al DTE retransmitiendo el código <mark>. Obsérvese que este código no indica que el DCE ha pasado al submodo transparente. El DCE pasará posteriormente a la condición de búsqueda como se describe en los párrafos anteriores.

El DTE puede encargar al receptor del DCE que vacíe su memoria de datos recibidos y pase a la condición de búsqueda en cualquier instante con el código <hunt>.

Cuando aparece una condición de desbordamiento de recepción, debido a un exceso de indicaciones del DTE o a una velocidad de señalización de datos DTE-DCE inadecuada, el DCE insertará el código <rover> en el instante del tren de octetos recibido en el que se perdieron los datos.

El tratamiento de los bits residuales recibidos debe ser objeto de estudios ulteriores.

8.8.3 Escape al estado instrucción en línea

Si el DTE envía una instrucción <ecs>, el DCE emitirá una indicación <ecs> de confirmación seguida por un código de resultado OK y pasará al estado instrucción en línea. En ese estado, el DCE transmitirá la secuencia en reposo configurada si va a transmitirse la portadora y descartará los datos recibidos.

8.8.4 Control de portadora dúplex

El DTE puede encargar al DCE que inicie un reacondicionamiento de portadora o una petición de renegociación de la velocidad. De forma similar, el DCE indicará al DTE cuándo se ha recibido una petición de reacondicionamiento o renegociación de velocidad del DCE distante.

El DTE puede emitir la instrucción <rate> <tx><rx> en cualquier instante durante una conexión. Esta instrucción tiene el efecto de alterar los valores fijados de los subparámetros <max_rate> y <max_rx_rate>, respectivamente, en el parámetro +MS. Estos valores se encuentran activos para los siguientes reacondicionamientos y renegociaciones de velocidad. Los valores para los parámetros <tx> y <rx> se definen en el Cuadro 10.

8.8.4.1 Reacondicionamiento

Si el DTE emite una instrucción <rtm> al DCE, precedida opcionalmente por una instrucción de velocidad, el DCE utilizará los procedimientos de módem de la serie V pertinentes para solicitar un reacondicionamiento. Si el DCE recibe una petición de reacondicionamiento del DCE distante, el DCE señalará esta circunstancia al DTE con la indicación <rtm>.

Al finalizar el reacondicionamiento, el DCE indicará las velocidades de señalización al DTE con la indicación <rate> <tx><rx>.

Si el intento de reacondicionamiento da lugar a una desconexión de portadora, el DCE permanecerá conectado a la red, emitirá una indicación <eot>, pasará al estado instrucción en línea y emitirá un código resultante SIN PORTADORA.

8.8.4.2 Renegociación de velocidad

Si el DTE emite una instrucción <rrn> al DCE, precedida opcionalmente por una instrucción de velocidad, el DCE utilizará los procedimientos de módem de la serie V pertinentes para solicitar una renegociación de velocidad. Si el DCE recibe una petición de renegociación de velocidad del DCE distante, dicho DCE señalará esta circunstancia al DTE con la indicación <rrn>.

Al finalizar la renegociación, el DCE indicará las velocidades de señalización al DTE con la indicación <rate><tx><rx>.

Si el intento de renegociación da como resultado una desconexión de portadora, el DCE permanecerá conectado a la red, emitirá una indicación <eot>, pasará al estado instrucción en línea y emitirá un código resultante SIN PORTADORA.

8.8.4.3 Terminación de portadora

Si el DTE envía una instrucción <eot>, el DCE emitirá una indicación <eot> de confirmación. El DCE utilizará entonces los procedimientos de módem de la serie V pertinentes para terminar la portadora de datos pero permanecerá conectado a la red. Cuando se desconecte la portadora del módem, el DCE emitirá un código resultante SIN PORTADORA y pasará al estado instrucción.

Si el terminal distante inicia los procedimientos para finalizar la portadora de datos, el DCE completará la desconexión de portadora pero permanecerá conectado a la red, emitirá una indicación <eot>, pasará al estado instrucción y emitirá un código resultante SIN PORTADORA.

8.8.5 Control de portadora V.34 semidúplex

Mientras el DCE esté utilizando la modulación semidúplex V.34, el DTE puede señalar al DCE que inicie los diversos procedimientos definidos en la cláusula 12/V.34 para realizar la transición entre funcionamientos de canal primario dúplex y funcionamiento de canal de control dúplex y para iniciar los reacondicionamientos de canal primario y de control.

El DTE puede emitir la instrucción <rateh><maxp><prefc> en cualquier instante durante una conexión. El parámetro <maxp> fija la velocidad de bit de canal primario máxima que el DCE puede negociar durante los siguientes reacondicionamientos y rearranques de canal de control (la velocidad binaria del canal primario V.34 viene determinada al comienzo del funcionamiento de canal de control, a menos que se modifique durante el funcionamiento de canal de control por un reacondicionamiento de canal de control). Los valores de este parámetro se definen en el Cuadro 10. El parámetro <prefc> fija la velocidad binaria del canal de control que el DCE deberá seleccionar para el transmisor distante (es decir, bits 27 y 50 en la secuencia MPh transmitida). Los valores definidos para este parámetro son: 0 - 1200 bit/s, no se permiten velocidades asimétricas; 1 - 2400 bit/s, no se permiten velocidades asimétricas; 2 - 1200 bit/s, se permiten velocidades asimétricas; 3 - 2400 bit/s, se permiten velocidades asimétricas; 4 - determinada por el DCE. Obsérvese que si uno o ambos DCE no permiten velocidades de señalización de canal de control asimétricos, el transmisor distante puede de hecho funcionar a 1200 bit/s cuando se inicia el funcionamiento del canal de control aunque el DCE local haya especificado un funcionamiento a 2400 bit/s.

8.8.5.1 Transición de funcionamiento de canal de control a funcionamiento de canal primario

Si el DTE emite una instrucción <pri> al DCE durante el funcionamiento de canal de control, el DCE ejecutará los procedimientos de desconexión de canal de control definidos en 12.6.3/V.34 y procederá a efectuar los procedimientos de resincronización de canal primario definidos en 12.5/V.34.

Al finalizar la resincronización, el DCE señalará esta circunstancia al DTE con la indicación <pri><prate>, donde <prate> indica la velocidad binaria del canal primario.

Si se fija a uno el valor del subparámetro <hd_auto> del parámetro +ESA, al recibir la instrucción <pri>, un módem fuente transmitirá 40 unos en el canal de control y continuará transmitiendo unos hasta detectar la pérdida de portadora del canal de control del transmisor distante, antes de proceder con los procedimientos de desconexión definidos en 12.6.3/V.34. Para <hd_auto>=1, un módem de destino procederá con los procedimientos indicados en 12.6.3/V.34 tras recibir 40 unos consecutivos del transmisor distante; es decir, el módem de destino no requiere en este caso una instrucción <pri>.

Si el intento de resincronización da como resultado una desconexión de portadora, el DCE permanecerá conectado a la red y emitirá una indicación <eoth>.

8.8.5.2 Transición de funcionamiento de canal primario a funcionamiento de canal de control

Si el DTE emite una instrucción <ctl> al DCE durante el funcionamiento de canal primario, el DCE ejecutará los procedimientos de desconexión de canal primario definidos en 12.5.3/V.34 y procederá con los procedimientos de resincronización de canal de control definidos en 12.6/V.34.

Al finalizar la resincronización, el DCE señala esta circunstancia al DTE con la indicación <ctl><prate><crate>, donde <prate> indica la velocidad binaria que debe utilizarse en los subsiguientes funcionamientos de canal primario y <crate> indica las velocidades binarias del canal de control de transmisión y recepción. Los valores definidos para <crate> son: 0 - 1200 bit/s recepción y transmisión; 1 - 2400 bit/s recepción y transmisión; 2 - 1200 bit/s recepción; 2400 bit/s transmisión; 3 - 2400 bit/s recepción; 1200 bit/s transmisión.

Si el subparámetro <hd_auto> del parámetro +ESA se fija a uno, un módem de destino realizará los procedimientos descritos en 12.5.3/V.34 al detectar la pérdida de portadora de canal primario del transmisor distante; es decir, en este caso el módem de destino no requiere una instrucción <pri>.

Si el intento de resincronización da como resultado una desconexión de portadora, el DCE permanecerá conectado a la red y emitirá una indicación <eoth>.

8.8.5.3 Reacondicionamiento de canal primario

Si el DTE emite una instrucción <rtnh> al DCE, éste ejecutará los procedimientos de reacondicionamiento de canal primario definidos en 12.7/V.34. Si el DCE recibe una petición de reacondicionamiento de canal primario del DCE distante, dicho DCE señalará esta condición al DTE con una indicación <rtnh>.

Al finalizar el reacondicionamiento cuando se pasa a funcionamiento de canal de control, el DCE señalará esta circunstancia al DTE con la indicación <ctl><prate><crate>, donde <prate> indica la velocidad binaria que debe utilizarse para el subsiguiente funcionamiento de canal primario y <crate> indica la velocidad binaria del canal de control de transmisión y recepción. Los valores definidos para <crate> se especifican en 8.8.5.2.

Si el intento de resincronización da lugar a una desconexión de portadora, el DCE permanecerá conectado a la red y emitirá una indicación <eoth>.

8.8.5.4 Reacondicionamiento de canal de control

Si el DTE emite una instrucción <rtnc> al DCE con funcionamiento en canal de control, el DCE ejecutará los procedimientos de reacondicionamiento de canal de control definidos en 12.8/V.34. Si el DCE recibe una petición de reacondicionamiento de canal de control del DCE distante, dicho DCE señalará esta circunstancia al DTE con la indicación <rtnc> .

Al finalizar el reacondicionamiento, el DCE señalará esta circunstancia al DTE con la indicación <ctl><prate><crate>, donde <prate> indica la velocidad binaria que debe utilizarse para el subsiguiente funcionamiento de canal primario y <crate> indica la velocidad binaria de canal de control de transmisión y recepción. Los valores definidos para <crate> se especifican en 8.8.5.2.

Si el intento de resincronización da lugar a una desconexión de portadora, el DCE permanecerá conectado a la red y emitirá una indicación <eoth>.

8.8.5.5 Terminación de portadora

Si el DTE envía una instrucción <eoth> a un DCE de origen o a un DCE de destino durante el funcionamiento de canal de control, el DCE seguirá los correspondientes procedimientos de desconexión de canal primario o de canal de control especificados en 12.5.3.1/V.34 ó 12.6.3/V.34, pero no ejecutará los subsiguientes procedimientos de arranque para el modo de funcionamiento alternativo. El DCE también permanecerá conectado a la red. Cuando se desconecta la portadora del módem, el DCE emitirá una indicación <eoth> de confirmación al DCE.

Si el subparámetro <hd_auto> del parámetro +ESA se fija a uno, al recibir la instrucción <eoth> durante el funcionamiento de canal de control, el DCE transmitirá 40 unos en el canal de control y continuará transmitiendo unos hasta que se detecte una pérdida de la portadora del canal de control del transmisor distante, antes de realizar los procedimientos de desconexión definidos en 12.6.3/V.34.

Si se pierde la portadora del transmisor distante, el DCE emitirá una indicación <eoth>. Además, para <hd_auto>=1, si un DCE de origen recibe 40 unos consecutivos durante el funcionamiento de canal de control, el DCE terminará su portadora y emitirá una indicación <eoth>.

8.9 Ejemplos

8.9.1 Fase de detección

Si bien la fase de detección V.42 puede ser implementada por el DTE funcionando el DCE en modo síncrono (Recomendación V.14), a menudo es difícil en tales casos transmitir el número necesario de bits de detención (entre 8 y 16) para las secuencias ODP y ADP y, si se desea, verificar si se ha recibido el número especificado de bits de detención para tales secuencias. Por consiguiente, puede que sea conveniente implementar la fase de detección con el DCE en modo de acceso síncrono. En el Cuadro siguiente se muestra un ejemplo de este caso para el DCE de origen.

Circuito 103	Circuito 104	Notas
AT+ES=6 D<number>↓↓ CONNECT↓ <under><FF> <FF><FF><FF><FF> ... <FF>...	Marcación de terminal distante, completar modulación de toma de contacto. La conexión arranca en submodo transparente, infrutilización del transmisor, recibiendo marcas constantes.
[<11><FF> <17><F9><7F>] repetido		Envío de ODP (otros modelos de octeto también generarán un ODP válido).
	<FF><8A><FE><1B> <FA><7F><45><FF> <FF><86><FE><FF> <5F><DI><BF><A1> <FF><FF>...	ADP significa V.42 detectado («EC»). Existen otros modelos de octetos que representan un ADP válido.
<flag>		Transición a submodo alineación de trama.

Apéndice I

Configuración de la interfaz DTE-DCE de transmisión en modo de acceso síncrono para aplicaciones multimedia

La transmisión de datos multimedia en tiempo real con codificación digital, tales como la voz, impone requisitos de comportamiento contradictorios y adicionales al funcionamiento del DTE cuando se utiliza modo de acceso síncrono en el DCE. Por un lado, debe evitarse la infrautilización de la transmisión para impedir interrupciones y cortes en el tren de información del terminal distante. Por otro lado, es conveniente mantener reducido el volumen de datos almacenados en un instante determinado en la memoria tampón de datos de transmisión del DCE a fin de minimizar los retardos introducidos por tal almacenamiento.

I.1 Mínima velocidad de señalización de datos DTE-DCE

Para evitar infrautilización de la transmisión, la velocidad a la que llegan los octetos del DTE tras suprimir los códigos de instrucción y , debe ser mayor que un octavo de la velocidad binaria de señalización de datos del transmisor del DCE. Como es conveniente mantener reducido el número de octetos en la memoria tampón de transmisión del DCE, esta premisa debe cumplirse tanto para la velocidad de octetos instantánea del DTE como para la velocidad media ya que puede que el contenido de la memoria tampón no sea suficiente para evitar la infrautilización en las instancias del tren de datos que contienen un número elevado de octetos apantallados .

En caso más desfavorable, el tren de datos de transmisión contendrá octetos que requieran apantallamiento en alternancia con los que no lo requieran; por ejemplo, ,a,,b,,z,... Para este tren de octetos, el número de octetos transmitidos a través de la interfaz DTE-DCE será el 50% mayor que el número de octetos realmente transmitidos por el DCE al terminal distante.

De esta forma, para una velocidad binaria de señalización del transmisor del DCE de valor R , la velocidad de transmisión de octetos del DTE, $R_{OCT-DTE}$, debe satisfacer la desigualdad:

$$R_{OCT-DTE} > 1,5 \times R \text{ h} = 0,1875R$$

Como ejemplo puede indicarse que para una velocidad del transmisor del DCE de 28 800 bit/s, el transmisor del DTE debe ser capaz de transmitir al menos 5400 octetos por segundo. Como se necesitan 10 bits para transmitir un octeto con alineación de trama arrítmica, en este ejemplo, la velocidad binaria de la interfaz DTE-DCE deberá ser superior a 54 000 bits/s. Para permitir indicaciones e instrucciones apantalladas ocasionales que no formen parte de los datos transmitidos y para tener en cuenta posibles derivas del reloj entre el DTE y el DCE, la velocidad binaria de la interfaz DTE-DCE debe ser mayor que esta cifra.

En la práctica, conviene que el valor de la velocidad binaria de la interfaz DTE-DCE sea lo más alta posible. Ello permite al DTE la recepción de datos procedentes del DCE lo más rápidamente posible para minimizar el periodo de latencia en ese sentido. En el sentido de transmisión, ello permite igualmente al DTE rellenar la memoria tampón de transmisión del DCE tan rápidamente como se desee cuando el DCE indique que el contenido de dicha memoria tampón es bajo y el paso al estado de infrautilización es inminente.

I.2 Umbrales de control de flujo e informe sobre el contenido de la memoria tampón

En modo de acceso síncrono, la interfaz DTE-DCE funciona con alineación de trama arrítmica. El circuito 114 de la Recomendación V.24 no está disponible o no está activo y, en consecuencia, el DTE no logra información sobre temporización del transmisor del DCE. De esa forma, aun cuando el DTE pueda computar con exactitud los efectos de los códigos , inserción de ceros, etc., la velocidad de octetos del DTE puede desbordar o infrautilizar la memoria tampón de entrada del DCE debido a la deriva del oscilador entre los dos dispositivos. En consecuencia, es necesario establecer una cierta realimentación de control del flujo del DCE al DTE.

El parámetro +ITF permite al DTE configurar la operación de control del flujo. El DTE puede fijar los valores de los subparámetros <on> y <off> para mantener bajo el volumen de datos en la memoria tampón del transmisor.

Al fijar el valor del subparámetro <on>, el DTE debe tener en cuenta su tiempo máximo esperado de respuesta a un flujo de señales procedentes del DCE. El contenido de la memoria tampón del transmisor cuando se genere esta señal debe ser lo suficientemente amplio para que la memoria tampón del transmisor no se vacíe durante el máximo periodo de respuesta, lo cual podría causar una infrautilización de la transmisión.

La fijación del valor del subparámetro <off> determina el periodo de latencia máximo introducida por la memoria tampón de datos del transmisor. Para una velocidad de transmisión de octetos del DTE constante, fijando el valor de <off> más cerca que el de <on>, se tenderá a aumentar la frecuencia a la que se generan las señales de flujo entrante y flujo saliente por el DCE. Para valores de <off> y <on> fijos, el mantenimiento de la velocidad de transmisión de octetos del DCE próxima a la velocidad de octetos del DCE (tras tener en cuenta los códigos) tenderá a disminuir la frecuencia a la que se generan las señales de flujo entrante y saliente por el DCE.

Además, utilizando el parámetro +ITF, el DTE puede encargar al DCE que informe periódicamente al DTE del número de octetos en la memoria tampón de datos de entrada del transmisor. El DTE puede utilizar esta facilidad para implementar un ajuste más fino de la velocidad a la que transmite octetos al DCE, con la correspondiente disminución en la variación del número de octetos en la memoria tampón.

La variación en el volumen de datos en la memoria tampón de transmisión del DCE puede contribuir a la fluctuación de fase en los canales lógicos observada por el terminal distante. El mínimo nivel de memoria tampón potencial será el nivel <on>, menos el número de octetos transmitidos por el DCE durante el tiempo máximo de respuesta del DTE a un flujo entrante de señal. El máximo nivel de memoria tampón potencial será el nivel <off> más el número de octetos transmitidos por el DTE durante el tiempo máximo de respuesta del DTE a un flujo saliente de señal. La fluctuación de fase real puede ser inferior a este valor si se utiliza el subparámetro <report_period>. Una fluctuación de fase de este tipo normalmente suele ser indicada al terminal distante durante el establecimiento de protocolo y, si ha lugar, el DTE debe tener en cuenta la contribución de fluctuación de fase adicional inducida por la memoria tampón del transmisor del DCE cuando comunique al extremo distante la máxima fluctuación de fase esperada.

SERIES DE RECOMENDACIONES DEL UIT-T

Serie A	Organización del trabajo del UIT-T
Serie B	Medios de expresión
Serie C	Estadísticas generales de telecomunicaciones
Serie D	Principios generales de tarificación
Serie E	Red telefónica y RDSI
Serie F	Servicios de telecomunicación no telefónicos
Serie G	Sistemas y medios de transmisión
Serie H	Transmisión de señales no telefónicas
Serie I	Red digital de servicios integrados (RDSI)
Serie J	Transmisiones de señales radiofónicas y de televisión
Serie K	Protección contra las interferencias
Serie L	Construcción, instalación y protección de los cables y otros elementos de planta exterior
Serie M	Mantenimiento: sistemas de transmisión, circuitos telefónicos, telegrafía, facsímil y circuitos arrendados internacionales
Serie N	Mantenimiento: circuitos internacionales para transmisiones radiofónicas y de televisión
Serie O	Especificaciones de los aparatos de medida
Serie P	Calidad de transmisión telefónica
Serie Q	Conmutación y señalización
Serie R	Transmisión telegráfica
Serie S	Equipos terminales de telegrafía alfabética
Serie T	Equipos terminales y protocolos para los servicios de telemática
Serie U	Conmutación telegráfica
Serie V	Comunicación de datos por la red telefónica
Serie X	Redes de datos y comunicación entre sistemas abiertos
Serie Z	Lenguajes de programación