



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

**UIT-T**

SECTOR DE NORMALIZACIÓN  
DE LAS TELECOMUNICACIONES  
DE LA UIT

**V.27 *bis***

**COMUNICACIÓN DE DATOS  
POR LA RED TELEFÓNICA**

---

**MÓDEM A 4800/2400 bit/s NORMALIZADO  
CON ECUALIZADOR AUTOMÁTICO  
PARA USO EN CIRCUITOS ARRENDADOS  
DE TIPO TELEFÓNICO**

**Recomendación UIT-T V.27 *bis***

(Extracto del *Libro Azul*)

---

## NOTAS

1 La Recomendación UIT-T V.27 *bis* se publicó en el fascículo VIII.1 del Libro Azul. Este fichero es un extracto del Libro Azul. Aunque la presentación y disposición del texto son ligeramente diferentes de la versión del Libro Azul, el contenido del fichero es idéntico a la citada versión y los derechos de autor siguen siendo los mismos (Véase a continuación).

2 Por razones de concisión, el término «Administración» se utiliza en la presente Recomendación para designar a una administración de telecomunicaciones y a una empresa de explotación reconocida.

© UIT 1988, 1993

Reservados todos los derechos. No podrá reproducirse o utilizarse la presente Recomendación ni parte de la misma de cualquier forma ni por cualquier procedimiento, electrónico o mecánico, comprendidas la fotocopia y la grabación en micropelícula, sin autorización escrita de la UIT.

## Recomendación V.27 bis

### MÓDEM A 4800/2400 bit/s NORMALIZADO CON ECUALIZADOR AUTOMÁTICO PARA USO EN CIRCUITOS ARRENDADOS DE TIPO TELEFÓNICO

(Ginebra, 1976; modificada en Ginebra, 1980  
y Málaga-Torremolinos, 1984)

#### Introducción

Este módem ha sido concebido para uso en circuitos arrendados generales, no necesariamente conformes con la Recomendación M. 1020 [1]. Se ha previsto una rápida secuencia de arranque para que pueda utilizarse en aplicaciones multipunto secuenciales, si los circuitos empleados se ajustan a la Recomendación M. 1020.

Teniendo en cuenta que existen y surgirán muchos módems con características elegidas específicamente para satisfacer los requisitos de las Administraciones y los usuarios, esta Recomendación no limita en modo alguno el empleo de cualquier otro módem en circuitos arrendados. Tampoco elimina la necesidad de emplear módems con igualación manual conformes con la Recomendación V. 27 o de otros módems a 4800 bit/s con igualación automática.

Esta Recomendación debe considerarse como provisional, para asegurar un servicio cuando ello se requiera urgentemente y entre puntos para los cuales se espera poder prestar un servicio satisfactorio.

#### 1 Principales características

Las características principales del módem recomendado son muy similares a las de un módem conforme con la Recomendación V. 27, salvo en lo que respecta al igualador utilizado; estas características son las siguientes:

- a) explotación en modo dúplex o semidúplex en circuitos arrendados a cuatro hilos, o en modo semidúplex en circuitos, arrendados a dos hilos;
- b) funcionamiento a 4800 bit/s, modulación de fase octovalente con codificación diferencial, en la forma descrita en la Recomendación V.27;
- c) posibilidad de velocidad reducida a 2400 bit/s con el esquema de modulación fase tetravalente con codificación diferencial descrito en la Recomendación V.26, solución A;
- d) posibilidad de un canal de retorno (para supervisión) a velocidades de modulación de hasta 75 baudios en cada sentido de transmisión; la previsión y utilización de estos canales es facultativa;
- e) inclusión de un igualador automático autoadaptable con una secuencia de arranque específica para circuitos conformes con la Recomendación M.1020 [1], y otra posible secuencia de arranque para circuitos de calidad mucho más baja.

#### 2 Funcionamiento con señales de línea a 4800 y 2400 bit/s

##### 2.1 Frecuencia portadora

La frecuencia portadora será  $1800 \pm 1$  Hz. No se prevén frecuencias piloto separadas. Se utilizarán niveles de potencia conformes con la Recomendación V. 2.

##### 2.1.1 Espectro a 4800 bit/s

El espectro de energía será de la forma coseno alzado con un coeficiente de caída (roll-off factor) del 50%, dividido por igual entre el receptor y el transmisor. La densidad de energía a 1000 y 2600 Hz será atenuada  $3 \text{ dB} \pm 2 \text{ dB}$  con respecto a la densidad máxima entre 1000 y 2600 Hz.

##### 2.1.2 Espectro a 2400 bit/s

El espectro de energía mínimo será de la forma coseno con un coeficiente de caída del 50%, dividido por igual entre el receptor y el transmisor. La densidad de energía a 1200 Hz y 2400 Hz será atenuada  $3 \text{ dB} \pm 2 \text{ dB}$  con respecto a la densidad máxima entre 1200 Hz y 2400 Hz.

## 2.2 Distribución de la potencia entre el canal de ida y el de retorno

En caso de transmisión simultánea por los canales de ida y retorno en el mismo sentido de transmisión, el nivel de potencia del canal de retorno será inferior en 6 dB al del canal de ida (datos).

## 2.3 Funcionamiento a 4800 bit/s

### 2.3.1 Velocidad binaria y velocidad de modulación

La velocidad binaria será de 4800 bit/s  $\pm$  0,01%, es decir que la velocidad de modulación será de 1600 baudios  $\pm$  0,01%.

### 2.3.2 Codificación de los bits de datos

El tren de datos que ha de transmitirse se divide en grupos de tres bits consecutivos (tribits). Cada tribit se codifica como un cambio de fase con relación a la fase del elemento de señal precedente (véase el cuadro 1/V.27 bis). En el receptor, los tribits se decodifican y los bits se reagrupan en el orden correcto. El bit de la izquierda del tribit es el que aparece primero en el tren de datos que entra en la parte modulador del módem después del aleatorizador.

CUADRO 1/V.27 bis

Tribit			Cambio de fase (véase la observación)
0	0	1	0°
0	0	0	45°
0	1	0	90°
0	1	1	135°
1	1	1	180°
1	1	0	225°
1	0	0	270°
1	0	1	315°

*Observación* – El cambio de fase es el desplazamiento real de fase en línea en la región de transición que va del centro de un elemento de señal al centro del elemento de señal siguiente.

## 2.4 Funcionamiento a 2400 bit/s

### 2.4.1 Velocidad binaria y velocidad de modulación

La velocidad binaria será de 2400 bit/s  $\pm$  0,01%, es decir que la velocidad de modulación será de 1200 baudios  $\pm$  0,01%.

### 2.4.2 Codificación de los bits de datos

En el funcionamiento a 2400 bit/s, el tren de datos se divide en grupos de dos bits (dibits). Cada dibit se codifica como un cambio de fase con relación a la fase del elemento de señal que le precede inmediatamente (véase el cuadro 2/V.27 bis). En el receptor, se decodifican los dibits y se reagrupan los bits en el orden correcto. El bit de la izquierda del dibit es el que aparece primero en el tren de datos que entra en la parte modulador del módem después del aleatorizador.

CUADRO 2/V.27 bis

Dibit	Cambio de fase (véase la observación)
00	0°
01	90°
11	180°
10	270°

*Observación* – El cambio de fase es el desplazamiento real de fase en línea en la región de transición que va del centro de un elemento de señal al centro del elemento de señal siguiente.

## 2.5 Secuencias operativas

### 2.5.1 Secuencia de paso al estado CERRADO

Durante el intervalo entre la transición del estado ABIERTO al CERRADO del circuito 105 y la transición del estado ABIERTO al CERRADO del circuito 106, el módem de transmisión generará señales de sincronismo para el acondicionamiento del módem de recepción. Estas señales están destinadas a establecer la detección de la portadora, el CAG de ser necesario, la sincronización de la temporización, la convergencia del ecualizador y la sincronización del desaleatorizador.

Se definen dos secuencias, a saber:

- una corta, para circuitos a cuatro hilos conformes con la Recomendación M. 1020 [1];
- una larga, para circuitos a cuatro hilos de calidad muy inferior a los de la Recomendación M. 1020 [1], y para circuitos a dos hilos.

Las secuencias para ambas velocidades binarias se dividen en los tres segmentos indicados en el cuadro 3/V.27 bis.

CUADRO 3/V.27 bis

	Segmento 1	Segmento 2	Segmento 3	Total de los segmentos 1, 2 y 3	
Tipo de señal de línea	Inversiones continuas de fase (180°)	Esquema bifásico (0°-180°) para el acondicionamiento del ecualizador	UNOS aleatorizados continuos	Duración total de la "secuencia de paso al estado CERRADO"	
				4800 bit/s	2400 bit/s
Número de intervalos de símbolo (IS) <sup>a)</sup>	a) 14 SI b) 50 SI	a) 58 SI b) 1074 SI	8 SI	a) 50 ms b) 708 ms	a) 67 ms b) 943 ms

- a) IS = Intervalos de símbolo. La duración de los segmentos 1, 2 y 3 se expresa en intervalos de símbolo, estos números son los mismos en el funcionamiento a velocidad reducida.

2.5.1.1 El segmento 1 está constituido por inversiones continuas de fase de 180° en línea durante 14 intervalos de símbolo, en el caso de la secuencia a), y durante 50 intervalos de símbolo, en el de la secuencia b).

2.5.1.2 El segmento 2 está constituido por una secuencia de acondicionamiento del ecualizador que es una secuencia pseudoaleatoria generada por el polinomio:

$$1 + x^{-6} + x^{-7}$$

2.5.1.2.1 Para el funcionamiento a 4800 bit/s, la secuencia de acondicionamiento del ecualizador se deriva utilizando cada tercer bit de la secuencia pseudoaleatoria definida en el § 2.5.1.2. Cuando en la secuencia derivada aparece un CERO, se transmite un cambio de fase de 0°. Cuando aparece un UNO, se transmite un cambio de fase de 180°. El segmento 2 comienza por la secuencia 0°, 180°, 180°, 180°, 180°, 180°, 0°, ... de acuerdo con la secuencia derivada y continúa durante 58 intervalos de símbolo en el caso de la secuencia a) y 1074 intervalos de símbolo en el caso de la secuencia b). En el apéndice I se da un ejemplo detallado de la generación de esta secuencia.

2.5.1.2.2 En circuitos arrendados, dado que existen módems que se ajustan al § 2.5.1.2.1 a 4800 bit/s, pero que difieren en sus secuencias de paso al estado CERRADO a 2400 bit/s, se han definido dos posibles secuencias de acondicionamiento del ecualizador que se indican a continuación:

- i) En la primera alternativa, la secuencia para el acondicionamiento de ecualizadores idéntica a la definida en el § 2.5.1.2.1.
- ii) En la segunda alternativa, la secuencia de acondicionamiento del ecualizador se obtiene utilizando cada segundo bit de la secuencia seudoaleatoria definida en el § 2.5.1.2. En la secuencia derivada, cuando aparece un CERO se transmite un cambio de fase de 0°; cuando aparece un UNO, se transmite un cambio de fase de 180°. El segmento 2 comienza por la secuencia 0°, 180°, 0°, 180°, 180°, 0°, 180° ... de acuerdo con la secuencia derivada y continúa durante 58 intervalos de símbolo en el caso de la secuencia a) y 1074 intervalos de símbolo en el caso de la secuencia b).

2.5.1.3 En el segmento 3, la transmisión comienza de conformidad con la codificación descrita en los § 2.3 y 2.4, aplicándose una señal de datos “todos UNOS” a la entrada del aleatorizador. El segmento 3 se compone de 8 intervalos de símbolo. Al final del segmento 3, el circuito 106 pasa al estado CERRADO y se aplican datos de usuario a la entrada del aleatorizador de datos.

2.5.1.4 Las secuencias de los cambios de fase en los segmentos 2 y 3 para 4800 bit/s y 2400 bit/s se muestran en el cuadro 4/V.27 bis.

CUADRO 4/V.27 bis<sup>a)</sup>

Velocidad binaria		Segmento 2	Segmento 3
4800 bit/s	Cambio de fase SSA <sup>b)</sup>	0° 180° 180° 180° 180° 180° 0° ... 180° 180° 0° 0° <u>0</u> 11 <u>1</u> 01 <u>1</u> 01 <u>1</u> 00 <u>1</u> 00 <u>1</u> 01 <u>0</u> 01 ... <u>1</u> 10 <u>1</u> 00 <u>0</u> 10 <u>0</u> 01	270° 225° 315° 90° 45° 45° 180° 180° 100 110 101 010 000 000 111 111
2400 bit/s alternativa i)	Cambio de fase SSA <sup>b)</sup>	0° 180° 180° 180° 180° 180° 0° ... 180° 180° 0° 0° <u>0</u> 11 <u>1</u> 01 <u>1</u> 01 <u>1</u> 00 <u>1</u> 00 <u>1</u> 01 <u>0</u> 01 ... <u>1</u> 10 <u>1</u> 00 <u>0</u> 10 <u>0</u> 01	270° 90° 270° 270° 270° 270° 0° 0° 10 01 10 10 10 10 00 00
2400 bit/s alternativa ii)	Cambio de fase SSA <sup>b)</sup>	0° 180° 0° 180° 180° 0° 180° .. 180° 0° 180° 180° 180° 0° <u>0</u> 1 <u>1</u> 1 <u>0</u> 1 <u>1</u> 0 <u>1</u> 1 <u>0</u> 0 <u>1</u> 0 .. <u>1</u> 0 <u>0</u> 0 <u>1</u> 0 <u>1</u> 0 <u>1</u> 1 <u>0</u> 0	0° 90° 90° 180° 270° 0° 180° 270° 00 01 01 11 10 00 11 10
	Duración	←————— 58 ó 1074 intervalos de símbolo —————→ (Las SSA inicial y final y las secuencias de símbolos son las mismas para ambas duraciones)	←————— 8 intervalos de símbolo —————→

- a) Para una descripción de la forma en que pueden generarse las posibles secuencias para los segmentos 2 y 3, véase la observación al final del apéndice I.
- b) SSA es la secuencia seudoaleatoria definida en el § 2.5.1.2. Los bits subrayados determinan los cambios de fase.

2.5.2 *Secuencia de paso al estado ABIERTO*

La señal de línea emitida después de la transición del estado CERRADO al ABIERTO del circuito 105 se divide en los dos segmentos indicados en el cuadro 5/V.27 bis.

CUADRO 5/V.27 bis

	Segmento A	Segmento B	Total de los segmentos A y B
Tipo de señal de línea	Señales de datos restantes seguidas de UNOS aleatorizados continuos	Sin transmisión de energía	Duración total de la "secuencia de paso al estado ABIERTO"
Duración	de 5 a 10 ms	20 ms	de 25 a 30 ms

De producirse una transición del estado ABIERTO al CERRADO del circuito 105 durante la secuencia de paso al estado ABIERTO, no se tendrá en cuenta hasta el final de dicha secuencia.

Además, en el caso de funcionamiento semidúplex a dos hilos, si el circuito 105 conmuta a CERRADO en el curso de la recepción del segmento A de la secuencia de paso al estado ABIERTO, la transmisión de la secuencia de paso al estado CERRADO comenzará facultativamente, dentro de un periodo de tiempo inferior a 20 ms a partir del instante en que termina la recepción del segmento A.

### 3 Tolerancia de frecuencia para la señal recibida

Habida cuenta de que la tolerancia para la frecuencia portadora del transmisor es de  $\pm 1$  Hz y suponiendo una deriva máxima de  $\pm 6$  Hz en la conexión entre los módems, el receptor debe poder admitir errores de por lo menos  $\pm 7$  Hz en las frecuencias recibidas.

### 4 Canal de retorno

La velocidad de modulación, las características de frecuencia, las tolerancias, etc., serán las indicadas en la Recomendación V. 23. Esto no excluye la utilización de un canal de retorno de mayor velocidad que pueda funcionar a 75 baudios o más, y que tenga las mismas frecuencias características que el canal de retorno de la Recomendación V.23.

### 5 Circuitos de enlace

5.1 *Lista de los circuitos de enlace esenciales (véase el cuadro 6/V.27 bis)*

5.2 *Tiempos de respuesta de los circuitos 106, 109, 121 y 122 (cuadro 7/V.27 bis)*

5.2.1 *Circuito 109*

El circuito 109 debe pasar al estado CERRADO una vez completada la sincronización y antes de que aparezcan datos de usuario en el circuito 104.

5.2.2 *Circuito 106*

Los tiempos de respuesta del circuito 106 son los comprendidos entre el instante en que se produce un estado CERRADO o ABIERTO en el circuito 105, y aquel en que aparece el correspondiente estado CERRADO o ABIERTO en el circuito 106.

CUADRO 6/V.27 bis

Círculo de enlace		Canal de ida (de datos) semidúplex o dúplex (véase la observación)	
N.º	Denominación	Sin canal de retorno	Con canal de retorno
102	Tierra de señalización o retorno común . . . . .	X	X
103	Transmisión de datos . . . . .	X	X
104	Recepción de datos . . . . .	X	X
105	Petición de transmitir . . . . .	X	X
106	Preparado para transmitir . . . . .	X	X
107	Aparato de datos preparado . . . . .	X	X
108/1	Conecte el aparato de datos a la línea . . . . .	X	X
109	Detector de señales de línea recibidas por el canal de datos . . . . .	X	X
111	Selector de velocidad binaria (origen ETD) . . . . .	X	X
113	Temporización para los elementos de señal en la transmisión (origen ETD) .	X	X
114	Temporización para los elementos de señal en la transmisión (origen	X	X
115	ETCD)	X	X
118	Temporización para los elementos de señal en la recepción (origen ETCD)		X
119	Transmisión de datos por el canal de retorno . . . . .		X
120	Recepción de datos por el canal de retorno . . . . .		X
121	Transmita señales de línea por el canal de retorno . . . . .		X
122	Canal de retorno preparado . . . . .		X
	Detector de señales recibidas por el canal de retorno . . . . .		X

*Observación* – Todos los circuitos de enlace esenciales y cualesquiera otros que se hayan previsto deberán satisfacer las condiciones funcionales y operacionales de la Recomendación V.24. Todos los circuitos de enlace marcados con una X deberán estar debidamente terminados en el equipo terminal de datos y en el equipo de terminación del circuito de datos de conformidad con la Recomendación pertinente sobre las características eléctricas (véase el § 6).

**Tiempo de respuesta**

<i>Circuito 106</i> de CERRADO a ABIERTO	4800 bit/s	2400 bits/s
	a) 50 ms	a) 67 ms
	b) 708 ms	b) 944 ms
de CERRADO a ABIERTO	≤ 2 ms	
<i>Circuito 109</i> de ABIERTO a CERRADO	Véase el § 5.2.1	
	de 5 a 15 ms	
<i>Circuito 121</i> de ABIERTO a CERRADO	de 80 a 160 ms	
	≤ 2 ms	
<i>Circuito 122</i> de ABIERTO a CERRADO	< 80 ms	
	de 15 a 80 ms	

*Observación* – a) y b) se refieren a las secuencias a) y b) definidas en el § 2.5.1.

5.3 *Umbral de los detectores de señales de línea recibidas por el canal de datos y por el canal de retorno*

Niveles de la señal de línea recibida en los terminales de línea de recepción:

- *Para uso en circuitos arrendados de calidad ordinaria* (véase la Recomendación M.1040 [2])

Umbral para los circuitos 109 y 122:

- superior a –43 dBm: paso del estado ABIERTO al CERRADO
- inferior a –48 dBm: paso del estado CERRADO al ABIERTO

- *Para uso en circuitos arrendados de calidad especial* (véase la Recomendación M.1020 [1])

Umbral para el circuito 109:

- superior a –26 dBm: paso del estado ABIERTO al CERRADO
- inferior a –31 dBm: paso del estado CERRADO al ABIERTO

Umbral para el circuito 122:

- superior a –34 dBm: paso del estado ABIERTO al CERRADO
- inferior a –39 dBm: paso del estado CERRADO al ABIERTO

No se especifica el estado de los circuitos 109 y 122 para niveles comprendidos entre los mencionados, pero los detectores de señales presentarán un efecto de histéresis tal que el nivel correspondiente a la transición del estado ABIERTO al CERRADO sea por lo menos 2 dB superior al nivel correspondiente a la transición del estado CERRADO al ABIERTO.

5.4 *Fijación en el modo semidúplex*

El ETCD, explotado en el modo semidúplex en una línea a dos hilos, deberá mantener, si existen:

- a) el circuito 104 en el estado 1 binario y el circuito 109 en el estado ABIERTO cuando el circuito 105 está en estado CERRADO y, cuando sea necesario para proteger el circuito 104 contra falsas señales, durante un intervalo de  $150 \pm 25$  ms siguiente a la transición del estado CERRADO al ABIERTO en el circuito 105. La utilización de este retardo adicional es facultativa, basado en consideraciones del sistema;

- b) el circuito 119 en el estado binario y el circuito 122 en estado ABIERTO, cuando el circuito 120 está en el estado CERRADO, y cuando sea necesario para proteger al circuito 119 contra falsas señales, durante un corto intervalo siguiente a la transición del estado CERRADO al ABIERTO en el circuito 120. La duración específica de este intervalo de tiempo se estudiará ulteriormente. El retardo adicional es facultativo, basado en consideraciones del sistema.

## 5.5 Condiciones de avería en los circuitos de enlace

(Véase el § 7 de la Recomendación V.28 en lo que respecta a la asociación de los tipos de detección de averías del receptor.)

5.5.1 El ETD interpretará una condición de avería en el circuito 107 como un estado ABIERTO utilizando el tipo 1 de detección de avería.

5.5.2 El ETCD interpretará una condición de avería en los circuitos 105 y 108 como un estado ABIERTO utilizando el tipo 1 de detección de avería.

5.5.3 Todos los demás circuitos a los que no se hace referencia en los apartados precedentes podrán utilizar los tipos 0 ó 1 de detección de avería.

## 6 Características eléctricas de los circuitos de enlace

Se aconseja el uso de características eléctricas conformes a la Recomendación V.28 junto con el conector y el plan de asignación de patillas especificados en la norma ISO 2110.

*Observación* – A los fabricantes quizá les interese saber que el objetivo a largo plazo consiste en sustituir las características eléctricas especificadas en la Recomendación V.28, y que la Comisión de Estudio XVII ha convenido que debe proseguir el trabajo con el objeto de desarrollar un interfaz más eficaz y completamente equilibrado para aplicación con equipos diseñados conforme a las Recomendaciones de la serie V, que reduzca al mínimo el número de circuitos de enlace.

## 7 Temporización

El módem debe incluir relojes que proporcionen al equipo terminal de datos la temporización para los elementos de señal en la transmisión, circuito 114, y en la recepción, circuito 115. Otra posibilidad consiste en derivar la temporización para los elementos de señal en la transmisión del equipo terminal de datos, y transferirla al módem a través del circuito 113.

## 8 Aleatorizador

Este módem deberá incluir un aleatorizador/desaleatorizador de sincronización automática con el polinomio generador:

$$1 + x^{-6} + x^{-7}$$

y protecciones adicionales contra esquemas repetitivos de 1, 2, 3, 4, 6, 8, 9 y 12 bits. En el apéndice I, la figura I-2/V.27 *bis* muestra una disposición lógica apropiada (véase la observación). El aleatorizador/desaleatorizador es el mismo que el de la Recomendación V.27, con circuitos adicionales para la protección contra esquemas repetitivos de 8 bits.

*Observación* – Las figuras I-1/V.27 *bis* y I-2/V.27 *bis* del apéndice I se incluyen únicamente a título de indicación, ya que, con otra técnica, esta disposición lógica puede tomar una forma diferente.

En el transmisor, el aleatorizador dividirá el polinomio del mensaje, cuyos coeficientes en sentido descendente están representados por la secuencia de datos de entrada, por el polinomio generador del aleatorizador, generándose así la secuencia transmitida; en el receptor, el polinomio recibido, cuyos coeficientes en sentido descendente están representados por la secuencia de datos recibidos, se multiplicará por el polinomio generador del aleatorizador, reconstituyéndose así la secuencia del mensaje.

## 9 Ecuador

Deberá preverse en el receptor un ecualizador de adaptación automática. El receptor dispondrá de medios que le permitan detectar la pérdida de ecualización y restablecerla a partir de la señal de línea recibida (señal de datos modulada), sin necesidad de una nueva señal de sincronización procedente del transmisor distante.

## 10 Opciones

Como este módem está equipado con un ecualizador de adaptación automática y puede funcionar en circuitos a dos hilos, es posible la explotación en la red general con conmutación. Así, en caso de fallo de un circuito arrendado, la red general con conmutación puede servir de medio de reserva.

Pueden agregarse a este módem facilidades que permitan la utilización de la red general con conmutación cuando falle el circuito arrendado. Estas opciones pueden también agregarse para uso en circuitos a dos hilos arrendados cuando sea necesaria la protección contra el eco.

En la Recomendación V. 27 *ter* figura información adicional sobre estas opciones.

## 11 La siguiente información está destinada a los fabricantes de equipo:

El módem de datos no debe tener ajustes del nivel de transmisión o de la sensibilidad de recepción accesibles al operador.

En el funcionamiento a 4800 bit/s, el espectro de energía del transmisor tendrá una forma tal que, cuando se aplique a la entrada del aleatorizador una señal de datos "todos UNOS", el espectro transmitido resultante tenga una característica de fase esencialmente lineal en la banda de 1100 a 2500 Hz.

En el funcionamiento a 2400 bit/s, el espectro de energía del transmisor tendrá una forma tal que, cuando se aplique a la entrada del aleatorizador una señal de datos "todos UNOS", el espectro transmitido resultante tenga una característica de fase esencialmente lineal en la banda de 1300 a 2300 Hz.

## APÉNDICE I

(a la Recomendación V. 27 bis)

### **Generador de una secuencia de acondicionamiento del ecualizador de dos fases a 4800 bit/s**

Para la rápida convergencia del ecualizador con el mínimo cableado posible, se transmite sólo la portadora en fase o fuera de fase durante el acondicionamiento. Ello implica que los únicos tribits enviados al modulador serán 001 (fase 0°) o 111 (fase 180°). Véase la figura I-1/V.27 *bis* para los circuitos que generan la secuencia y la figura I-3/V.37 *bis* para la temporización de la secuencia.

Sea T1 una señal de temporización de 1600 Hz (reloj para los símbolos), cuya amplitud de valor superior dura un periodo de 4800 Hz y cuya amplitud de valor inferior dura dos periodos de señal de reloj de 4800 Hz. T2 es la señal T1 invertida.

Durante T1, se elige la entrada al aleatorizador; durante T2 se elige el primer paso del aleatorizador; durante el periodo en que T2 presenta el valor elevado, C mantiene la salida a nivel elevado. Esto puede realizarse mediante circuitos similares a los mostrados en la figura I-2/V.27 *bis*.

Si T1 se mantiene continuamente a nivel elevado y T2 continuamente a nivel bajo, se restablece el funcionamiento normal.

Para asegurar un acondicionamiento consecuente debe transmitirse siempre la misma secuencia. Para ello, la entrada de datos del aleatorizador debe mantenerse en estado reposo durante el acondicionamiento y los primeros siete pasos del aleatorizador deben cargarse con 0011110 (el bit de la derecha es el primero en el tiempo) a la primera coincidencia de T1 con la señal que suprime el periodo de silencio a la salida del transmisor [generalmente esta señal será la de petición de transmitir (PDT)].

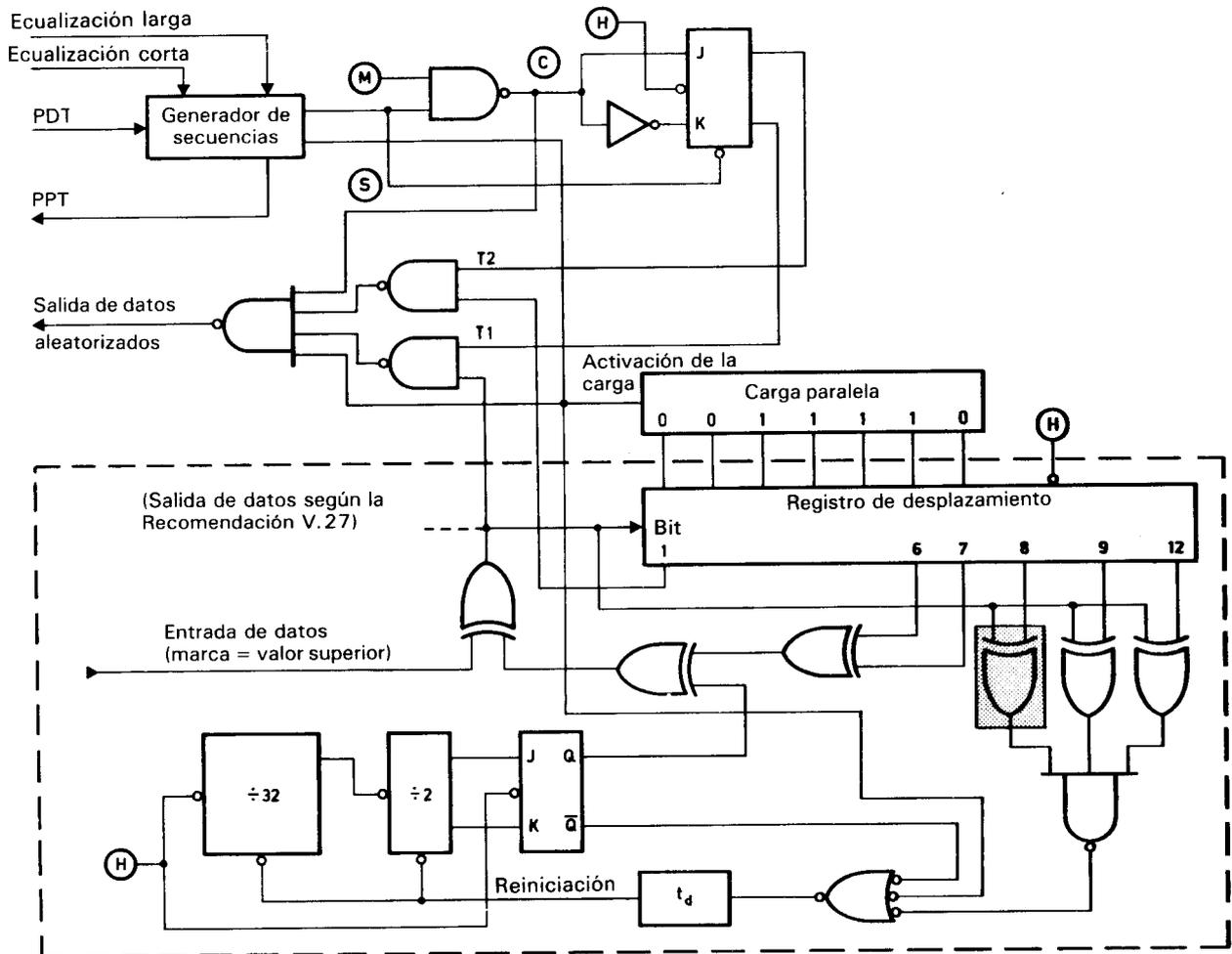
Se eligió este punto específico de partida para asegurar una secuencia con inversiones continuas de fase de 180° al principio, lo que garantiza el rápido establecimiento del sincronismo, seguido de una secuencia que asegure la rápida convergencia del ecualizador.

Durante ocho intervalos de símbolo antes del estado CERRADO del circuito preparado para transmitir (PPT), el aleatorizador debe pasar al funcionamiento normal, manteniéndose el estado reposo hasta que se produzca la señal PPT, a fin de sincronizar el desaleatorizador.

*Observación* – En el funcionamiento a 2400 bit/s puede emplearse una técnica similar con los correspondientes cambios en la temporización, que se indican en el cuadro I-1/V.27 *bis*.

CUADRO I-1/V.27 bis

		Segmento 2	Segmento 3
Reloj $\textcircled{H}$	i)	3600 Hz	2400 Hz
	ii)	2400 Hz	2400 Hz
Reloj $\textcircled{M}$	i)	1200 Hz	1200 Hz
	ii)	1200 Hz	1200 Hz

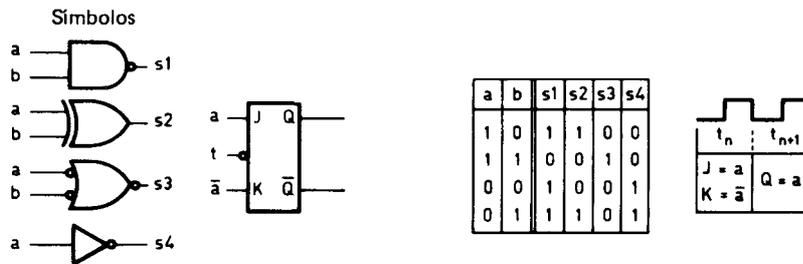
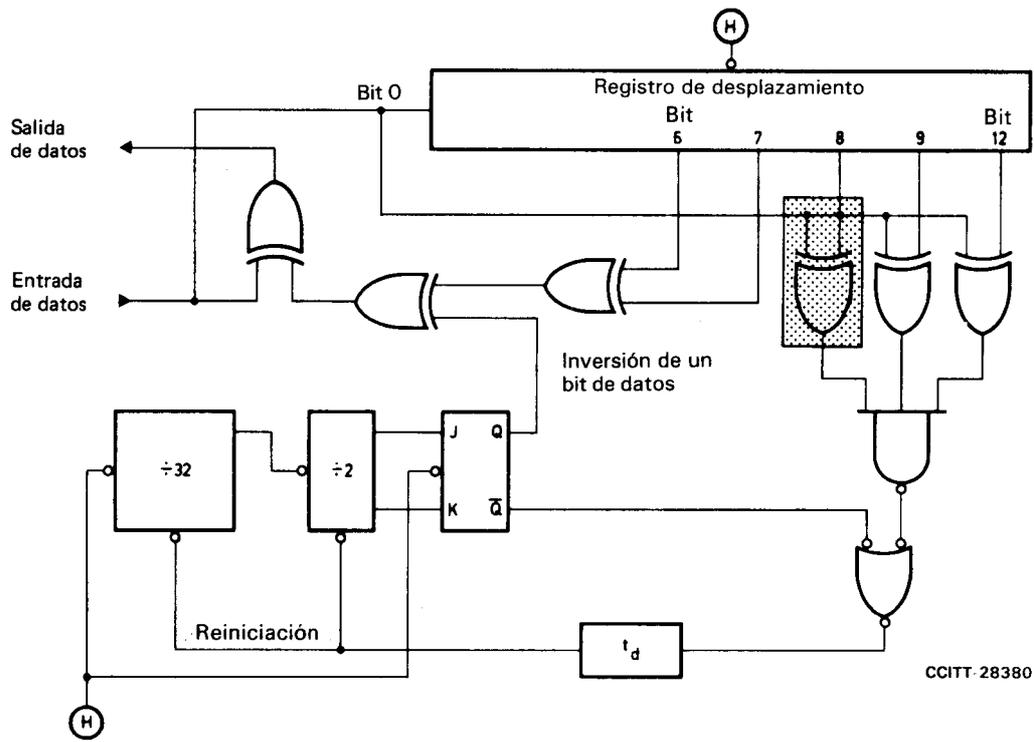


CCITT-26745

- Observación 1 - La línea de trazo discontinuo comprende el aleatorizador de la Recomendación V.27.
- Observación 2 - La parte sombreada sirve para la protección contra esquemas repetitivos de 8 bits.
- Observación 3 -  $\textcircled{H}$  = reloj que controla una velocidad de modulación triple de la normal.
- Observación 4 -  $\textcircled{M}$  = reloj (1600 Hz) que controla la velocidad de modulación nominal.
- Observación 5 - Los diagramas se muestran con lógica positiva.
- Observación 6 - Las señales  $\textcircled{C}$  y  $\textcircled{S}$  únicamente se indican en relación con la figura I-3/V.27 bis.

FIGURA I-1/V.27 bis

Ejemplo de esquema de generador de secuencia y de aleatorizador a 4800 bit/s



*Observación 1* – La parte sombreada está destinada a la protección contra esquemas repetitivos de 8 bits.

*Observación 2* – (H) es una señal de reloj. La transición en sentido negativo es la activa.

*Observación 3* – Debido a la existencia de circuitos físicos, hay un retardo entre una transición de (H) en sentido negativo y el fin del estado «0» representado por  $t_d$  en el circuito de «no reiniciación»; en consecuencia, el contador no tiene en cuenta la primera coincidencia del bit 0 con el bit 8 o el bit 9 o el bit 12.

FIGURA I-2/V.27 bis

**Ejemplo de esquema de desaleatorizador**

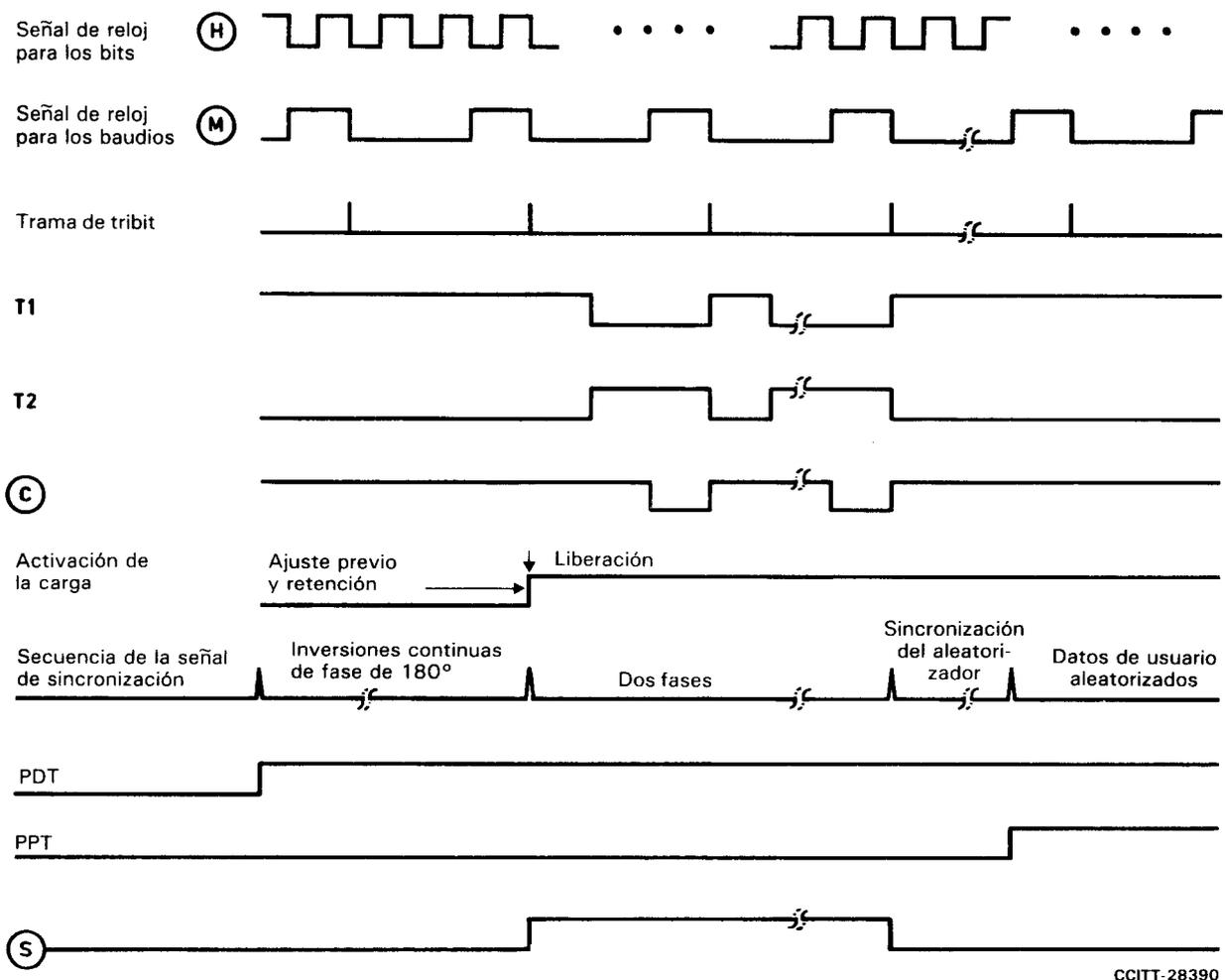


FIGURA I-3/V. 27 bis

Secuencia de la señal de sincronización para 4800 bit/s (véase la figura I-1/V. 27 bis)

### Referencias

- [1] Recomendación del CCITT *Características de los circuitos internacionales arrendados de calidad especial con acondicionamiento especial en la anchura de banda*, Tomo IV, Rec. M.1020.
- [2] Recomendación del CCITT *Características de los circuitos internacionales arrendados de calidad ordinaria*, Tomo IV, Rec. M.1040.