



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

CCITT

G.726

COMITÉ CONSULTIVO
INTERNACIONAL
TELEGRÁFICO Y TELEFÓNICO

**ASPECTOS GENERALES DE LOS SISTEMAS
DE TRANSMISIÓN DIGITAL;
EQUIPOS TERMINALES**

**MODULACIÓN POR IMPULSOS CODIFICADOS
DIFERENCIAL ADAPTATIVA (MICDA)
A 40, 32, 24, 16 kbit/s**

Recomendación G. 726



Ginebra, 1990

PREFACIO

El CCITT (Comité Consultivo Internacional Telegráfico y Telefónico) es un órgano permanente de la Unión Internacional de Telecomunicaciones (UIT). Este órgano estudia los aspectos técnicos, de explotación y tarifarios y publica Recomendaciones sobre los mismos, con miras a la normalización de las telecomunicaciones en el plano mundial.

La Asamblea Plenaria del CCITT, que se celebra cada cuatro años, establece los temas que han de estudiarse y aprueba las Recomendaciones preparadas por sus Comisiones de Estudio. La aprobación de Recomendaciones por los miembros del CCITT entre las Asambleas Plenarias de éste es el objeto del procedimiento establecido en la Resolución N.º 2 del CCITT (Melbourne, 1988).

La Recomendación G.726 ha sido preparada por la Comisión de Estudio XV y fue aprobada por el procedimiento de la Resolución N.º 2 el 14 de diciembre de 1990.

NOTA DEL CCITT

En esta Recomendación, la expresión «Administración» se utiliza para designar, en forma abreviada, tanto una Administración de telecomunicaciones como una empresa privada de explotación de telecomunicaciones reconocida.

© UIT 1990

Es propiedad. Ninguna parte de esta publicación puede reproducirse o utilizarse, de ninguna forma o por ningún medio, sea éste electrónico o mecánico, de fotocopia o de microfilm, sin previa autorización escrita por parte de la UIT.

Recomendación G.726

MODULACIÓN POR IMPULSOS CODIFICADOS DIFERENCIAL ADAPTATIVA (MICDA) A 40, 32, 24, 16 kbit/s¹⁾

1 Consideraciones generales

Se recomiendan las características que se señalan a continuación para la conversión de un canal MIC de ley A o de ley μ a 64 kbit/s a un canal 40, 32, 24 ó 16 kbit/s y viceversa. Para la conversión del tren de bits MIC se aplica una técnica de transcodificación MICDA. La relación entre las señales de frecuencias vocales y las leyes de codificación/decodificación MIC se especifica completamente en la Recomendación G.711.

La aplicación principal de los canales a 24 y 16 kbit/s es para canales de sobrecarga que transportan señal vocal en Equipos de multiplicación de circuitos digitales (EMCD).

La aplicación principal de los canales de 40 kbit/s es la del transporte de señales de módem de datos en EMCD, especialmente en módems que funcionan a velocidades superiores a 4800 bit/s.

En los § 1.1 y 1.2 de esta Recomendación se describe, en líneas generales, el algoritmo de transcodificación MICDA, en los § 2 y 3 se indican los principios y las descripciones funcionales de los algoritmos de codificación y decodificación MICDA respectivamente, y en el § 4 se especifican de manera precisa los cálculos de los algoritmos. Los aspectos relativos a la red y a las secuencias de prueba digitales se tratan en los apéndices I y II respectivamente a esta Recomendación.

En la figura 1/G.726 se muestran los diagramas de bloques simplificados del codificador y el decodificador MICDA.

En el § 4 se define con precisión cada subbloque del codificador y del decodificador utilizando una secuencia lógica particular. Si se utilizan otros métodos de cálculo, hay que prestar suma atención para asegurar que se obtiene *exactamente* el mismo valor para las variables que intervienen en el tratamiento de la salida. Toda otra desviación con respecto al proceso detallado en el § 4 se hará en detrimento grave de la calidad de funcionamiento.

Nota 1 – Antes de la formulación de esta Recomendación, otros algoritmos MICDA de comportamientos similares al algoritmo de 40 kbit/s especificado aquí se han tenido en cuenta en el diseño de EMCD y se han utilizado en redes de telecomunicaciones. Puede hacerse uso de estos algoritmos mediante acuerdos bilaterales para aplicaciones limitadas de EMCD bajo ciertas circunstancias. Las descripciones técnicas que proporcionan información sobre dos de tales tipos de algoritmo pueden encontrarse en COM XVIII-101 y COM XVIII-102 del periodo de estudios 1984-1988.

Nota 2 – La asignación de los canales EMCD de 16, 24, 32 y 40 kbit/s y la selección correspondiente de velocidades de codificación caen fuera del ámbito de esta Recomendación, véase por ejemplo, la Recomendación G.763 (revisada en 1990).

Nota 3 – Las consideraciones sobre señalización y multiplexación caen fuera del ámbito de esta Recomendación (revisada en 1990) véanse por ejemplo, las Recomendaciones G.761 y G.763.

¹⁾ Esta Recomendación sustituye en su totalidad al texto de las Recomendaciones G.721 y G.723 publicadas en el fascículo III.4 del Libro Azul. Debe señalarse que los sistemas diseñados de conformidad con la presente Recomendación serán compatibles con los diseñados de acuerdo con la versión del Libro Azul.

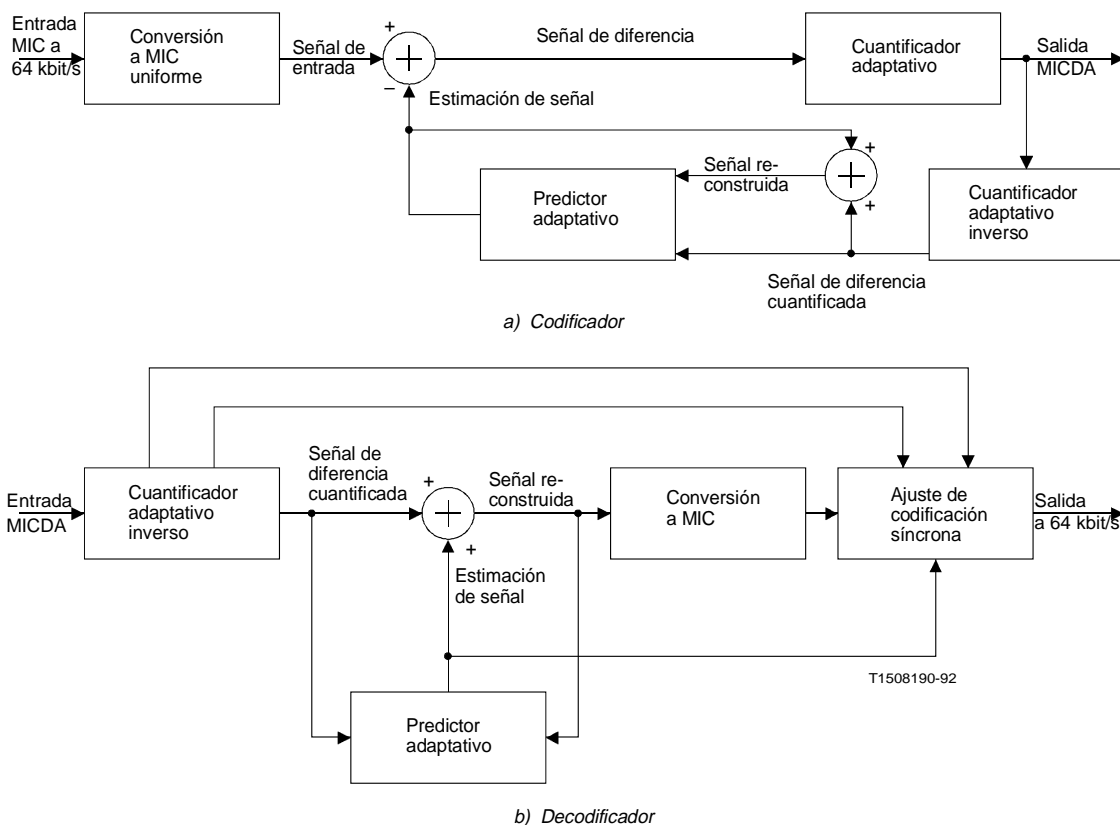


FIGURA 1/G.726

Diagramas de bloques simplificados

1.1 *Codificador MICDA*

Tras la conversión de la señal de entrada MIC, codificada según la ley A o la ley μ en una MIC uniforme, se obtiene una señal de diferencia sustrayendo, de la señal de entrada, una estimación de dicha señal. Se utiliza un cuantificador adaptativo de 31, 15, 7 ó 4 niveles para asignar 5, 4, 3 ó 2 dígitos binarios, respectivamente, al valor de la señal de diferencia, para su transmisión a decodificador. Un cuantificador inverso produce la señal de diferencia cuantificada a partir de estos mismos 5, 4, 3, ó 2 dígitos binarios, respectivamente. El valor estimado de la señal (estimación de señal) se añade a esta señal de diferencia cuantificada para producir una versión reconstruida de la señal de entrada. Tanto la señal reconstruida como la señal de diferencia cuantificada se aplican a un predictor adaptativo, que produce la estimación de la señal de entrada completando así el bucle de realimentación.

1.2 *Decodificador MICDA*

El decodificador consiste en una parte idéntica a la que constituye el bucle de realimentación del codificador, y una conversión de MIC uniforme a ley A o ley μ más un ajuste de codificación síncrona.

El ajuste de codificación síncrona evita la distorsión acumulativa que se produce en las codificaciones síncronas en cascada (conexiones digitales MICDA-MIC-MICDA, etc.) en determinadas condiciones (véase el § 3.7). El ajuste de codificación síncrona se consigue ajustando los códigos de salida MIC de tal manera que se elimine la distorsión de cuantificación en la siguiente etapa de codificación MICDA.

2 Principios del codificador MICDA

La figura 2/G.726 es un diagrama de bloques de codificador. Para cada variable descrita, k es el índice de muestreo, y se toman muestras a intervalos de 125 μ s. En los § 2.1 a 2.8 se da una descripción funcional de cada bloque.

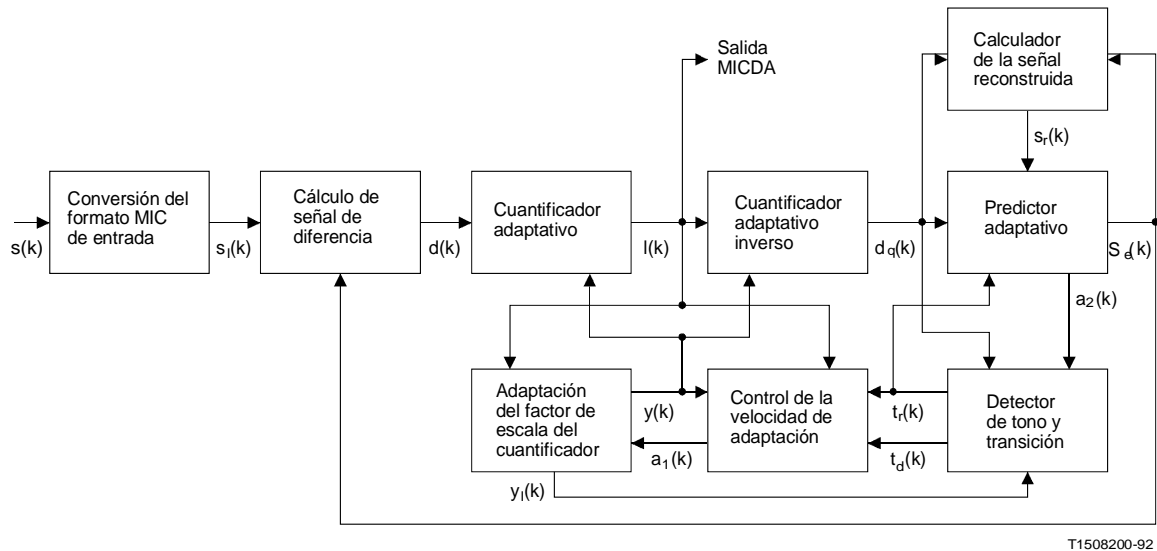


FIGURA 2/G.726
Diagrama de bloques del codificador

2.1 Conversión del formato MIC de entrada

Este bloque convierte la señal de entrada MIC codificada según la ley A o la ley μ , $s(k)$, en una señal MIC uniforme, $s_l(k)$.

2.2 Cálculo de la señal de diferencia

Este bloque calcula la señal de diferencia, $d(k)$, a partir de la señal MIC uniforme, $s_l(k)$, y de la estimación de señal, $s_e(k)$:

$$d(k) = s_l(k) - s_e(k) \quad (2-1)$$

2.3 Cuantificador adaptativo

Se utiliza un cuantificador adaptativo no uniforme de 31, 15, 7 ó 4 niveles para cuantificar la señal de diferencia, $d(k)$ funcionando a 40, 32, 24 ó 16 kbit/s, respectivamente. Antes de la cuantificación, $d(k)$ se convierte a una representación logarítmica de base 2 y está afectada por el factor de escala $y(k)$ determinado por el bloque de adaptación del factor de escala. Las características normalizadas de entrada/salida (valores de precisión infinita) del cuantificador se dan en los cuadros 1/G.726 a 4/G.726.

2.3.1 Funcionamiento a 40 kbit/s

Se utilizan cinco dígitos binarios para especificar el nivel cuantitativo que representa a $d(k)$ (cuatro para la magnitud y uno para el signo). La salida de 5 bits del cuantificador, $I(k)$, constituye la señal de salida a 40 kbit/s; $I(k)$ toma uno de los 31 valores distintos de cero. $I(k)$ se aplica también a los bloques cuantificador adaptativo inverso, control de velocidad de adaptación y adaptación del factor de escala del cuantificador, que funcionan con una $I(k)$ de 5 bits, que toma uno de los 32 valores posibles. $I(k) = 00000$ es una entrada legítima a estos bloques cuando se utiliza en el decodificador, debido a errores de transmisión.

CUADRO 1/G.726

Característica de entrada/salida normalizada del cuantificador para el funcionamiento a 40 kbit/s

Gama de entrada normalizada del cuantificador $\log_2 d(k) - y(k)$	$ I(k) $	Salida normalizada del cuantificador $\log_2 d_q(k) - y(k)$
[4,31, +∞)	15	4,42
[4,12, 4,31)	14	4,21
[3,91, 4,12)	13	4,02
[3,70, 3,91)	12	3,81
[3,47, 3,70)	11	3,59
[3,22, 3,47)	10	3,35
[2,95, 3,22)	9	3,09
[2,64, 2,95)	8	2,80
[2,32, 2,64)	7	2,48
[1,95, 2,32)	6	2,14
[1,54, 1,95)	5	1,75
[1,08, 1,54)	4	1,32
[0,52, 1,08)	3	0,81
[-0,13, 0,52)	2	0,22
[-0,96, -0,13)	1	-0,52
(-∞, -0,96)	0	-∞

Nota – En los cuadros 1/G.726 a 4/G.726 «[» indica que el punto extremo está incluido en la gama. «(» o «(» indica que el punto extremo está incluido de la gama.

2.3.2 Funcionamiento a 32 kbit/s

Se utilizan cuatro dígitos binarios para especificar el nivel cuantitativo que representa a $d(k)$ (tres para la magnitud y uno para el signo). La salida de 4 bits del cuantificador $I(k)$, constituye la señal de salida a 32 kbit/s $I(k)$; se aplica también a los bloques cuantificador adaptativo inverso, control de velocidad de adaptación y adaptación del factor de escala del cuantificador. $I(k) = 0000$ es una entrada legítima a estos bloques cuando se utiliza en el decodificador, debido a errores de transmisión.

CUADRO 2/G.726

Características de entrada/salida normalizada del cuantificador para el funcionamiento a 32 kbit/s

Gama de entrada normalizada del cuantificador $\log_2 d(k) - y(k)$	$ I(k) $	Salida normalizada del cuantificador $\log_2 d_q(k) - y(k)$
$[3,12, +\infty)$	7	3,32
$[2,72, 3,12)$	6	2,91
$[2,34, 2,72)$	5	2,52
$[1,91, 2,34)$	4	2,13
$[1,38, 1,91)$	3	1,66
$[0,62, 1,38)$	2	1,05
$[-0,98, 0,62)$	1	0,031
$(-\infty, -0,98)$	0	$-\infty$

2.3.3 *Funcionamiento a 24 kbit/s*

Se utilizan tres dígitos binarios para especificar el nivel cuantitativo que representa a $d(k)$ (dos para la magnitud y uno para el signo). La salida de 3 bits del cuantificador, $I(k)$, constituye la señal de salida a 24 kbit/s, donde $I(k)$ toma uno de los siete valores distintos de cero. $I(k)$ se aplica también a los bloques cuantificador adaptativo inverso, del control de velocidad de adaptación y adaptación del factor de escala del cuantificador, modificándose cada uno de los cuales para que funcione con una $I(k)$ de 3 bits, que toma uno de los ocho valores posibles. $I(k) = 000$ es una entrada legítima a estos bloques cuando se utiliza en el decodificador, debido a errores de transmisión.

CUADRO 3/G.726

Características de entrada/salida normalizada del cuantificador para el funcionamiento a 24 kbit/s

Gama de entrada normalizada del cuantificador $\log_2 d(k) - y(k)$	$ I(k) $	Salida normalizada del cuantificador $\log_2 d_q(k) - y(k)$
$[2,58, +\infty)$	3	2,91
$[1,70, 2,58)$	2	2,13
$[0,06, 1,70)$	1	1,05
$(-\infty, 0,06)$	0	$-\infty$

2.3.4 *Funcionamiento a 16 kbit/s*

Se utilizan dos dígitos binarios para especificar el nivel cuantitativo que representa a $d(k)$ (uno para la magnitud y uno para el signo). La salida de 2 bits del cuantificador, $I(k)$, constituye la señal de salida a 16 kbit/s. $I(k)$ se aplica también a los bloques cuantificador adaptativo inverso, control de velocidad de adaptación y adaptación del factor de escala del cuantificador.

CUADRO 4/G.726

Características de entrada/salida normalizada del cuantificador para el funcionamiento a 16 kbit/s

Gama de entrada normalizada del cuantificador $\log_2 d(k) - y(k) $	$ I(k) $	Salida normalizada del cuantificador $\log_2 d_q(k) - y(k) $
$[2,04, +\infty)$	1	2,85
$(-\infty, 2,04)$	0	0,91

A diferencia de los cuantificadores descritos en el § 2.3.1 para el funcionamiento a 40 kbit/s, en el § 2.3.2 para el funcionamiento a 32 kbit/s y en el § 2.3.3 para el funcionamiento a 24 kbit/s, el cuantificador para el funcionamiento a 16 kbit/s es un cuantificador de número de niveles par (cuatro niveles). Para MICDA a 16 kbit/s se ha elegido un cuantificador de nivel par debido a que su comportamiento es superior al del correspondiente cuantificador de número de niveles impar (tres niveles).

2.4 *Cuantificador adaptativo inverso*

Se produce una versión cuantificada de la señal de diferencia, $d_q(k)$, proporcionalizando mediante el factor de escala $y(k)$ y los valores específicos tomados de la característica de cuantificación normalizada indicados en los cuadros 1/G.726 a 4/G.726 y transformando después el resultado obtenido en el dominio logarítmico.

2.5 *Adaptación del factor de escala del cuantificador*

Este bloque calcula $y(k)$, factor de escala para el cuantificador y el cuantificador inverso. Este bloque tiene dos entradas: la salida del cuantificador, $I(k)$, constituida por 5, 4, 3 ó 2 bits, y el parámetro de control de velocidad de adaptación, $a_l(k)$.

Para la determinación del factor de escala del cuantificador se sigue el principio básico de la adaptación bimodal:

- un modo rápido para señales que proporcionan señales diferencia con grandes fluctuaciones (por ejemplo, las señales vocales);
- un modo lento para señales que proporcionan señales diferencia con pequeñas fluctuaciones (por ejemplo, señales de datos en la banda de frecuencias vocales, tonos).

La velocidad de adaptación se controla mediante una combinación de factores de escala con adaptación rápida y lenta.

El factor de escala (no bloqueado) con adaptación rápida $y_u(k)$ se calcula recursivamente en el dominio logarítmico de base 2 a partir del factor de escala logarítmico resultante $y(k)$:

$$y_u(k) = (1 - 2^{-5}) y(k) + 2^{-5} W[I(k)], \tag{2-2}$$

donde $y_u(k)$ es tal que $1,06 \leq y_u(k) \leq 10,00$.

Para MICDA a 40 kbit/s la función discreta $W(I)$ se define como sigue (valores de precisión infinita):

$ I(k) $	15	14	13	12	11	10	9	8
$W[I(k)]$	43,50	33,06	27,50	22,38	17,50	13,69	11,19	8,81

$ I(k) $	7	6	5	4	3	2	1	0
$W[I(k)]$	6,25	3,63	2,56	2,50	2,44	1,50	0,88	0,88

Para MICDA a 32 kbit/s la función discreta $W(I)$ se define como sigue (valores de precisión infinita):

$ I(k) $	7	6	5	4	3	2	1	0
$W[I(k)]$	70,13	22,19	12,38	7,00	4,00	2,56	1,13	-0,75

Para MICDA a 24 kbit/s la función discreta $W(I)$ se define como sigue (valores de precisión infinita):

$ I(k) $	3	2	1	0
$W[I(k)]$	36,38	8,56	1,88	-0,25

Para MICDA a 16 kbit/s la función discreta $W(I)$ se define como sigue (valores de precisión infinita):

$ I(k) $	1	0
$W[I(k)]$	27,44	-1,38

El factor $(1 - 2^{-5})$ introduce memoria finita en el proceso adaptativo de manera que los estados del codificador y decodificador convergen tras errores de transmisión.

El factor (bloqueo) con adaptación de escala lenta, $y_l(k)$, se obtiene aplicando a $y_u(k)$ una operación de filtro paso bajo:

$$y_l(k) = (1 - 2^{-6}) y_l(k - 1) + 2^{-6} y_u(k) \quad (2-3)$$

Los factores de escala con adaptaciones rápida y lenta se combinan entonces para formar el factor de escala resultante:

$$y(k) = a_l(k) y_u(k - 1) + [1 - a_l(k)] y_l(k - 1) \quad (2-4)$$

donde $0 \leq a_l(k) \leq 1$ (véase el § 2.6).

2.6 *Control de la velocidad de adaptación*

El parámetro de control $a_l(k)$ puede tomar valores del intervalo $[0,1]$. Tiende a uno para las señales vocales y a cero para las señales de datos en la banda de frecuencias vocales. Se obtiene a partir de una medida de la tasa de variación de la señal diferencia.

Se calculan dos tipos de valores de la magnitud media de $I(k)$:

$$d_{ms}(k) = (1 - 2^{-5}) d_{ms}(k - 1) + 2^{-5} F[I(k)] \tag{2-5}$$

y

$$d_{ml}(k) = (1 - 2^{-7}) d_{ml}(k - 1) + 2^{-7} F[I(k)] \tag{2-6}$$

Para MICDA a 40 kbit/s, $F[I(k)]$ se define por:

$ I(k) $	15	14	13	12	11	10	9	8
$F[I(k)]$	6	6	5	4	3	2	1	1

$ I(k) $	7	6	5	4	3	2	1	0
$F[I(k)]$	1	1	1	0	0	0	0	0

Para MICDA a 32 kbit/s, $F[I(k)]$ se define por:

$ I(k) $	7	6	5	4	3	2	1	0
$F[I(k)]$	7	3	1	1	1	0	0	0

Para MICDA a 24 kbit/s $F[I(k)]$ se define por:

$ I(k) $	3	2	1	0
$F[I(k)]$	7	2	1	0

Para MICDA a 16 kbit/s, $F[I(k)]$ se define por:

$$\frac{|I(k)|}{F[I(k)]} \left| \begin{array}{c|c} 1 & 0 \\ \hline 7 & 0 \end{array} \right.$$

$d_{ms}(k)$ es por lo tanto un valor medio de $F[I(k)]$ a relativamente corto plazo y $d_{ml}(k)$ es un valor medio de $F[I(k)]$ a relativamente largo plazo.

Utilizando estos dos valores medios, la variable $a_p(k)$ se define como:

$$a_p(k) = \begin{cases} (1 - 2^{-4})a_p(k-1) + 2^{-3}, & \text{si } |d_{ms}(k) - d_{ml}(k)| \geq 2^{-3} d_{ml}(k) \\ (1 - 2^{-4})a_p(k-1) + 2^{-3}, & \text{si } y(k) < 3 \\ (1 - 2^{-4})a_p(k-1) + 2^{-3}, & \text{si } t_d(k) = 1 \\ 1, & \text{si } t_r(k) = 1 \\ (1 - 2^{-4})a_p(k-1), & \text{en los demás casos} \end{cases} \quad (2-7)$$

De esta manera, $a_p(k)$ tiende a dos si la diferencia entre $d_{ms}(k)$ y $d_{ml}(k)$ es grande [magnitud media de $I(k)$ cambiante] y $a_p(k)$ tiende a cero si la diferencia es pequeña [magnitud media de $I(k)$ relativamente constante]. $a_p(k)$ también tiende a dos para un canal en reposo [indicado por $y(k) < 3$] o para señales de banda parcial [indicadas por $t_d(k) = 1$ como se indica en el § 2.8]. Obsérvese que $a_p(k)$ se pone a uno tras la detección de una transición de señal de banda parcial [indicada por $t_r(k) = 1$, véase el § 2.8].

$a_p(k-1)$ está entonces limitada a dar la $a_l(k)$ utilizada en la ecuación (2-4), o sea:

$$a_l(k) = \begin{cases} 1, & \text{si } a_p(k-1) > 1 \\ a_p(k-1), & \text{si } a_p(k-1) \leq 1. \end{cases} \quad (2-8)$$

Esta limitación asimétrica tiene por efecto retrasar el comienzo de una transición del modo rápido al lento hasta que el valor absoluto de $I(k)$ se mantenga constante durante cierto tiempo. Esto tiende a eliminar transiciones prematuras en el caso de señales de entrada de tipo de impulsos, como datos en la banda de frecuencias vocales con portadora conmutada.

2.7 Predictor adaptativo y calculador de la señal reconstruida

La función primaria de un predictor adaptativo consiste en generar la estimación de señal $s_e(k)$, a partir de la señal de diferencia cuantificada, $d_q(k)$. Para el predictor adaptativo se utiliza una doble estructura constituida por una sección de sexto orden que modela ceros y una sección de segundo orden que modela polos en la señal de entrada. Esta doble estructura responde eficazmente a la diversidad de señales de entrada que pueden darse.

La estimación de señal viene dada por:

$$s_e(k) = \sum_{i=1}^2 a_i(k-1) s_r(k-i) + s_{ez}(k), \quad (2-9)$$

donde

$$s_{ez}(k) = \sum_{i=1}^6 b_i(k-1) d_q(k-i),$$

y la señal reconstruida se define como

$$s_r(k-i) = s_e(k-i) + d_q(k-i).$$

Ambos conjuntos de coeficientes del predictor se actualizan mediante un algoritmo de gradiente simplificado. Para el predictor de segundo orden:

$$a_1(k) = (1 - 2^{-8})a_1(k-1) + (3 \cdot 2^{-8}) \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-1)], \quad (2-10)$$

$$a_2(k) = (1 - 2^{-7})a_2(k-1) + 2^{-7} \left\{ \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-2)] - f[a_1(k-1)] \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-1)] \right\}, \quad (2-11)$$

donde

$$p(k) = d_q(k) + s_{ez}(k),$$

$$f(a_1) = \begin{cases} 4a_1, & \text{si } |a_1| \leq 2^{-1} \\ 2 \operatorname{sgn} (a_1), & \text{si } |a_1| > 2^{-1}, \end{cases}$$

y $\operatorname{sgn} [0] = 1$, con la salvedad de que por definición, $\operatorname{sgn} [p(k-i)]$ sólo se anula para $p(k-i) = 0$ e $i = 0$;

con las limitaciones de estabilidad:

$$|a_2(k)| \leq 0,75 \text{ y } |a_1(k)| \leq 1 - 2^{-4} - a_2(k).$$

Si $t_r(k) = 1$ (véase el § 2.8), $a_1(k) = a_2(k) = 0$.

Para el predictor de sexto orden:

$$b_i(k) = (1 - 2^{-8})b_i(k-1) + 2^{-7} \operatorname{sgn} [d_q(k)] \operatorname{sgn} [d_q(k-i)], \quad (2-12A)$$

para $i = 1, 2, \dots, 6$.

Para codificación a 40 kbit/s, se modifica el predictor adaptativo a fin de disminuir el factor de fuga utilizado para el funcionamiento con coeficientes nulos. En este caso, la ecuación (2-12A) pasa a ser:

$$b_i(k) = (1 - 2^{-9})b_i(k-1) + 2^{-7} \operatorname{sgn}[d_q(k)] \operatorname{sgn}[d_q(k-i)]. \quad (2-12B)$$

Si $t_r(k) = 1$ (véase § 2.8), $b_1(k) = b_2(k) = \dots = b_6(k) = 0$.

Al igual que en el caso anterior, $\operatorname{sgn}[0] = 1$, con la salvedad de que por definición $\operatorname{sgn}[d_q(k-i)]$ sólo anula para $d_q(k-i) = 0$ e $i = 0$. Obsérvese que $b_i(k)$ se limita implícitamente a ± 2 .

2.8 *Detector de tono y transición*

A fin de mejorar la calidad de funcionamiento con señales que se originan en módems a modulación por desplazamiento de frecuencia (MDF) que funcionan en el modo carácter, se define un proceso de detección de dos pasos. En primer lugar, se invoca la detección de señales de banda parcial (por ejemplo, tonos), de modo que el cuantificador pase al modo de adaptación rápido:

$$t_d(k) = \begin{cases} 1, & \text{si } a_2(k) < -0,71875 \\ 0, & \text{en los demás casos} \end{cases} \quad (2-13)$$

Se define también una transición a partir de una señal de banda parcial, de modo que los coeficientes del predictor puedan ponerse a cero y el cuantificador pase obligadamente al modo de adaptación rápido.

$$t_r(k) = \begin{cases} 1, & \text{si } a_2(k) < -0,71875 \text{ y } |d_q(k)| > 24 \cdot 2^{y_l(k)} \\ 0, & \text{en los demás casos} \end{cases} \quad (2-14)$$

3 **Principios del decodificador MICDA**

La figura 3/G.726 es un diagrama de bloques del decodificador. En los § 3.1 a 3.7 siguientes se da una descripción funcional de cada bloque.

3.1 *Cuantificador adaptativo inverso*

La función de este bloque se describe en el § 2.4.

3.2 *Adaptación del factor de escala del cuantificador*

La función de este bloque se describe en el § 2.5.

3.3 *Control de la velocidad de adaptación*

Las funciones de este bloque se describen en el § 2.6.

3.4 *Predictor adaptativo y calculador de la señal reconstruida*

La función de este bloque se describe en el § 2.7.

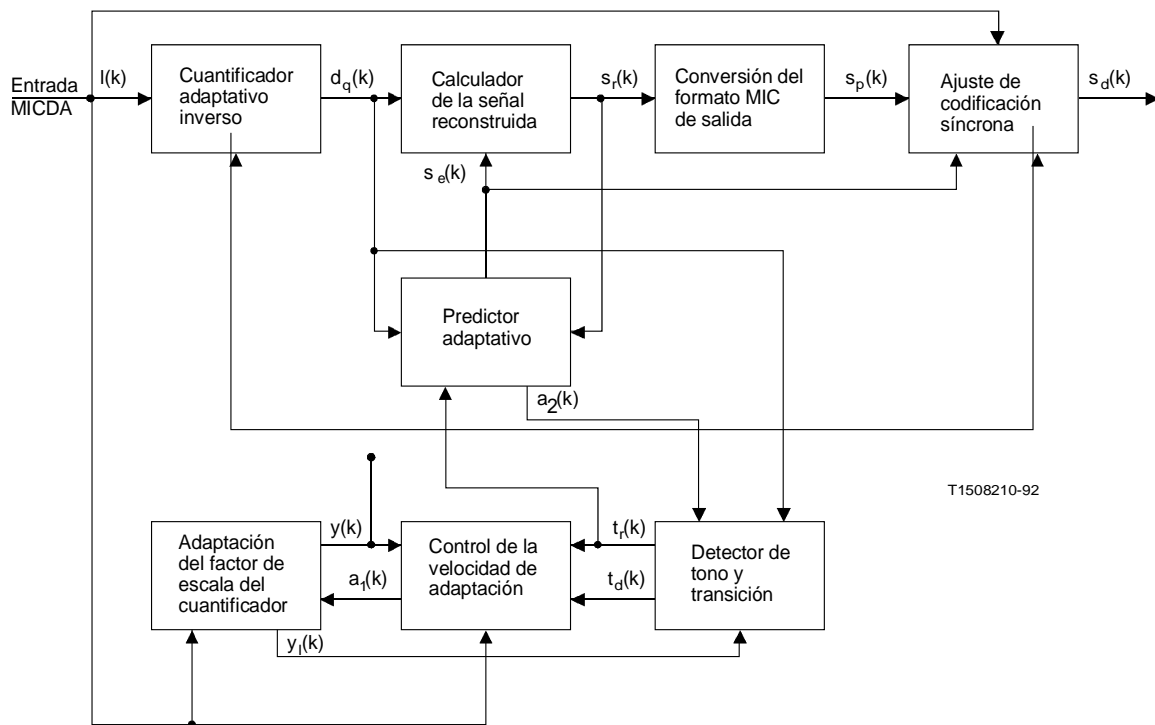


FIGURA 3/G.726

Diagrama de bloques del decodificador

3.5 *Detector de tono y transición*

La función de este bloque se describe en el § 2.8.

3.6 *Conversión de formato MIC de salida*

Este bloque convierte la señal MIC uniforme reconstruida, $s_r(k)$, en una señal MIC de ley A o de ley μ , según se requiera, $s_p(k)$.

3.7 *Ajuste de codificación síncrona*

El ajuste de codificación síncrona tiene por objeto evitar la distorsión acumulativa que se produce en las codificaciones síncronas en cascada (conexiones digitales MICDA-MIC-MICDA, etc.) cuando:

- i) la transmisión de señal a MICDA y de señales intermedias MIC a 64 kbit/s está exenta de errores y,
- ii) los trenes de bits MICDA y MIC a 64 kbit/s intermedios no son perturbados por dispositivos digitales de proceso de la señal.

Si el codificador y el decodificador tienen condiciones iniciales distintas, como puede ocurrir después de la conmutación, por ejemplo, es posible que lleve tiempo establecer la propiedad de conexión síncrona en cascada. Por otra parte, si esta propiedad es perturbada o no se adquiere inicialmente, puede recuperarse para las señales de nivel suficiente con espectros que ocupen la mayoría de la banda 200 a 3400 (por ejemplo, señales vocales, datos en banda vocal a 4800 bit/s).

Cuando un decodificador está síncronamente conectado a un codificador, el bloque de ajuste de codificación síncrona estima la cuantificación en el codificador. Si todas las variables de estado en el decodificador y en el codificador tienen valores idénticos y no hay errores de transmisión, la equivalencia forzada de ambas secuencias de salida del cuantificador de cuatro bits, para todos los valores de k , garantiza la propiedad de no acumulación de la distorsión.

Esto se consigue convirtiendo primero la señal de ley A o ley μ , $s_p(k)$, en una señal MIC uniforme, $s_{lx}(k)$, después de lo cual se calcula una señal diferencia, $d_x(k)$:

$$d_x(k) = s_{lx}(k) - s_e(k). \quad (3-1)$$

La señal diferencia, $d_x(k)$, se compara entonces con el intervalo de decisión del cuantificador MICDA, determinado por $I(k)$ e $y(k)$. La señal $s_d(k)$ se define entonces como sigue:

$$s_d(k) = \begin{cases} s_p^+(k), & \text{si } d_x(k) < \text{límite inferior del intervalo} \\ s_p^-(k), & \text{si } d_x(k) \geq \text{límite superior del intervalo} \\ s_p(k), & \text{en los demás casos} \end{cases} \quad (3-2)$$

donde

$s_d(k)$ es la palabra de código MIC de salida del decodificador,

$s_p^+(k)$ es la palabra de código MIC que representa el siguiente nivel de salida MIC más positivo [cuando $s_p(k)$ representa el nivel de salida más positivo, $s_p^+(k)$ está mantenida al valor de $s_p(k)$],

$s_p^-(k)$ es la palabra de código MIC que representa el siguiente nivel de salida MIC más negativo [cuando $s_p(k)$ representa el nivel de salida más negativo, $s_p^-(k)$ está mantenida al valor de $s_p(k)$].

4 Detalles de cálculo

En los § 4.1 y 4.2 se dan los detalles de cálculo para cada uno de los elementos del codificador y del decodificador.

La temporización adecuada para el codificador y el decodificador se obtiene ejecutando todos los bloques de retardo simultáneamente y procediendo a calcular las señales que pueden obtenerse a partir de los valores de salida de dichos bloques. Por ejemplo, SE de la figura 9/G.726 se calcula sobre la base de los valores de salida de los bloques de retardo (delay) y después SE se utiliza como se muestra en la figura 4/G.726.

Las realizaciones del algoritmo pueden alcanzar con un nivel razonable de confianza utilizando las secuencias de prueba digitales descritas en el apéndice II a esta Recomendación. Las secuencias se dan en palabras de código MIC a la entrada del codificador, las palabras de código MICDA y las palabras de código MIC a la salida del decodificador.

4.1 Señales de entrada y de salida

El cuadro 5/G.726 define las señales de entrada y de salida para el codificador y el decodificador.

La señal opcional R representa una función de reiniciación que pone todos los elementos de memoria interna en una condición especificada, de modo que un codificador o un decodificador pueda forzarse a pasar a un estado conocido, para aplicaciones que requieren una función de reiniciación inmediata (por ejemplo, equipo de multiplicación de circuitos digitales) en cuyo caso la reiniciación es obligatoria y no opcional.

CUADRO 5/G.726

Señales de entrada y de salida

CODIFICADOR			
	Nombre	Número de bits	Descripción
Entrada	S	8	Palabra de entrada MIC
Entrada	LAW	1	Selección de ley MIC, 0 = ley μ , 1 = ley A
Entrada	R (<i>opcional</i>)	1	Reinicialización
Salida	I	5	Palabra MICDA a 40 kbit/s
Salida	I	4	Palabra MICDA a 32 kbit/s
Salida	I	3	Palabra MICDA a 24 kbit/s
Salida	I	2	Palabra MICDA a 16 kbit/s
DECODIFICADOR			
	Nombre	Número de bits	Descripción
Entrada	I	5	Palabra MICDA a 40 kbit/s
Entrada	I	4	Palabra MICDA a 32 kbit/s
Entrada	I	3	Palabra MICDA a 24 kbit/s
Entrada	I	2	Palabra MICDA a 16 kbit/s
Entrada	LAW	1	Selección de ley MIC, 0 = ley μ , 1 = ley A
Entrada	R (<i>opcional</i>)	1	Reinicialización
Salida	SD	8	Palabra de salida MIC del decodificador

4.2 Descripción de las variables y especificación detallada de los subbloques

Este punto contiene una explicación detallada de todos los bloques de las figuras 2/G.726 y 3/G.726, que se han descrito en los § 2 y 3. Las explicaciones se ilustran en las figuras 4/G.726 a 11/G.726 con las variables del proceso interno definidas en el cuadro 6/G.726. Se indica una breve descripción funcional y la especificación completa para cada subbloque.

Los símbolos utilizados en las descripciones de los subbloques son los siguientes:

$\ll n$ Desplazamiento de n bits hacia la izquierda (relleno de ceros)

$\gg n$ Desplazamiento de n bits hacia la derecha (en el sentido del bit menos significativo, con relleno de ceros)

& Operación lógica «y»

+ Adición aritmética

– Sustracción aritmética

* Multiplicación aritmética

** Operación lógica «exclusiva o»

|
| Observaciones sobre las ecuaciones
|

CUADRO 6/G.726

Variables del procesamiento interno

Denominación	Bits	Representación binaria	Valores opcionales de reiniciación	Descripción
A1 ^{a)} , A2 ^{a)}	16 TC	S, 0,..., -14	0	Coefficientes retardados de segundo orden del predictor
A1P, A2P	16 TC	S, 0,..., -14		Coefficientes del predictor de segundo orden
A1R, A2R	16 TC	S, 0,..., -14		Coefficientes activados del predictor de segundo orden
A1T	16 TC	S, 0,..., -14		Coefficiente a_1 ilimitado
A2T	16 TC	S, 0,..., -14		Coefficiente a_2 ilimitado
AL	7 SM	0,..., -6		Parámetro de control limitado de velocidad
AP ^{a)}	10 SM	1,..., -8	0	Parámetro de control ilimitado retardado de velocidad
APP	10 SM	1,..., -8		Parámetro de control ilimitado de velocidad
APR	10 SM	1,..., -8		Parámetro de control ilimitado activado de velocidad
AX	1 SM	1		Actualización del parámetro de control de velocidad
B1 ^{a)} ,..., B6 ^{a)}	16 TC	S, 0,..., -14	0	Coefficientes retardados del predictor de sexto orden
B1P, ..., B6P	16 TC	S, 0,..., -14		Coefficientes del predictor de sexto orden
B1R, ..., B6R	16 TC	S, 0,..., -14		Coefficientes activados del predictor de sexto orden
D	16 TC	S, 14,..., 0		Señal diferencia, sólo en codificador
DL	115 M	3,..., -7		Log ₂ (señal diferencia), sólo en codificador
DLN	12 TC	S, 3,..., -7		Log ₂ (diferencia normalizada), sólo en codificador
DLNX	12 TC	S, 3,..., -7		Log ₂ (diferencia normalizada), sólo en decodificador
DLX	11 SM	3,..., -7		Log ₂ (señal diferencia), sólo en decodificador
DML ^{a)}	14 SM	2,..., -11	0	Media retardada a largo plazo de la secuencia F(I)
DMLP	14 SM	2,..., -11		Media a largo plazo de la secuencia F(I)
DMS ^{a)}	12 SM	2,..., -9	0	Media retardada a corto plazo de la secuencia F(I)
DMSP	12 SM	2,..., -9		Media a corto plazo de la secuencia F(I)
DQ ^{b)}	15 SM	S, 13,..., 0		Señal diferencia cuantificada (operación a 16, 24 ó 32 kbit/s)
DQ ^{b)}	16 SM	S, 14,..., 0		Señal diferencia cuantificada (operación a 16, 24, 32 ó 40 kbit/s)
DQ0	11 FL	S, 4e, 6m		Señal diferencia cuantificada con retardo 0
DQ1 ^{a)} , ..., Q6 ^{a)}	11 FL	S, 4e, 6m	32	Señal diferencia cuantificada con retardos 1 a 6
DQL	12 TC	S, 3,..., -7		Log ₂ (señal diferencia cuantificada)

a) Indica variables que se ponen a valores específicos mediante la reinicialización facultativa opcional. Cuando se invoca la reiniciación, la salida del subbloque DELAY (véase el § 4.2.4) se indica en la cuarta columna.

b) Para la MICDA a 40 kbit/s, DQ debe ser implementada con 16 bits magnitud con signo. Para MICDA a 16, 24, 32 kbit/s, DQ puede ser implementado con 15 ó 16 bits magnitud con signo.

TC Complemento a dos e Bits de exponente
 SM Magnitud con signo m Bits de mantisa
 FL Coma flotante S Bits de signo

CUADRO 6/G.726 (cont.)

Denominación	Bits	Representación binaria	Valores opcionales de reiniciación	Descripción
DQLN	12 TC	S, 3,..., -7		Log ₂ (diferencia cuantificada normalizada)
DQS	1 TC	S		Bit de signo de señal diferencia cuantificada
DS	1 TC	S		Bit de signo de señal diferencia, sólo en codificador
DSX	1 TC	S		Bit de signo de señal diferencia, sólo en decodificador
DX	16 TC	S, 14,..., 0		Señal diferencia, sólo en decodificador
FI	3 SM	2,..., 0		Salida de F(I)
PK0	1 TC	S		Signo de DQ + SEZ con retardo 0
PK1 ^a), PK2 ^a)	1 TC	S	0	Signo de DQ + SEZ con retardos 1 y 2
SE	15 TC	S, 13,..., 0		Estimación de señal
SEZ	15 TC	S, 13,..., 0		Estimación de señal parcial del predictor de sexto orden
SIGPK	1 TC	0		Bandera de sgn [p(k)]
SL	14 TC	S, 12,..., 0		Señal de entrada lineal, sólo en codificador
SLX	14 TC	S, 12,..., 0		Señal reconstruida cuantificada, sólo en decodificador
SP	8			Señal reconstruida, sólo en decodificador
SR	16 TC	S, 14,..., 0		Señal reconstruida
SR0	11 FL	S, 4e, 6m		Señal reconstruida con retardo 0
SR1 ^a), SR2 ^a)	11 FL	S, 4e, 6m	32	Señal reconstruida con retardos 1 y 2
TD ^a)	1 TC	0	0	Detección de tono retardada
TDP	1 TC	0		Detección de tono
TDR	1 TC	0		Detección de tono activada
TR	1 TC	0		Detección de transición
U1,...,U6	1 TC	S		Bit de signo actualizado del coeficiente del predictor de sexto orden
WA1,WA2	16 TC	S, 13,..., -1		Producto parcial de estimación de señal
WB1,...,WB6	16 TC	S, 13,..., -1		Producto parcial de estimación de señal
WI	12 TC	S, 6,..., -4		Multiplicador del cuantificador
Y	13 SM	3,..., -9		Factor de escala del cuantificador
YL ^a)	19 SM	3,..., -15	34816	Factor de escala con adaptación lenta retardado del cuantificador
YLP	19 SM	3,..., -15		Factor de escala con adaptación lenta del cuantificador
YU ^a)	13 SM	3,..., -9	544	Factor de escala con adaptación rápida retardado del cuantificador
YUP	13 SM	3,..., -9		Factor de escala con adaptación rápida del cuantificador
YUT	13 SM	3,..., -9		Factor de escala con adaptación rápida ilimitado del cuantificador

^a) Indica variables que se ponen a valores específicos mediante la reiniciación facultativa opcional. Cuando se invoca la reiniciación, la salida del subbloque DELAY (véase el § 4.2.4) se indica en la cuarta columna.

TC Complemento a dos e Bits de exponente
 SM Magnitud con signo m Bits de mantisa
 FL Coma flotante S Bits de signo

4.2.1 Conversión del formato MIC de entrada y cálculo de la señal de diferencia

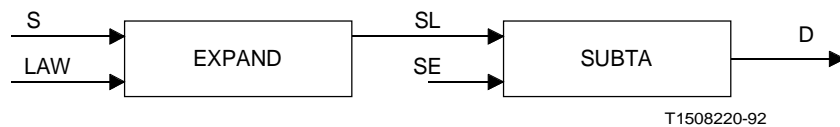


FIGURA 4/G.726

Conversión del formato MIC de entrada y cálculo de la señal diferencia

EXPAND

Entradas: S (SP en el decodificador), LAW
 Salida: SL (SLX en el decodificador)
 Función: Conversión de MIC de ley A o ley μ a MIC uniforme.

Se decodifica la palabra de código MIC, S, de acuerdo con la Recomendación G.711, utilizando señales de carácter (columna 6 antes de la inversión de los bits pares para la ley A) y valores a la salida del decodificador (columna 7). Los valores a la salida del decodificador, SS, están representados en forma magnitud con signo con 13 bits para la ley A y magnitud con signo con 14 bits para la ley μ (el bit de signo es uno para valores negativos).

Nota – Para la ley A, S (y SP) incluyen la inversión de bits pares (véase la nota 2 al cuadro 1/G.711).

Cuando $LAW = 0$, $SSS = SS \gg 13$ | ley μ
 $SSQ = SS \& 8191$ |

cuando $LAW = 1$, $SSS = SS \gg 12$ |
 $SSM = SS \& 4095$ | ley A
 $SSQ = SSM \ll 1$ |

entonces

$SL = \begin{cases} SSQ, & SSS = 0 \\ (16384 - SSQ) \& 16383, & SSS = 1 \end{cases}$ | Conversión de magnitud
 | con signo en
 | complemento a dos

SUBTA

Entradas: SL (SLX en el decodificador), SE
 Salida: D (DX en el decodificador)
 Función: Cálculo de la señal de diferencia sustrayendo la estimación de la señal, de la señal de salida (o la señal reconstruida cuantificada en el decodificador).

$$SLS = SL \gg 13$$

$$SLI = \begin{cases} SL, & SLS = 0 \\ 49152 + SL, & SLS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extensión del signo} \\ | \end{array}$$

$$SES = SE \gg 14$$

$$SEI = \begin{cases} SE, & SES = 0 \\ 32768 + SE, & SES = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extensión del signo} \\ | \end{array}$$

$$D = (SLI + 65536 - SEI) \& 65535$$

4.2.2 Cuantificador adaptativo

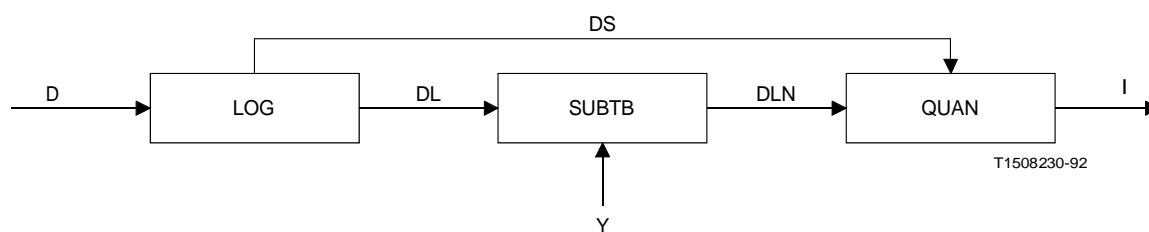


FIGURA 5/G.726

Cuantificador adaptativo

LOG

Entrada: D (DX en el decodificador)
 Salidas: DL (DLX en el decodificador), DS (DSX en el decodificador)
 Función: Conversión de la señal de diferencia del dominio lineal al logarítmico

$$DS = D \gg 15$$

$$DQM = \begin{cases} D, & DS = 0 \\ (65536 - D) \& 32767, & DS = 1 \end{cases} \quad \begin{array}{l} | \text{ Conversión de D de} \\ | \text{ complemento a dos a} \\ | \text{ magnitud con signo} \end{array}$$

$$EXP = \begin{cases} 14, & 16384 \leq DQM \\ 13, & 8192 \leq DQM \leq 16383 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 1, & 2 \leq DQM \leq 3 \\ 0, & 0 \leq DQM \leq 1 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \text{ Cálculo del exponente} \\ | \\ | \\ | \end{array}$$

$$MANT = ((DQM \ll 7) \gg EXP) \& 127 \quad \begin{array}{l} | \text{ Aproximación de cálculo} \\ | \log_2(1 + x) = x \end{array}$$

$$DL = (EXP \ll 7) + MANT \quad \begin{array}{l} | \text{ Combinación de 7 bits de mantisa} \\ | \text{ 4 bits de exponente en} \\ | \text{ una palabra de 11 bits} \end{array}$$

QUAN (codificador únicamente)

Entradas: DLN, DS
 Salida: I
 Función: Cuantificación de la señal de diferencia en el dominio logarítmico

CUADRO 7/G.726

Niveles de decisión y salidas de 5 bits
del cuantificador para MICDA a 40 kbit/s

DS	DLN	I	
		12345	
0	553-2047	01111	
0	528- 552	01110	
0	502- 527	01101	
0	475- 501	01100	
0	445- 474	01011	
0	413- 444	01010	
0	378- 412	01001	
0	339- 377	01000	
0	298- 338	00111	
0	250- 297	00110	
0	198- 249	00101	
0	139- 197	00100	
0	68- 138	00011	
0	0- 67	00010	-- Parte positiva del intervalo
0	4080-4095	00010	-- Parte negativa del intervalo
0	3974-4079	00001	
0	2048-3973	11111	
1	2048-3973	11111	
1	3974-4079	11110	
1	4080-4095	11101	-- Parte negativa del intervalo
1	0- 67	11101	-- Parte positiva del intervalo
1	68- 138	11100	
1	139- 197	11011	
1	198- 249	11010	
1	250- 297	11001	
1	298- 338	11000	
1	339- 377	10111	
1	378- 412	10110	
1	413- 444	10101	
1	445- 474	10100	
1	475- 501	10011	
1	502- 527	10010	
1	528- 552	10001	
1	553-2047	10000	

Nota – Los valores de I se transmiten comenzando por el bit 1.

CUADRO 8/G.726

**Niveles de decisión y salidas de 4 bits
del cuantificador para MICDA a 32 kbit/s**

DS	DLN	I	
		1234	
0	400-2047	0111	
0	349- 399	0110	
0	300- 348	0101	
0	246- 299	0100	
0	178- 245	0011	
0	80- 177	0010	
0	0- 79	0001	-- Parte positiva del intervalo
0	3972-4095	0001	-- Parte negativa del intervalo
0	2048-3971	1111	
1	2048-3971	1111	
1	3972-4095	1110	-- Parte negativa del intervalo
1	0- 79	1110	-- Parte positiva del intervalo
1	80- 177	1101	
1	178- 245	1100	
1	246- 299	1011	
1	300- 348	1010	
1	349- 399	1001	
1	400-2047	1000	

Nota – Los valores de I se transmiten comenzando por el bit 1.

CUADRO 9/G.726

**Niveles de decisión y salidas de 3 bits
del cuantificador para MICDA a 24 kbit/s**

DS	DLN	I	
		123	
0	331-2047	011	
0	218- 330	010	
0	8- 217	001	
0	0- 7	111	-- Parte positiva del intervalo
0	2048-4095	111	-- Parte negativa del intervalo
1	2048-4095	111	-- Parte negativa del intervalo
1	0- 7	111	-- Parte positiva del intervalo
1	8- 217	110	
1	218- 330	101	
1	331-2047	100	

Nota – Los valores de I se transmiten comenzando por el bit 1.

Niveles de decisión y salidas de 2 bits del cuantificador para MICDA a 16 kbit/s

DS	DLN	I	
		12	
0	261-2047	01	
0	0- 260	00	-- Parte positiva del intervalo
0	2048-4095	00	-- Parte negativa del intervalo
1	2048-4095	11	-- Parte negativa del intervalo
1	0- 260	11	-- Parte positiva del intervalo
1	261-2047	10	

SUBTB

Entradas: DL (DLX en el decodificador), Y
 Salida: DLN (DLNX en el decodificador)
 Función: Aplicación del factor de escala a la versión logarítmica de la señal de diferencia mediante sustracción del factor de escala.

$$DLN = (DL + 4096 - (Y \gg 2)) \& 4095$$

4.2.3 Cuantificador adaptativo inverso

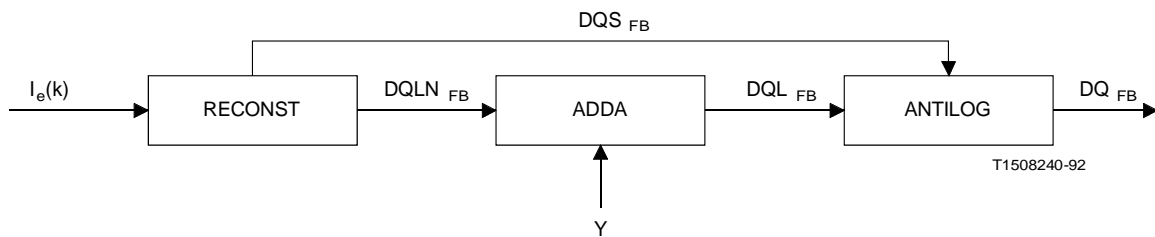


FIGURA 6/G.726

Cuantificador adaptativo inverso

ADDA

Entradas: DQLN, Y
 Salida: DQL
 Función: Adición del factor de escala a la versión logarítmica de la señal de diferencia cuantificada.

$$DQL = (DQLN + (Y \gg 2)) \& 4095$$

ANTILOG

Entradas: DQL, DQS
Salida: DQ
Función: Conversión de la señal de diferencia cuantificada del dominio logarítmico al lineal.

$DS = DQL \gg 11$ | Extracción del exponente de cuatro bits

$DEX = (DQL \gg 7) \& 15$

$DMN = DQL \& 127$ | Extracción de la mantisa de siete bits

$DQT = (1 \ll 7) + DMN$ | Conversión de mantisa a lineal utilizando

$DQMAG = \begin{cases} (DQT \ll 7) \gg (14 - DEX), & DS = 0 \\ 0, & DS = 1 \end{cases}$ | la aproximación $2^x = 1 + x$

$DQ = \begin{cases} DQS \ll 14 + DQMAG: & \text{para } DQ \text{ de tipo } 15 \text{ SM} \\ DQS \ll 15 + DQMAG: & \text{para } DQ \text{ de tipo } 16 \text{ SM} \end{cases}$ | Añadir bit de signo a la magnitud
| con signo

RECONST

Entrada: I
Salidas: DQLN, DQS
Función: Reconstrucción de la señal de diferencia cuantificada en el dominio logarítmico.

Para MICDA a 40 kbit/s:

$$DQS = I \gg 4$$

CUADRO 11/G.726

**Niveles de salida del cuantificador
para MICDA a 40 kbit/s**

I	DQS	DQLN
12345		
01111	0	566
01110	0	539
01101	0	514
01100	0	488
01011	0	459
01010	0	429
01001	0	395
01000	0	358
00111	0	318
00110	0	274
00101	0	224
00100	0	169
00011	0	104
00010	0	28
00001	0	4030
00000	0	2048
11111	1	2048
11110	1	4030
11101	1	28
11100	1	104
11011	1	169
11010	1	224
11001	1	274
11000	1	318
10111	1	358
10110	1	395
10101	1	429
10100	1	459
10011	1	488
10010	1	514
10001	1	539
10000	1	566

Nota 1 – Los valores de I se reciben comenzando por el bit 1.

Nota 2 – Es posible que el decodificador reciba la palabra de código 00000 debido a perturbaciones de la transmisión (por ejemplo, errores de bits en línea).

Para MICDA a 32 kbit/s:

$$DQS = I \gg 3$$

CUADRO 12/G.726

**Niveles de salida del cuantificador
para MICDA a 32 kbit/s**

I	DQS	DQLN
1234		
0111	0	425
0110	0	373
0101	0	323
0100	0	273
0011	0	213
0010	0	135
0001	0	4
0000	0	2048
1111	1	2048
1110	1	4
1101	1	135
1100	1	213
1011	1	273
1010	1	323
1001	1	373
1000	1	425

Nota 1 – Los valores de I se reciben comenzando por el bit 1.

Nota 2 – Es posible que el decodificador reciba la palabra de código 0000 debido a perturbaciones de la transmisión (por ejemplo, errores de bits en línea).

Para MICDA a 24 kbit/s:

$$DQS = I \gg 2$$

CUADRO 13/G.726

**Niveles de salida del cuantificador
para MICDA a 24 kbit/s**

I	DQS	DQLN
123		
011	0	373
010	0	273
001	0	135
000	0	2048
111	1	2048
110	1	135
101	1	273
100	1	373

Nota 1 – Los valores de I se reciben comenzando por el bit 1.

Nota 2 – Es posible que el decodificador reciba la palabra de código 000 debido a perturbaciones de la transmisión (por ejemplo, errores de bits en línea).

Para MICDA a 16 kbit/s:

$$DQS = I \gg 1$$

CUADRO 14/G.726

Niveles de salida del cuantificador MICDA a 16 kbit/s

I	DQS	DQLN
12		
01	0	365
00	0	116
11	1	116
10	1	365

Nota – Los valores de I se reciben comenzando por el bit 1.

4.2.4 Adaptación del factor de escala del cuantificador

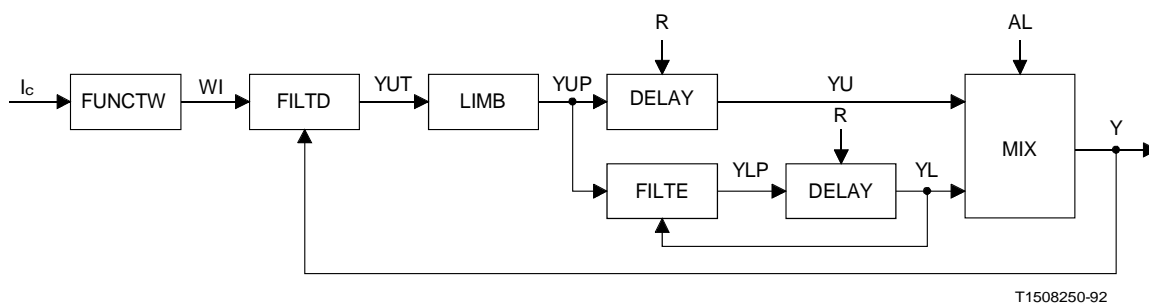


FIGURA 7/G.726

Adaptación del factor de escala del cuantificador

DELAY

Entradas: x, R (opcional)
 Salida: y
 Función: Bloque de memoria. Para la entrada x, la salida viene dada por:

$$y(k) = \begin{cases} x(k-1), & R = 0 \\ \text{valor opcional de reiniciación de la cuarta columna del cuadro 6/G.726, } & R = 1 \end{cases} \quad | \text{ Reiniciación opcional}$$

FILTD

Entradas: WI, Y
 Salida: YUT
 Función: Actualización del factor de escala con adaptación rápida del cuantificador.

$$DIF = ((WI \ll 5) + 131072 - Y) \& 131071 \quad | \text{ Cálculo de la diferencia}$$

$$DIFS = DIF \gg 16 \quad |$$

$$DIFSX = \begin{cases} DIF \gg 5, & DIFS = 0 \\ (DIF \gg 5) + 4096, & DIFS = 1 \end{cases} \quad | \text{ La constante de tiempo es } 1/32$$

$$\quad | \text{ Extensión del signo}$$

$$YUT = (Y + DIFSX) \& 8191$$

FILTE

Entradas: YUP, YL
 Salida: YLP
 Función: Actualización del factor de escala con adaptación lenta del cuantificador.

$DIF = (YUP + ((1048576 - YL) \gg 6)) \& 16383$ | Cálculo de la diferencia
 $DIFS = DIF \gg 13$ | La constante de tiempo es 1/64

$DIFSX = \begin{cases} DIF, & DIFS = 0 \\ DIF + 507904, & DIFS = 1 \end{cases}$ | Extensión del signo

$YLP = (YL + DIFSX) \& 524287$

FUNCTW

Entrada: I
 Salida: WI
 Función: Proyecta la salida de correspondencia del cuantificador a la versión logarítmica del multiplicador del factor de escala.

Para MICDA a 40 kbit/s:

$IS = I \gg 4$

$IM = \begin{cases} I \& 15, & IS = 0 \\ (31 - I) \& 15, & IS = 1 \end{cases}$

$WI = \begin{cases} 696, & IM = 15 \\ 529, & IM = 14 \\ 440, & IM = 13 \\ 358, & IM = 12 \\ 280, & IM = 11 \\ 219, & IM = 10 \\ 179, & IM = 9 \\ 141, & IM = 8 \\ 100, & IM = 7 \\ 58, & IM = 6 \\ 41, & IM = 5 \\ 40, & IM = 4 \\ 39, & IM = 3 \\ 24, & IM = 2 \\ 14, & IM = 1 \\ 14, & IM = 0 \end{cases}$ | Multiplicadores del factor de escala

Para MICDA a 32 kbit/s:

$$IS = I \gg 3$$

$$IM = \begin{cases} I \& 7, & IS = 0 \\ (15 - I) \& 7, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 1122, & IM = 7 \\ 355, & IM = 6 \\ 198, & IM = 5 \\ 112, & IM = 4 \\ 64, & IM = 3 \\ 41, & IM = 2 \\ 18, & IM = 1 \\ 4084, & IM = 0 \end{cases}$$

|
|
| Multiplicadores del factor de escala
|
|

Para MICDA a 24 kbit/s:

$$IS = I \gg 2$$

$$IM = \begin{cases} I \& 3, & IS = 0 \\ (7 - I) \& 3, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 582, & IM = 3 \\ 137, & IM = 2 \\ 30, & IM = 1 \\ 4092, & IM = 0 \end{cases}$$

|
|
| Multiplicadores del factor de escala
|
|

Para MICDA a 16 kbit/s:

$$IS = I \gg 1$$

$$IM = \begin{cases} I \& 1, & IS = 0 \\ (3 - I) \& 1, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 439, & IM = 1 \\ 4074, & IM = 0 \end{cases}$$

|
| Multiplicadores del factor de escala |

LIMB

Entrada: YUT
 Salida: YUP
 Función: Limitación del factor de escala del cuantificador.

$$GEUL = ((YUT + 11264) \& 16383) \gg 13$$

$$GELL = ((YUT + 15840) \& 16383) \gg 13$$

$$YUP = \begin{cases} 544, & GELL = 1 \\ 5120, & GEUL = 0 \\ YUT, & \text{en los demás casos} \end{cases}$$

| Establecimiento de un límite inferior de 1,06
 | Establecimiento de un límite superior de 10,00

MIX

Entradas: AL, YU, YL
 Salida: Y
 Función: Formación de combinación lineal de los factores de escala con adaptaciones rápidas y lentas del cuantificador.

$$DIF = (YU + 16384 - (YL \gg 6)) \& 16383$$

$$DIFS = DIF \gg 13$$

| Cálculo de la diferencia
 |

$$DIFM = \begin{cases} DIF, & DIFS = 0 \\ (16384 - DIF) \& 8191, & DIFS = 1 \end{cases}$$

| Cálculo de la magnitud
 | de la diferencia
 |

$$PRODM = (DIFM * AL) \gg 6$$

| Cálculo de la magnitud
 | del producto

$$PROD = \begin{cases} PRODM, & DIFS = 0 \\ (16384 - PRODM) \& 16383, & DIFS = 1 \end{cases}$$

| Conversión de la magnitud
 | en complemento a dos
 |

$$Y = ((YL \gg 6) + PROD) \& 8191$$

4.2.5 Control de la velocidad de adaptación

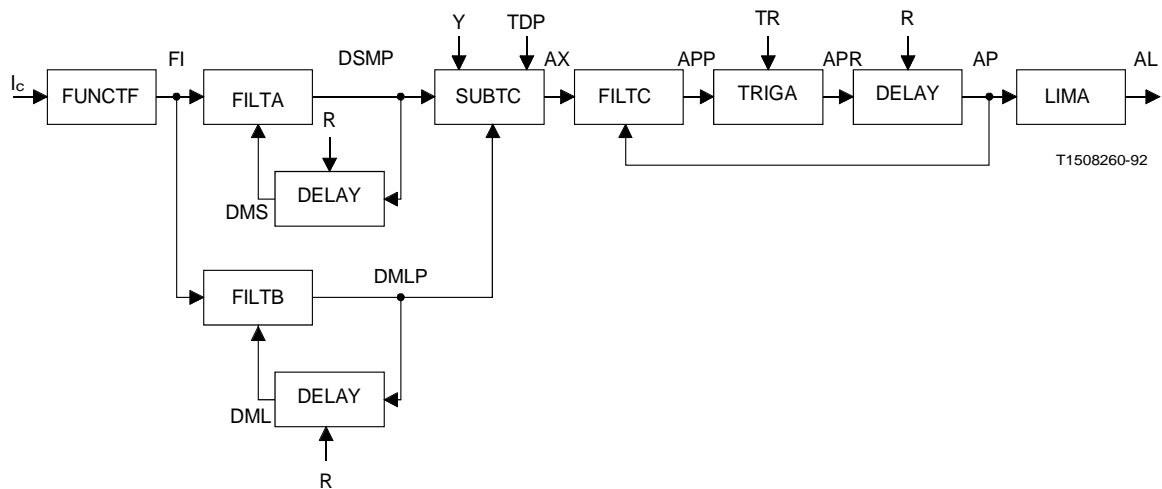


FIGURA 8/G.726
Control de la velocidad de adaptación

DELAY

Para la especificación, véase el § 4.2.4.

FILTA

Entradas: FI, DMS
Salida: DMSP
Función: Actualización del valor medio a corto plazo F(I).

$DIF = ((FI \ll 9) + 8192 - DMS) \& 8191$ | Cálculo de la diferencia
 $DIFS = DIF \gg 12$ |

$DIFSX = \begin{cases} DIF \gg 5, & DIFS = 0 \\ (DIF \gg 5) + 3840, & DIFS = 1 \end{cases}$ |
| La constante de tiempo es 1/32
| Extensión del signo
|

$DMSP = (DIFSX + DMS) \& 4095$

FILTB

Entradas: FI, DML
Salida: DMLP
Función: Actualización del valor medio a largo plazo de F(I).

$DIF = ((FI \ll 11) + 32768 - DML) \& 32767$ | Cálculo de la diferencia
 $IFS = DIF \gg 14$ |

$DIFSX = \begin{cases} DIF \gg 7, & DIFS = 0 \\ (DIF \gg 7) + 16128, & DIFS = 1 \end{cases}$ |
| La constante de tiempo es 1/28
| Extensión del signo
|

$DMLP = (DIFSX + DML) \& 16383$

FILTC

Entradas: AX, AP
Salida: APP
Función: Filtrado paso bajo del parámetro de control de velocidad.

$DIF = ((AX \ll 9) + 2048 - AP) \& 2047$ | Cálculo de la diferencia
 $DIFS = DIF \gg 10$ |

$DIFSX = \begin{cases} DIF \gg 4, & DIFS = 0 \\ (DIF \gg 4) + 896, & DIFS = 1 \end{cases}$ |
| La constante de tiempo es 1/16
| Extensión del signo
|

$APP = (DIFSX + AP) \& 1023$

FUNCTF

Entrada: I
 Salida: FI
 Función: Salida de correspondencia del cuantificador en la función F(I).

Para MICDA a 40 kbit/s:

$$IS = I \gg 4$$

$$IM = \begin{cases} I \& 15, & IS = 0 \\ (31 - I) \& 15, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 0, & 0 \leq IM \leq 4 \\ 1, & 5 \leq IM \leq 9 \\ 2, & IM = 10 \\ 3, & IM = 11 \\ 4, & IM = 12 \\ 5, & IM = 13 \\ 6, & IM = 14 \\ 6, & IM = 15 \end{cases}$$

Para MICDA a 32 kbit/s:

$$IS = I \gg 3$$

$$IM = \begin{cases} I \& 7, & IS = 0 \\ (15 - I) \& 7, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 0, & 0 \leq IM \leq 2 \\ 1, & 3 \leq IM \leq 5 \\ 3, & IM = 6 \\ 7, & IM = 7 \end{cases}$$

Para MICDA a 24 kbit/s:

$$IS = I \gg 2$$

$$IM = \begin{cases} I \& 3, & IS = 0 \\ (7 - I) \& 3, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 0, & IM = 0 \\ 1, & IM = 1 \\ 2, & IM = 2 \\ 7, & IM = 3 \end{cases}$$

Para MICDA a 16 kbit/s:

$$IS = I \gg 1$$

$$IM = \begin{cases} I \& 1, & IS = 0 \\ (3 - I) \& 1, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 7, & IM = 1 \\ 0, & IM = 0 \end{cases}$$

LIMA

Entrada: AP
Salida: AL
Función: Limitación del parámetro de control de velocidad.

$$AL = \begin{cases} 64, & AP \geq 256 \\ AP \gg 2, & AP \leq 255 \end{cases}$$

SUBTC

Entradas: DMSP, DMLP, TDP, Y
Salida: AX
Función: Cálculo de la magnitud de la diferencia de las funciones a corto y largo plazo de la secuencia de salida del cuantificador y comparación de umbrales para el parámetro de control de velocidad de adaptación del cuantificador.

$DIF = ((DMSP \ll 2) + 32768 - DMLP) \& 32767$ | Cálculo de la diferencia
 $DIFS = DIF \gg 14$ |

$$DIFM = \begin{cases} DIF, & DIFS = 0 \\ (32768 - DIF) \& 16383, & DIFS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Cálculo de la magnitud} \\ | \text{ de la diferencia} \\ | \end{array}$$

$DTHR = DMLP \gg 3$

$$AX = \begin{cases} 0, & Y \geq 1536 \text{ y } DIFM < DTHR \text{ y } TDP = 0 \\ 1, & \text{en los demás casos.} \end{cases}$$

TRIGA

Entradas: TR, APP
Salida: APR
Función: Bloque de disparador del control de velocidad.

$$APR = \begin{cases} APP, & TR = 0 \\ 256, & TR = 1 \end{cases}$$

4.2.6 *Predicador adaptativo y calculador de la señal reconstruida*

ACCUM

Entradas: WA1, WA2, WB1, WB2, WB3, WB4, WB5, WB6
Salidas: SE, SEZ
Función: Adición de salidas del predicador para formar la estimación parcial de la señal (a partir del predicador de sexto orden) y la estimación de la señal.

$$SEZI = (((((((((WB1 + WB2) \& 65535) + WB3) \& 65535) + WB4) \& 65535) + WB5) \& 65535) + WB6) \& 65535$$

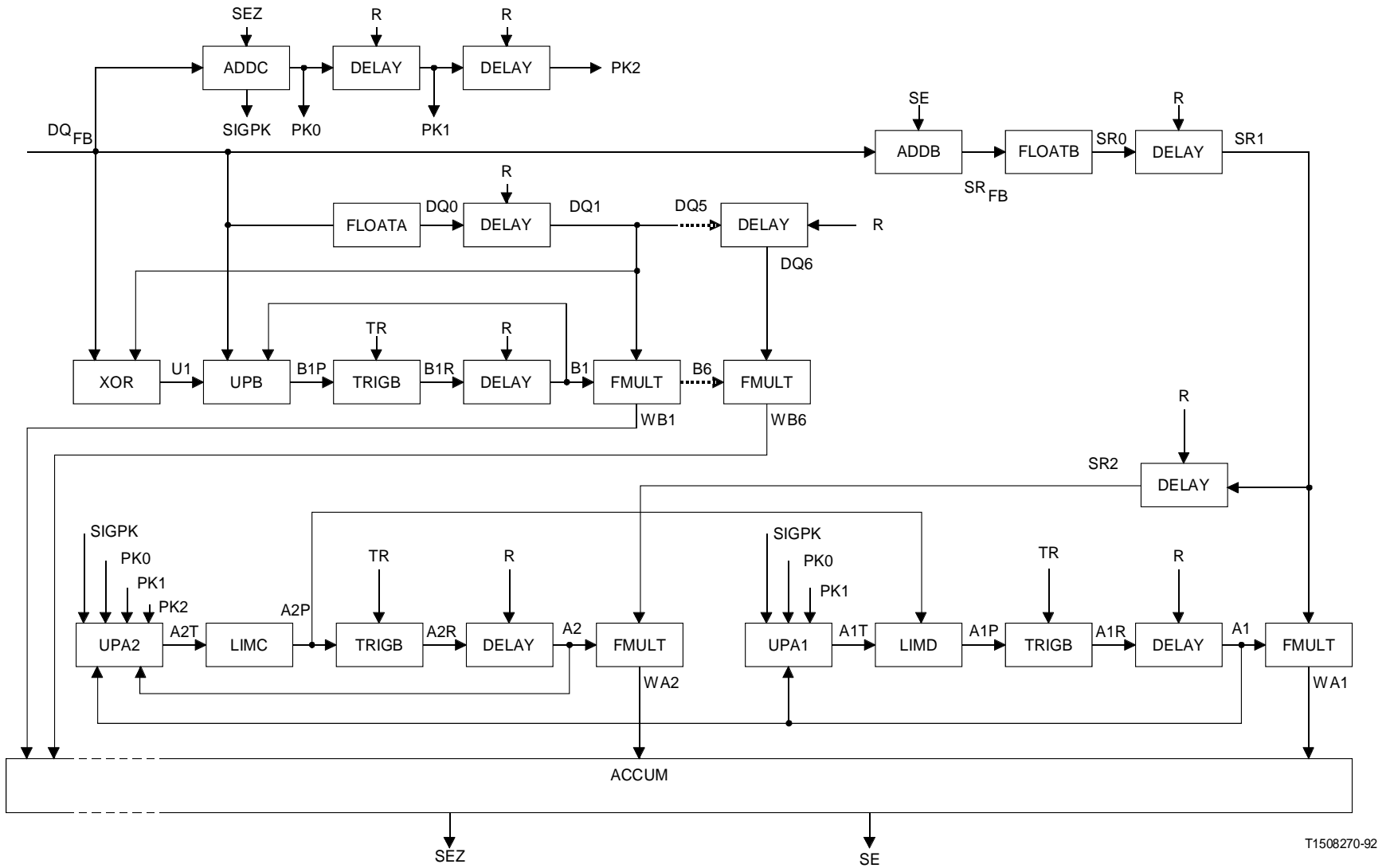
| Suma para estimación
| parcial de la señal

$$SEI = (((SEZI + WA2) \& 65535) + WA1) \& 65535$$

| Completar suma para
| estimación de la señal

$$SEZ = SEZI \gg 1$$

$$SE = SEI \gg 1$$



T1508270-92

FIGURA 9/G.726
 Predictor adaptativo y calculador de la señal reconstruida

ADDB

Entradas: DQ, SE
 Salida: SR
 Función: Adición de la señal de diferencia cuantificada y estimación de la señal para formar la señal reconstruida.

$$DQS = \begin{cases} (DQ \gg 14): \text{ para } DQ \text{ de tipo } 15 \text{ SM} \\ (DQ \gg 15): \text{ para } DQ \text{ de tipo } 16 \text{ SM} \end{cases}$$

$$DQI = \begin{cases} DQ, & DQS = 0 \\ (65536 - (DQ \& 16383)) \& 65535, DQS = 1: \text{ para } DQ \text{ de tipo } 15 \text{ SM} \\ (65536 - (DQ \& 32767)) \& 65535, DQS = 1: \text{ para } DQ \text{ de tipo } 16 \text{ SM} \end{cases}$$

| Conversión de la magnitud
 | con signo en
 | complemento a dos
 |
 |

$$SES = SE \gg 14$$

$$SEI = \begin{cases} SE, & SES = 0 \\ (1 \ll 15) + SE, & SES = 1 \end{cases}$$

|
 | Extensión del signo
 |

$$SR = (DQI + SEI) \& 65535$$

ADDC

Entradas: DQ, SEZ
Salida: PK0, SIGPK
Función: Obtención del signo de adición de la señal diferencia cuantificada y la estimación parcial de la señal.

$$DQS = \begin{cases} (DQ \gg 14): \text{ para } DQ \text{ de tipo } 15 \text{ SM} \\ (DQ \gg 15): \text{ para } DQ \text{ de tipo } 16 \text{ SM} \end{cases}$$

$$DQI = \begin{cases} DQ, & DQS = 0 \\ (65536 - (DQ \& 16383)) \& 65535, & DQS = 1: \text{ para } DQ \text{ de tipo } 15 \text{ SM} \\ (65536 - (DQ \& 32767)) \& 65535, & DQS = 1: \text{ para } DQ \text{ de tipo } 16 \text{ SM} \end{cases}$$

|
| Conversión de la magnitud
| con signo en
| complemento a dos

$$SEZS = SEZ \gg 14$$

$$SEZI = \begin{cases} SEZ, & SEZS = 0 \\ (1 \ll 15) + SEZ, & SEZS = 1 \end{cases}$$

|
| Extensión del signo
|
|

$$DQSEZ = (DQI + SEZI) \& 65535$$

$$PK0 = DQSEZ \gg 15$$

$$SIGPK = \begin{cases} 1, & DQSEZ = 0 \\ 0, & \text{ en los demás casos.} \end{cases}$$

DELAY

Para la especificación, véase el § 4.2.4.

FLOATB

Entrada: SR
 Salida: SR0
 Función: Conversión de complemento a dos de 16 bits a coma flotante.

$$SRS = SR \gg 15$$

$$MAG = \begin{cases} SR, & SRS = 0 \\ (65536 - SR) \& 32767, & SRS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Cálculo de la magnitud} \\ | \end{array}$$

$$EXP = \begin{cases} 15, & 16384 \leq MAG \\ 14, & 8192 \leq MAG \leq 16383 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq MAG \leq 3 \\ 1, & MAG = 1 \\ 0, & MAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \\ | \\ | \text{ Cálculo del exponente} \\ | \\ | \\ | \end{array}$$

$$MANT = \begin{cases} 1 \ll 5, & MAG = 0 \\ (MAG \ll 6) \gg EXP, & \text{en los demás casos} \end{cases} \quad \begin{array}{l} | \text{ Cálculo de la mantisa} \\ | \text{ con un 1 en el bit} \\ | \text{ más significativo} \end{array}$$

$$SR0 = (SRS \ll 10) + (EXP \ll 6) + MANT \quad \begin{array}{l} | \text{ Combinación del bit de signo, cuatro bits} \\ | \text{ de exponente y seis bits de mantisa} \\ | \text{ en un palabra de 11 bits} \end{array}$$

FMULT

Entradas: An o Bn, SRn o DQn
 Salida: WAn o WBn
 Se indican ecuaciones para An, SRn y WAn.
 Las ecuaciones son también válidas al sustituir
 An por Bn, SRn por DQn y WAn por WBn.
 Función: Multiplicación de coeficientes del predictor por la señal diferencia
 cuantificada o la señal reconstruida correspondiente.
 La multiplicación se hace en forma de coma flotante.

$$AnS = An \gg 15$$

$$AnMAG = \begin{cases} An \gg 2, & AnS = 0 \\ (16384 - (An \gg 2)) \& 8191, & AnS = 1 \end{cases} \quad \begin{array}{l} | \text{ Conversión de complemento} \\ | \text{ a dos a magnitud} \\ | \text{ con signo} \end{array}$$

$$AnEXP = \begin{cases} 13, & 4096 \leq AnMAG \\ 12, & 2048 \leq AnMAG \leq 4095 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq AnMAG \leq 3 \\ 1, & AnMAG = 1 \\ 0, & AnMAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \\ | \\ | \text{ Cálculo del exponente} \\ | \\ | \\ | \\ | \end{array}$$

$$AnMANT = \begin{cases} 1 \lll 5, & AnMAG = 0 \\ (AnMAG \lll 6) \gg AnEXP, & \text{en los demás casos} \end{cases} \quad \begin{array}{l} | \text{ Cálculo de la mantisa con} \\ | \text{ un 1 en el bit} \\ | \text{ más significativo} \end{array}$$

$$SRnS = SRn \gg 10$$

$$SRnEXP = (SRn \gg 6) \& 15$$

$$SRnMANT = SRn \& 63$$

| División de la palabra en
 | coma flotante en bit de signo,
 | exponente y mantisa

$$WAnS = SRnS ** AnS$$

$$WAnEXP = SRnEXP + AnEXP$$

$$WAnMANT = ((SRnMANT * AnMANT) + 48) \gg 4$$

| Multiplicación en
 | coma flotante
 |

$$WAnMAG = \begin{cases} (WAnMANT \lll 7) \gg (26 - WAnEXP), & WAnEXP \leq 26 \\ ((WAnMANT \lll 7) \lll (WAnEXP - 26)) \& 32767, & WAnEXP > 26 \end{cases} \quad \begin{array}{l} | \text{ Conversión,} \\ | \text{ de coma} \\ | \text{ flotante} \\ | \text{ a magnitud} \end{array}$$

$$WAn = \begin{cases} WAnMAG, & WAnS = 0 \\ (65536 - WAnMAG) \& 65535, & WAnS = 1 \end{cases} \quad \begin{array}{l} | \text{ Conversión de magnitud} \\ | \text{ a complemento a dos} \end{array}$$

LIMC

Entrada: A2T
Salida: A2P
Función: Limitación del coeficiente a_2 del predictor de segundo orden.

$A2UL = 12288$ | Límite superior de +0,75

$A2LL = 53248$ | Límite inferior de -0,75

$$A2P = \begin{cases} A2LL, & 32768 \leq A2T \leq A2LL \\ A2UL, & A2UL \leq A2T \leq 32767 \\ A2T, & \text{en los demás casos.} \end{cases}$$

LIMD

Entradas: A1T, A2P
Salida: A1P
Función: Limitación del coeficiente a_1 del predictor de segundo orden.

$OME = 15360$ | (1 - épsilon) donde
| épsilon = 1/16

$A1UL = (OME + 65536 - A2P) \& 65535$ | Cálculo del límite superior

$A1LL = (A2P + 65536 - OME) \& 65535$ | Cálculo del límite inferior

$$A1P = \begin{cases} A1LL, & 32768 \leq A1T \text{ y } A1T \leq A1LL \\ A1UL, & A1UL \leq A1T \text{ y } A1T \leq 32767 \\ A1T, & \text{en los demás casos.} \end{cases}$$

TRIGB

Entradas: TR, AnP o BnP o TDP
Salida: AnR o BnR o TDR
Nota: Se da la ecuación para AnP y AnR. La ecuación es también válida cuando AnP y AnR se sustituyen por BnP y BnR o TDP y TDR respectivamente.
Función: Bloque de activación del predictor.

$$AnR = \begin{cases} AnP, & TR = 0 \\ 0, & TR = 1 \end{cases}$$

UPA1

Entradas: PK0, PK1, A1, SIGPK

Salida: A1T

Función: Actualización del coeficiente a_1 del predictor de segundo orden.

$PKS = PK0 ** PK1$ | 1 bit "exclusiva o"

$$UGA1 = \begin{cases} 192, & PKS = 0 \text{ y } SIGPK = 0 \\ 65344, & PKS = 1 \text{ y } SIGPK = 0 \\ 0, & SIGPK = 1 \end{cases}$$

|
| Ganancia = $\pm 3/256$
|

$A1S = A1 \gg 15$

$$ULA1 = \begin{cases} (65536 - (A1 \gg 8)) \& 65535, & A1S = 0 \\ (65536 - ((A1 \gg 8) + 65280)) \& 65535, & A1S = 1 \end{cases}$$

|
| Factor de fuga = $1/256$
|

$UA1 = (UGA1 + ULA1) \& 65535$

$A1T = (A1 + UA1) \& 65535$

| Actualización del cálculo

|

UPA2

Entradas: PK0, PK1, PK2, A1, A2, SIGPK
 Salida: A2T
 Función: Actualización del coeficiente a_2 del predictor de segundo orden.

$$PKS1 = PK0 ** PK1 \quad | \text{ 1 bit "exclusiva o"}$$

$$PKS2 = PK0 ** PK2 \quad | \text{ 1 bit "exclusiva o"}$$

$$UGA2A = \begin{cases} 16384, & PKS2 = 0 \\ 114688, & PKS2 = 1 \end{cases}$$

$$A1S = A1 \gg 15$$

Si $A1S = 0$,

$$FA1 = \begin{cases} A1 \ll 2, & A1 \leq 8191 \\ 8191 \ll 2, & A1 \geq 8192 \end{cases} \quad \begin{array}{l} | \text{ Aplicación de } f(a_1) \\ | \text{ con limitación} \\ | \text{ a } +1/2 \end{array}$$

Si $A1S = 1$,

$$FA1 = \begin{cases} (A1 \ll 2) \& 131071, & A1 \geq 57345 \\ 24577 \ll 2, & A1 \leq 57344 \end{cases} \quad \begin{array}{l} | \text{ Aplicación de } f(a_1) \\ | \text{ con limitación} \\ | \text{ a } -1/2 \end{array}$$

$$FA = \begin{cases} FA1, & PKS1 = 1 \\ (131072 - FA1) \& 131071, & PKS1 = 0 \end{cases} \quad \begin{array}{l} | \text{ Adición del signo} \\ | \text{ al resultado de } f(a_1) \\ | \end{array}$$

$$UGA2B = (UGA2A + FA) \& 131071$$

$$UGA2S = UGA2B \gg 16$$

$$UGA2 = \begin{cases} UGA2B \gg 7, & UGA2S = 0 \text{ y } SIGPK = 0 \\ (UGA2B \gg 7) + 64512, & UGA2S = 1 \text{ y } SIGPK = 0 \\ 0, & SIGPK = 1 \end{cases} \quad \begin{array}{l} | \\ | \\ | \text{ Cálculo de ganancia,} \\ | \text{ ganancia } = \pm 1/128 \\ | \\ | \\ | \end{array}$$

$$A2S = A2 \gg 15$$

$$ULA2 = \begin{cases} (65536 - (A2 \gg 7)) \& 65535, & A2S = 0 \\ (65536 - ((A2 \gg 7) + 65024)) \& 65535, & A2S = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ El factor de fuga} \\ | \text{ es } 1/128 \\ | \end{array}$$

$$UA2 = (UGA2 + ULA2) \& 65535$$

$$A2T = (A2 + UA2) \& 65535$$

| Actualización del cálculo
|

UPB

Entradas: Un, Bn, DQ
 Salida: BnP
 Función: Actualización de los coeficientes del predictor del sexto orden.

Para MICDA a 40 kbit/s (DQ de tipo 16 SM):

$$DQMAG = DQ \& 32767$$

$$UGBn = \begin{cases} 128, & Un = 0 \text{ y } DQMAG \neq 0 \\ 65408, & Un = 1 \text{ y } DQMAG \neq 0 \\ 0, & DQMAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \text{ Ganancia} = \pm 1/128 \text{ ó } 0 \\ | \\ | \end{array}$$

$$BnS = Bn \gg 15$$

$$ULBn = \begin{cases} (65536 - (Bn \gg 9)) \& 65535, & BnS = 0 \\ (65536 - ((Bn \gg 9) + 65408)) \& 65535, & BnS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ El factor de fuga es } 1/512 \\ | \end{array}$$

$$\begin{aligned} UBn &= (UGBn + ULBn) \& 65535, \\ BnP &= (Bn + UBn) \& 65535 \end{aligned} \quad \begin{array}{l} | \text{ Actualización del cálculo} \\ | \end{array}$$

Para MICDA a 32, 24 y 16 kbit/s (DQ de tipo 15 ó 16 SM):

$$DQMAG = \begin{cases} DQ \& 16383; & \text{para } DQ \text{ de tipo } 15 \text{ SM} \\ DQ \& 32767; & \text{para } DQ \text{ de tipo } 16 \text{ SM} \end{cases}$$

$$UGBn = \begin{cases} 128, & Un = 0 \text{ y } DQMAG \neq 0 \\ 65408, & Un = 1 \text{ y } DQMAG \neq 0 \\ 0, & DQMAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \text{ Ganancia} = \pm 1/128 \text{ ó } 0 \\ | \\ | \end{array}$$

$$BnS = Bn \gg 15$$

$$ULBn = \begin{cases} (65536 - (Bn \gg 8)) \& 65535, & BnS = 0 \\ (65536 - ((Bn \gg 8) + 65280)) \& 65535, & BnS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ El factor de fuga es } = 1/256 \\ | \end{array}$$

$$\begin{aligned} UBn &= (UGBn + ULBn) \& 65535 \\ BnP &= (Bn + UBn) \& 65535 \end{aligned} \quad \begin{array}{l} | \text{ Actualización del cálculo} \\ | \end{array}$$

XOR

Entradas: DQn, DQ
Salida: Un
Función: Un bit "exclusiva o" del signo de la señal diferencia y del signo de la señal diferencia retardada.

$$DQS = \begin{cases} DQ \gg 14: & \text{para } DQ \text{ de tipo 15 SM} \\ DQ \gg 15: & \text{para } DQ \text{ de tipo 16 SM} \end{cases}$$

$$DQnS = DQn \gg 10$$

$$Un = DQS ** DQnS \quad | \text{ 1 bit "exclusiva o"}$$

4.2.7 Detector de tono y transición

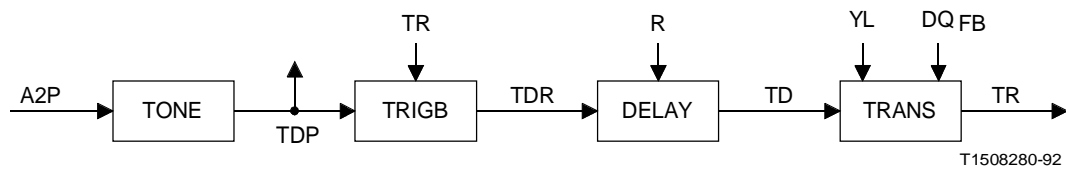


FIGURA 10/G.726

Detector de tono y transición

DELAY

Para la especificación, véase el § 4.2.4.

TONE

Entrada: A2P
Salida: TDP
Función: Detección de señales de banda parcial.

$$TDP = \begin{cases} 1, & 32768 \leq A2P \text{ y } A2P < 53760 \\ 0, & \text{en los demás casos.} \end{cases}$$

TRANS

Entradas: TD, YL, DQ
Salida: TR
Función: Detector de transición.

$$DQMAG = \begin{cases} DQ \& 16383: & \text{para } DQ \text{ de tipo } 15 \text{ SM} \\ DQ \& 32767: & \text{para } DQ \text{ de tipo } 16 \text{ SM} \end{cases}$$

$$YLINT = YL \gg 15$$

$$YLFRAC = (YL \gg 10) \& 31$$

$$THR1 = (32 + YLFRAC) \ll YLINT$$

$$THR2 = \begin{cases} 31 \ll 9, & YLINT > 8: \text{ para } DQ \text{ de tipo } 15 \text{ SM} \\ 31 \ll 10, & YLINT > 9: \text{ para } DQ \text{ de tipo } 16 \text{ SM} \\ THR1, & \text{en los demás casos.} \end{cases}$$

$$DQTHR = (THR2 + (THR2 \gg 1)) \gg 1$$

$$TR = \begin{cases} 1, & DQMAG > DQTHR \text{ y } TD = 1 \\ 0, & \text{en los demás casos.} \end{cases}$$

TRIGB

Para la especificación, véase el § 4.2.6.

4.2.8 Conversión de formato MIC de salida y ajuste de codificación

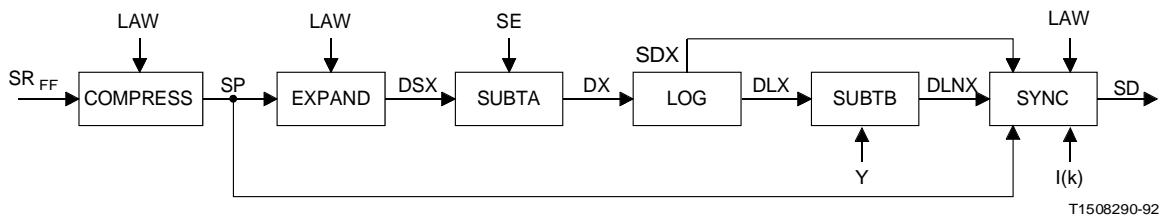


FIGURA 11/G.726

Conversión de formato MIC de salida y ajuste de codificación síncrona

COMPRESS (decodificador únicamente)

Entradas: SR, LAW

Salida: SP

Función: Conversión de una MIC uniforme en una MIC de la ley A o de ley μ .

$$IS = SR \gg 15$$

$$IM = \begin{cases} SR, & IS = 0 \\ (65536 - SR) \& 32767, & IS = 1 \end{cases} \quad \begin{array}{l} | \text{ Conversión de complemento,} | \text{ a dos en magnitud} \\ | \text{ con signo} \\ | \end{array}$$

$$IMAG = \begin{cases} IM, & LAW = 0 \\ IM \gg 1, & LAW = 1 \text{ y } IS = 0 \\ (IM + 1) \gg 1, & LAW = 1 \text{ y } IS = 1 \end{cases} \quad \begin{array}{l} | \text{ ley } \mu \\ | \text{ ley A} \\ | \end{array}$$

IMAG se cuantifica (véase la nota) de acuerdo con la Recomendación G.711 utilizando los valores de decisión (columna 5 de los cuadros 1a/G.711, 1b/G.711, 2a/G.711 y 2b/G.711) de la manera siguiente:

$$SP = \begin{cases} \text{señal de carácter después de la inversión de bits pares} \\ \text{deducida del cuadro 1a/G.711 (columna 6),} & IS = 0 \text{ y } LAW = 1 \\ \text{señal de carácter después de la inversión de bits pares} \\ \text{deducida del cuadro 1b/G.711 (columna 6),} & IS = 1 \text{ y } LAW = 1 \\ \text{señal de carácter del cuadro 2a/G.711 (columna 6),} & IS = 0 \text{ y } LAW = 0 \\ \text{señal de carácter del cuadro 2b/G.711 (columna 6),} & IS = 1 \text{ y } LAW = 0 \end{cases}$$

Nota – Cuando IMAC está fuera del intervalo definido por el nivel de decisión virtual, SP es igual a la palabra de código MIC máxima. Para mayor claridad en el cuadro 15/G.726 se indican ejemplos de conversión para ley A (después de la inversión de bits pares) y ley μ en la proximidad del origen:

CUADRO 15/G.726

Ejemplos de conversión para ley A y ley μ

IS	IMAG	Palabra de código MIC SP	
		ley A	ley μ
0	3	11010100	11111101
0	2	11010100	11111110
0	1	11010101	11111110
0	0	11010101	11111111
1	1	01010101	01111110
1	2	01010101	01111110
1	3	01010100	01111101

EXPAND

Para la especificación, véase el § 4.2.1. Sustituir S por SP como entrada y SL por SLX como salida.

LOG

Para la especificación, véase el § 4.2.2. Sustituir D por DX como entrada y DL por DLX y DS por DSX como salidas.

SUBTA

Para la especificación, véase el § 4.2.1. Sustituir LS por SLX como entrada y D por DX como salida.

SUBTB

Para la especificación, véase el § 4.2.2. Sustituir DL por DLX como entrada y DLN por DLNX como salida.

SYNC (decodificador únicamente)

Entradas: I, SP, DLNX, DSX, LAW

Salida: SD

Función: Recodificación de la muestra MIC de salida en el decodificador para codificación síncrona en cascada.

Para MICDA a 40 kbit/s:

$$IS = I \gg 4$$

$$IM = \begin{cases} I + 16, & IS = 0 \\ I \& 15, & IS = 1 \end{cases}$$

$$SD = \begin{cases} SP^+, & ID < IM \\ SP, & ID = IM \\ SP^-, & ID > IM \end{cases}$$

donde

SP^+ = palabra código MIC que representa el nivel de salida MIC más positivo siguiente (cuando SP representa el nivel de salida más positivo, SP^+ está forzado a tomar el valor SP),

y

SP^- = palabra código MIC que representa el nivel de salida MIC más negativo siguiente (cuando SP representa el nivel de salida más negativo, SP^- está forzado a tomar el valor SP).

Para MICDA a 32 kbit/s:

$$IS = I \gg 3$$

$$IM = \begin{cases} I + 8, & IS = 0 \\ I \& 7, & IS = 1 \end{cases}$$

ID se define con arreglo al cuadro siguiente:

CUADRO 16/G.726

Definición de ID para MICDA a 40 kbit/s

DSX	DLNX	ID	
0	553-2047	31	
0	528- 552	30	
0	502- 527	29	
0	475- 501	28	
0	445- 474	27	
0	413- 444	26	
0	378- 412	25	
0	339- 377	24	
0	298- 338	23	
0	250- 297	22	
0	198- 249	21	
0	139- 197	20	
0	68- 138	19	
0	0- 67	18	-- Parte positiva del intervalo de decisión
0	4080-4095	18	-- Parte negativa del intervalo de decisión
0	3974-4079	17	
0	2048-3973	15	
1	2048-3973	15	
1	3974-4079	14	
1	4080-4095	13	-- Parte negativa del intervalo de decisión
1	0- 67	13	-- Parte positiva del intervalo de decisión
1	68- 138	12	
1	139- 197	11	
1	198- 249	10	
1	250- 297	9	
1	298- 338	8	
1	339- 377	7	
1	378- 412	6	
1	413- 444	5	
1	445- 474	4	
1	475- 501	3	
1	502- 527	2	
1	528- 552	1	
1	553-2047	0	

ID se define con arreglo al cuadro siguiente:

CUADRO 17/G.726

Definición de ID para MICDA a 32 kbit/s

DSX	DLNX	ID	
0	400- 2047	15	
0	349- 399	14	
0	300- 348	13	
0	246- 299	12	
0	178- 245	11	
0	80- 177	10	
0	0- 79	9	-- Parte positiva del intervalo de decisión
0	3972-4095	9	-- Parte negativa del intervalo de decisión
0	2048-3971	7	
1	2048-3971	7	
1	3972-4095	6	-- Parte negativa del intervalo de decisión
1	0- 79	6	-- Parte positiva del intervalo de decisión
1	80- 177	5	
1	178- 245	4	
1	246- 299	3	
1	300- 348	2	
1	349- 399	1	
1	400-2047	0	

$$SD = \begin{cases} SP^+, & ID < IM \\ SP, & ID = IM \\ SP^-, & ID > IM \end{cases}$$

donde

SP^+ = palabra código MIC que representa el nivel de salida MIC más positivo siguiente (cuando SP representa el nivel de salida más positivo, SP^+ está forzado a tomar el valor SP),

y

SP^- = palabra código MIC que representa el nivel de salida MIC más negativo siguiente (cuando SP representa el nivel de salida más negativo, SP^- está forzado a tomar el valor SP).

Para MICDA a 24 kbit/s:

$$IS = I \gg 2$$

$$IM = \begin{cases} I + 4, & IS = 0 \\ I \& 3, & IS = 1 \end{cases}$$

ID se define con arreglo al cuadro siguiente:

CUADRO 18/G.726

Definición de ID para MICDA a 24 kbit/s

DSX	DLNX	ID	
0	331-2047	7	
0	218- 330	6	
0	8- 217	5	
0	0- 7	3	-- Parte positiva del intervalo de decisión
0	2048-4095	3	-- Parte negativa del intervalo de decisión
1	2048-4095	3	-- Parte negativa del intervalo de decisión
1	0- 7	3	-- Parte positiva del intervalo de decisión
1	8- 217	2	
1	218- 330	1	
1	331-2047	0	

$$SD = \begin{cases} SP^+, ID < IM \\ SP, ID = IM \\ SP^-, ID > IM \end{cases}$$

donde

SP^+ = palabra código MIC que representa el nivel de salida MIC más positivo siguiente (cuando SP representa el nivel de salida más positivo, SP^+ está forzado a tomar el valor SP),

y

SP^- = palabra código MIC que representa el nivel de salida MIC más negativo siguiente (cuando SP representa el nivel de salida más negativo, SP^- está forzado a tomar el valor SP).

Para MICDA a 16 kbit/s:

$$IS = I \gg 1$$

$$IM = \begin{cases} I + 2, IS = 0 \\ I \& 1, IS = 1 \end{cases}$$

ID se define con arreglo al cuadro siguiente:

CUADRO 19/G.726

Definición de ID para MICDA a 16 kbit/s

DSX	DLNX	ID	
0	261-2047	3	
0	0- 260	2	-- Parte positiva del intervalo de decisión
0	2048-4095	2	-- Parte negativa del intervalo de decisión
1	2048-4095	1	-- Parte negativa del intervalo de decisión
1	0- 260	1	-- Parte positiva del intervalo de decisión
1	261-2047	0	

Para facilitar la comprensión, el cuadro siguiente muestra ejemplos de recodificación para ley A (después de la inversión de los bits pares) y ley μ en las proximidades del origen.

CUADRO 20/G.726

Recodificación para ley A y ley μ : MICDA

Comparación de ID e IM	ley A		ley μ	
	SP	SD	SP	SD
ID > IM	11010101	01010101	11111110	11111111
ID = IM	"	11010101	"	11111110
ID < IM	"	11010100	"	11111101
ID > IM	01010101	01010100	11111111	01111110
ID = IM	"	01010101	"	11111111
ID < IM	"	11010101	"	11111110
ID > IM	01010100	01010111	01111110	01111101
ID = IM	"	01010100	"	01111110
ID < IM	"	01010101	"	01111111

Nota – SP (y SD) representan señales de carácter definidas según los cuadros 1/G.711 y 2/G.711. Para la representación exacta de SP (y SD) véase el subbloque COMPRESS (§ 4.2.8).

APÉNDICE I

(a la Recomendación G.726)

Aspectos relativos a la red

Este apéndice tiene por objeto presentar una descripción general de la interacción de la MICDA a 16, 24, 32 y 40 kbit/s con otros dispositivos que se encuentran en la red telefónica así como su efecto en señales específicas de la red. Se ofrecen también algunas orientaciones generales.

I.1 *Consideraciones generales sobre transmisión*

Las codificaciones a 24 y 16 kbit/s están destinadas a su utilización en canales de sobrecarga EMCD. Se recomienda alternar rápidamente la codificación de 32 kbit/s y 16 kbit/s ó 24 kbit/s de forma que se utilicen en promedio al menos 3,5 a 3,7 bits/muestra. Se necesitan estudios ulteriores para establecer la velocidad de alternancia. El método de alternancia no entra en el ámbito de la presente Recomendación. No cabe esperar que sea muy significativo el efecto de dicha alternancia sobre la calidad de la señal vocal. Para transmisión de datos no se recomienda la utilización de codificación a 24 ó 16 kbit/s.

La codificación a 40 kbit/s está destinada a su utilización en canales de módems de datos EMCD y equipos de multiplicación de circuitos con paquetización (EMCP), especialmente para funcionamiento de módems a velocidades de 7200, 9600 y 12 000 bits/s.

Habrá que considerar la acción correctiva apropiada, por ejemplo, con la utilización de técnicas de robo de bits para proporcionar una facilidad de señalización de velocidad limitada. Si no se presta la debida consideración a la interacción, se producirá una grave degradación de la calidad de funcionamiento.

En cambio, un canal a 64 kbit/s transmitido por un canal (o canales) MICDA no presentará integridad de bits.

I.2 *Interacción con otros procesos*

El ajuste de codificación síncrona se describe en los § 1.2 y 3.7 de la Recomendación. La operación favorable de este ajuste depende de las señales en el trayecto MICDA y en el trayecto inmediato a 64 kbit/s ninguno de los cuales se ve degradado por otros procesos digitales. Por ejemplo, la utilización de atenuadores digitales, conversores de ley A a ley μ , canceladores de eco o interpolación digital de la palabra (IDP) en esos puntos intermedios impedirá el correcto funcionamiento del ajuste. Sin embargo, la calidad de funcionamiento seguirá siendo mejor que la que se logra con una conexión asíncrona.

La utilización de un enlace MICDA para interconectar señales MIC de ley A a 64 kbit/s y señales de ley μ a 64 kbit/s se ha considerado satisfactoria para las señales vocales, aunque impedirá el correcto funcionamiento del ajuste de codificación síncrona entre el enlace MICDA utilizado y el enlace MICDA subsiguiente.

Las interacciones entre la MICDA y procesos tales como la IDP y la cancelación de eco (por ejemplo, ruido de cuantificación en el trayecto de eco) están todavía en estudio.

También se estudia el efecto de grandes desniveles en continua (procedentes de codificadores MIC) en la calidad de funcionamiento de una MICDA para señales de bajo nivel.

I.3 *Interacción con leyes de codificación distintas de la MIC*

La Recomendación no trata de la interacción con leyes de codificación distintas de la MIC y es posible que haya que emplear interconexión analógica.

Por tanto, habrá que tener mucho cuidado cuando se realice la interconexión con leyes de codificación de las que no tratan las Recomendaciones del CCITT.

I.4 *Sincronización codificador/decodificador*

El codificador y su respectivo decodificador deben funcionar siempre a la misma velocidad binaria (es decir, 16, 24, 32 ó 40 kbit/s), en caso contrario puede producirse un fuerte desalineamiento entre ambos dispositivos.

I.5 *Ajuste de codificación síncrona*

El ajuste de codificación síncrona funcionará correctamente cuando un par codificador/decodificar MICDA se conecte mediante un trayecto MIC a 64 kbit/s transparente a los bits a otro par codificador/decodificador que funcione a la misma velocidad. Cuando ambos pares codificador/decodificador funcionan a velocidades distintas, no puede garantizarse el adecuado funcionamiento síncrono en cascada.

I.6 *Calidad de funcionamiento con frecuencias vocales*

En condiciones de transmisión sin errores, la calidad percibida de las señales vocales en enlaces MICDA a 32 kbit/s es sólo ligeramente inferior a la percibida en enlaces MIC a 64 kbit/s. La diferencia sólo será importante cuando se utilizan varios enlaces así en cascada y no cuando se utilizan enlaces únicos. De ahí que haya que controlar el número de esos enlaces MICDA a 32 kbit/s en una conexión internacional. Con tasas de errores de transmisión superiores a $1 \cdot 10^{-4}$, la calidad percibida de las señales vocales en enlaces MICDA a 32 kbit/s es superior a la percibida en enlaces MIC a 64 kbit/s. En la Recomendación G.113 se señalan límites precisos para la parte internacional de la conexión y las prolongaciones nacionales. Las pruebas preliminares indican que para la señal vocal, la codificación MICDA a 40 kbit/s se comporta muy aproximadamente como la MIC a 64 kbit/s según la Recomendación G.711.

I.7 *Calidad de funcionamiento con telegrafía armónica*

En los enlaces MICDA a 32 kbit/s no pueden transportarse de forma satisfactoria los 24 canales de telegrafía armónica de la Recomendación R.35; por consiguiente, conviene establecer reglas de encaminamiento para evitar esta combinación.

I.8 *Calidad de funcionamiento con datos*

La transmisión de datos en banda vocal de hasta 2400 bit/s con módems que se ajustan a las Recomendaciones V.21, V.22 *bis*, V.23 y V.26 *ter* no estará sujeta a una degradación importante en enlaces MICDA a 32 kbit/s, siempre que el número de esos enlaces no exceda los límites de la Recomendación G.113.

La transmisión de datos en banda vocal a 4800 bit/s con módems que se ajustan a la Recomendación V.27 *bis*, es posible con MICDA a 32 kbit/s pero estará sujeta a degradaciones adicionales superiores a las que pueden esperarse en enlaces MIC normales a 64 kbit/s. Hay que tener más cuidado al utilizar ese servicio.

Es posible realizar transmisión de datos en banda vocal a velocidades de hasta 12 000 bit/s mediante MICDA a 40 kbit/s. Deben realizarse más estudios sobre el comportamiento de los módems V.33 que funcionan a 14 400 bit/s con MICDA a 40 kbit/s.

I.9 *Señalización multifrecuencia bitono (MFBT)*

No es probable que se encuentren grandes dificultades con la señalización multifrecuencia bitono en enlaces MICDA a 32 kbit/s o a 40 kbit/s. La utilización de multifrecuencia bitono para señalización de extremo a extremo está limitada por el número de enlaces en cascada. Deben realizarse más estudios sobre el comportamiento de este tipo de señalización con MICDA a 16 kbit/s ó 24 kbit/s.

I.10 *Facsímil*

No se espera ninguna degradación al utilizar MICDA a 40 kbit/s con aparatos facsímil del grupo 2 o del grupo 3 que se ajusten a la Recomendación T.3 o T.4 para velocidades de hasta 12 000 bit/s. Deben realizarse más estudios sobre el comportamiento del facsímil del grupo 3 a 14 450 bit/s con MICDA a 40 kbit/s. No se espera ninguna degradación grave al utilizar MICDA a 32 kbit/s con aparatos facsímil del grupo 2 que se ajustan a las Recomendaciones T.3 o T.4 para velocidades de hasta 12 000 bit/s.

APÉNDICE II

(a la Recomendación G.726)

Secuencias de prueba digitales para la verificación de los algoritmos de la Recomendación G.726

Este apéndice ofrece información sobre las secuencias de prueba digitales que se han elegido para la verificación de las realizaciones de los algoritmos de la Recomendación G.726. Pueden obtenerse copias de las secuencias en discos flexibles con una descripción detallada, enviando el pedido al servicio de ventas de la UIT (véase la carta colectiva N.º 11/XV, 1991).

II.1 *Objeto de las secuencias de prueba digitales*

Las secuencias digitales se utilizan para verificar la conformidad de una realización de un algoritmo de transcodificación digital. Las secuencias se eligen para poder probar los componentes aritméticos principales, dando con ello un nivel razonable de confianza al cumplimiento con esta Recomendación de una realización. Obsérvese que con un número limitado de secuencias de prueba no es posible demostrar la cobertura al 100% de todos los estados de la realización. Los puntos más generales de las pruebas de dichos algoritmos son motivo de investigación en cuanto a pruebas de circuitos VLSI y pruebas de conformidad de protocolos.

II.2 *Interfaz y formato del disco*

La UIT dispone de copias de las secuencias de prueba digitales en cuatro discos de 5 ¼". Los discos se han creado en el sistema operativo MS-DOS (versión 3.2 o más reciente), tienen formato MS-DOS y son de 1,2 Mbyte, doble cara alta densidad con 96 pistas por pulgada.