



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

**UIT-T**

**V.33**

SECTOR DE NORMALIZACIÓN  
DE LAS TELECOMUNICACIONES  
DE LA UIT

**COMUNICACIÓN DE DATOS  
POR LA RED TELEFÓNICA**

---

**MÓDEM A 14 400 bit/s NORMALIZADO PARA  
USO EN CIRCUITOS ARRENDADOS  
DE TIPO TELEFÓNICO PUNTO A PUNTO  
A CUATRO HILOS**

**Recomendación UIT-T V.33**

(Extracto del *Libro Azul*)

---

## NOTAS

- 1 La Recomendación UIT-T V.33 se publicó en el fascículo VIII.1 del Libro Azul. Este fichero es un extracto del Libro Azul. Aunque la presentación y disposición del texto son ligeramente diferentes de la versión del Libro Azul, el contenido del fichero es idéntico a la citada versión y los derechos de autor siguen siendo los mismos (Véase a continuación).
- 2 Por razones de concisión, el término «Administración» se utiliza en la presente Recomendación para designar a una administración de telecomunicaciones y a una empresa de explotación reconocida.

© UIT 1988, 1993

Reservados todos los derechos. No podrá reproducirse o utilizarse la presente Recomendación ni parte de la misma de cualquier forma ni por cualquier procedimiento, electrónico o mecánico, comprendidas la fotocopia y la grabación en micropelícula, sin autorización escrita de la UIT.

## Recomendación V.33

### MÓDEM A 14 400 bit/s NORMALIZADO PARA USO EN CIRCUITOS ARRENDADOS DE TIPO TELEFÓNICO PUNTO A PUNTO A CUATRO HILOS

(Melbourne, 1988)

## 1 Introducción

Este módem está destinado principalmente para uso en circuitos arrendados de calidad especial, a saber, conformes con la Recomendación M.1020 [1], o en circuitos conformes con la Recomendación M.1025 [2], pero ello no excluye su uso en circuitos de calidad inferior, a discreción de las Administraciones interesadas (véanse las notas 1 y 2).

Considerando que en los circuitos arrendados se emplean y se emplearán numerosos módems concebidos en función de las necesidades de las Administraciones y de los usuarios, la presente Recomendación no restringe en absoluto la utilización de cualesquiera otros tipos de módems.

Las características principales de este módem son las siguientes:

- a) velocidades de repliegue de 12 000 bit/s;
- b) posibilidad de funcionamiento en el modo dúplex o semidúplex, con portadora continua;
- c) modulación combinada de amplitud y de fase con funcionamiento síncrono;
- d) inclusión de una modulación de ocho estados con codificación por rejilla;
- e) inclusión facultativa de un multiplexor para la combinación de velocidades binarias de 12 000, 9600, 7200, 4800 y 2400 bit/s (véase la nota 3).

*Nota 1* – Se recomienda utilizar este módem principalmente en circuitos arrendados a cuatro hilos. Otras aplicaciones tales como la de reserva activa en la red con conmutación, o el modo semidúplex o multipunto, deben ser objeto de ulterior estudio. Los circuitos deberán ser de calidad especial, por ejemplo, los especificados en las Recomendaciones M.1020 [1] y M.1025 [2]. Sin embargo, conviene que las Administraciones y los usuarios tomen nota de que los módems que se ajustan a esta Recomendación, aún suponiendo que se apliquen adecuadamente, no funcionarán necesariamente de forma satisfactoria en todos los circuitos especificados en las Recomendaciones M.1020 y M.1025, particularmente en los casos en que el ruido es equivalente o próximo a la magnitud limitadora especificada.

*Nota 2* – En la realización de los módems deberá prestarse atención a la selección de las técnicas de ecualización adecuadas, si se pretende obtener un comportamiento admisible en circuitos conformes a la Recomendación M.1025.

*Nota 3* – Cuando se adopta la opción del multiplexor, las disposiciones de la sección 10 pueden prevalecer sobre las de otras secciones.

## 2 Señales de línea

2.1 La frecuencia portadora será de  $1800 \pm 1$  Hz. Los niveles de potencia utilizados se ajustarán a la Recomendación V.2.

### 2.2 Codificación espacial de las señales

2.2.1 A 14 400 bit/s, el tren de datos aleatorizado que ha de transmitirse se divide en grupos de 6 bits de datos consecutivos. Como muestra la figura 1/V.33 los dos bits primeros en tiempo de cada grupo  $Q_{1n}$  y  $Q_{2n}$  son, en un primer momento, codificados diferencialmente en  $Y_1$  e  $Y_2$  de acuerdo con el cuadro 1A/V.33. Los dos bits codificados diferencialmente  $Y_{1n}$  e  $Y_{2n}$  se aplican a la entrada de un codificador convolucional sistemático que genera un bit  $Y_{0n}$  redundante. Este bit redundante y los 6 bits de información  $Y_{1n}$ ,  $Y_{2n}$ ,  $Q_{3n}$ ,  $Q_{4n}$ ,  $Q_{5n}$  y  $Q_{6n}$  se hacen corresponder con las coordenadas del elemento de señal que ha de transmitirse, de acuerdo con el diagrama espacial de la señal indicado en la figura 2/V.33.

2.2.2 A la velocidad de repliegue de 12 000 bit/s, el tren de datos aleatorizado que ha de transmitirse se divide en grupos de cinco bits de datos consecutivos. El esquema de codificación por rejilla mostrado en la figura 1/V.33 se utiliza con las dos modificaciones siguientes: 1) se suprime la línea designada por  $Q_{6n}$  y 2) la correspondencia de los elementos de señal es entonces la indicada en la figura 3/V.33.

2.2.3 En el cuadro 1B/V.33 se describe la codificación diferencial utilizada para la señal a 4800 bit/s en el segmento 3 de las señales de sincronización (§ 8.3).

CUADRO 1A/V.33

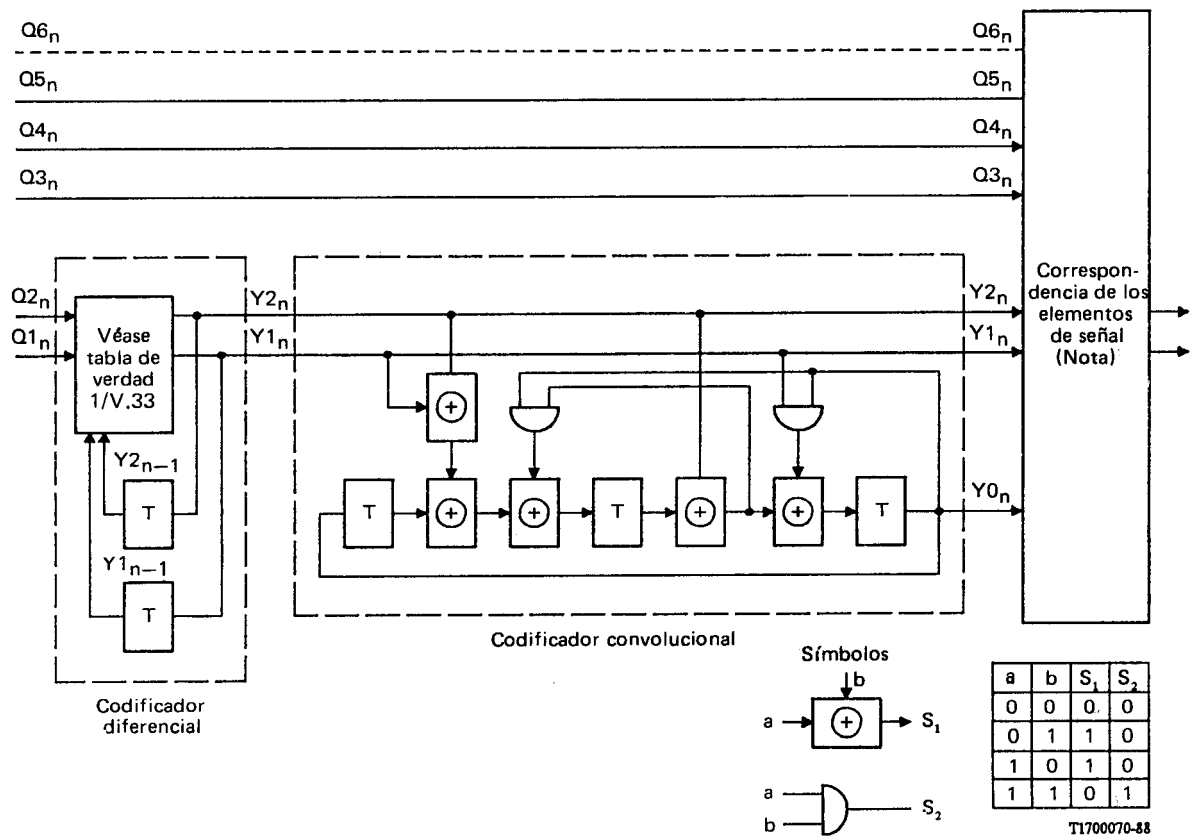
**Codificación diferencial utilizada con el esquema de codificación por rejilla**

Entradas		Salidas anteriores		Salidas	
$Q_{1n}$	$Q_{2n}$	$Y_{1n-1}$	$Y_{2n-2}$	$Y_{1n}$	$Y_{2n}$
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	1	0
0	0	1	1	1	1
0	1	0	0	0	1
0	1	0	1	0	0
0	1	1	0	1	1
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	1	1
1	0	1	0	0	1
1	0	1	1	0	0
1	1	0	0	1	1
1	1	0	1	1	0
1	1	1	0	0	0
1	1	1	1	0	1

**Codificación diferencial de los cuadrantes para la señal de 4800 bit/s**

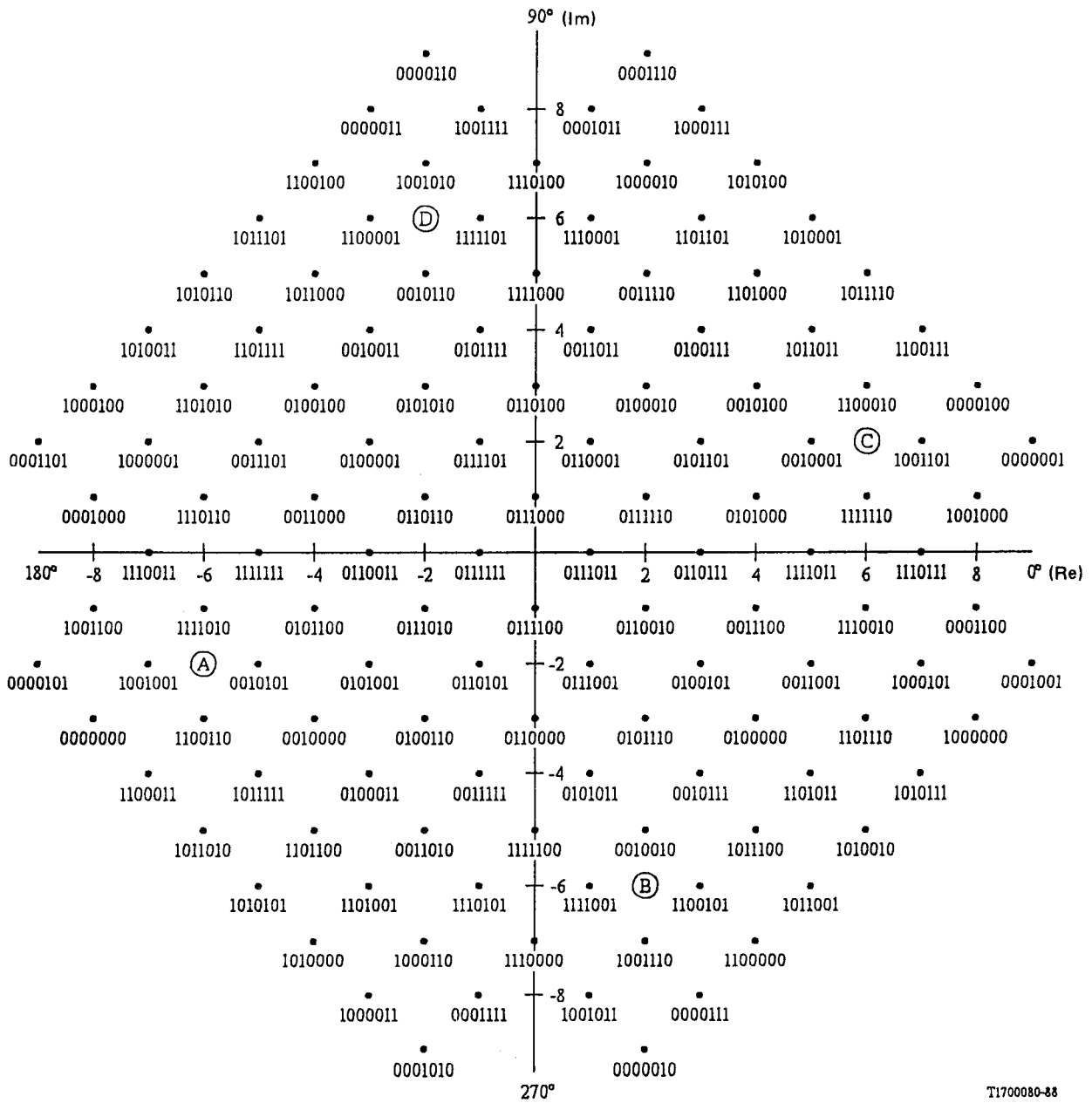
Entradas		Salidas anteriores		Cuadrante de fase	Salidas		Elemento de señal para 4800 bit/s	Coordenadas	
Q1 <sub>n</sub>	Q2 <sub>n</sub>	Y1 <sub>n-1</sub>	Y2 <sub>n-1</sub>		Y1 <sub>n</sub>	Y2 <sub>n</sub>		Re	Im
0	0	0	0	+90°	0	1	D	-2	+6
0	0	0	1		1	1	A	-6	-2
0	0	1	0		0	0	C	+6	+2
0	0	1	1		1	0	B	+2	-6
0	1	0	0	0°	0	0	C	+6	+2
0	1	0	1		0	1	D	-2	+6
0	1	1	0		1	0	B	+2	-6
0	1	1	1		1	1	A	-6	-2
1	0	0	0	+180°	1	1	A	-6	-2
1	0	0	1		1	0	B	+2	-6
1	0	1	0		0	1	D	-2	+6
1	0	1	1		0	0	C	+6	+2
1	1	0	0	+270°	1	0	B	+2	-6
1	1	0	1		0	0	C	+6	+2
1	1	1	0		1	1	A	-6	-2
1	1	1	1		0	1	D	-2	+6

*Nota* – Q1 es el primer bit en tiempo.



Nota - Para las velocidades de 14 400 bit/s y 12 000 bit/s véanse las Figuras 2 y 3/V.33, respectivamente.

FIGURA 1/V.33  
Codificador por rejilla a 14 400 bit/s y 12 000 bit/s

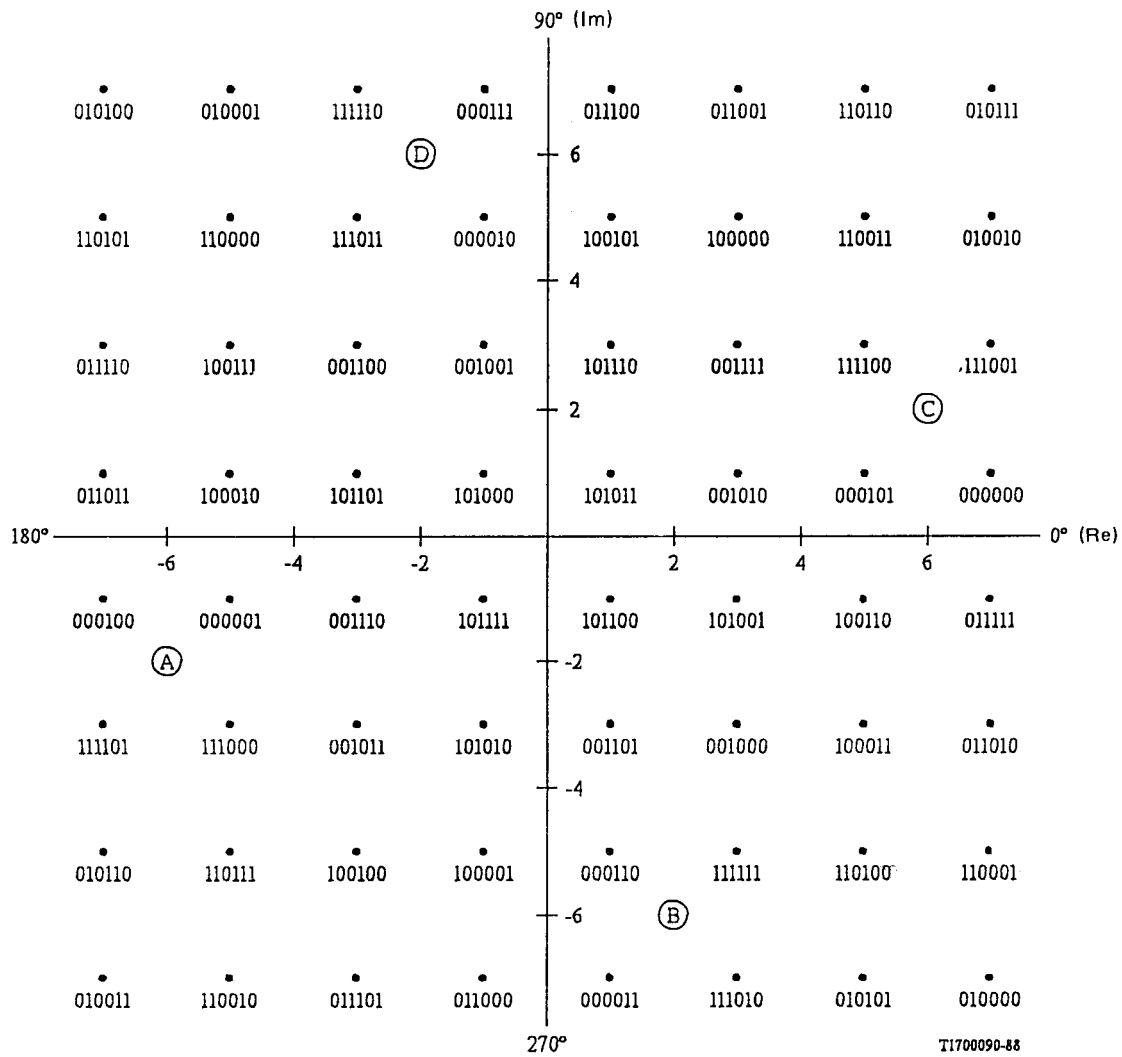


T1700080-88

Los números binarios se refieren a  $Q6_n, Q5_n, Q4_n, Q3_n, Y2_n, Y1_n, Y0$ ,  
 A, B, C, D se refieren a elementos de la señal de sincronización.

FIGURA 2/V.33

Diagrama espacial de la señal y correspondencia para la modulación codificada  
 por rejilla a 14 400 bit/s



Los números binarios se refieren a  $Q5_n, Q4_n, Q3_n, Y2_n, Y1_n, Y0_n$ ,  
 A, B, C, D, se refieren a elementos de la señal de sincronización.

FIGURA 3/V.33

Diagrama espacial de la señal y correspondencia para la modulación codificada por rejilla a 12 000 bit/s

### 3 Velocidades de señalización de datos y velocidad de modulación

Las velocidades de señalización de datos serán 14 400 y 12 000 bit/s  $\pm 0,01\%$ . La velocidad de modulación será de 2400 baudios  $\pm 0,01\%$ .

### 4 Tolerancia de frecuencia para la señal recibida

La tolerancia admitida para la frecuencia portadora en el transmisor es de  $\pm 1$  Hz; suponiendo una deriva máxima de frecuencia de  $\pm 6$  Hz en la conexión entre los módems, el receptor debe admitir errores de, como mínimo,  $\pm 7$  Hz en la frecuencia de la señal recibida.



## 5 Circuitos de enlace

### 5.1 Lista de los circuitos de enlace (cuadro 2/V.33)

CUADRO 2/V.33

**Circuito de enlace** (véase la nota 1)

N.º	Denominación	Notas	
102	Tierra de señalización o retorno común	Nota 2	
103	Transmisión de datos		
104	Recepción de datos		
105	Peticion de transmitir		
106	Preparado para transmitir		
107	Aparato de datos preparado		
109	Detector de señales de línea recibidas por el canal de datos		
111	Selector de velocidad de señalización de datos (origen ETD)		
112	Selector de velocidad de señalización de datos (origen ETCD)		
113	Temporización para los elementos de señal en la emisión (origen ETD)		
114	Temporización para los elementos de señal en la emisión (origen ETCD)		
115	Temporización para los elementos de señal en la recepción (origen ETCD)		
140	Conexión en bucle/Prueba de mantenimiento		Nota 3
141	Conexión en bucle local		Nota 3
142	Indicador de prueba		

*Nota 1* – Todos los circuitos de enlace esenciales y cualesquiera otros que se hayan previsto deberán satisfacer las condiciones funcionales y operacionales de la Recomendación V.24. Todos los circuitos de enlace indicados deberán estar debidamente terminados en el equipo terminal de datos y en el equipo de terminación del circuito de datos de conformidad con la Recomendación pertinente sobre las características eléctricas (véase el § 6).

*Nota 2* – No es esencial en funcionamiento con portadora permanente.

*Nota 3* – Los circuitos de enlace 140 y 141 son facultativos.

### 5.2 Umbral y tiempos de respuesta del circuito 109

#### 5.2.1 Umbral

- superior a  $-26$  dBm: circuito 109 en estado CERRADO
- inferior a  $-33$  dBm: circuito 109 en estado ABIERTO

No se especifica el estado del circuito 109 para los niveles comprendidos entre  $-26$  dBm y  $-33$  dBm, pero el detector de señales debe presentar un efecto de histéresis tal que el nivel en que se produzca la transición del estado ABIERTO al CERRADO sea por lo menos 2 dB superior al correspondiente a la transición del estado CERRADO al ABIERTO.

#### 5.2.2 Tiempos de respuesta

- paso del estado CERRADO al ABIERTO:  $40 \pm 10$  ms;
- paso del estado ABIERTO al CERRADO:
  - 1) para la ecualización inicial, el circuito 109 deberá estar CERRADO antes de que aparezcan datos de usuario en el circuito 104;
  - 2) para una reecualización durante la transferencia de datos, el circuito 109 se mantendrá en el estado CERRADO. Durante este periodo, el circuito 104 puede estar fijado en el estado 1 binario;

- 3) tras una interrupción de la señal de línea de duración mayor que el tiempo de transición del estado CERRADO al ABIERTO:
  - a) cuando no se necesite una nueva ecualización,  $25 \pm 10$  ms;
  - b) cuando se necesite una nueva ecualización, el circuito 109 deberá estar CERRADO antes de que aparezcan datos en el circuito 104.

Los tiempos de respuesta del circuito 109 son los que transcurren entre la aplicación o la supresión de una señal de línea, generada al aplicar 1 binario al circuito 103, en los terminales de recepción del módem, y la aparición del correspondiente estado CERRADO o ABIERTO en el circuito 109.

*Nota* – El tiempo de respuesta para el paso del circuito 109 del estado CERRADO al ABIERTO debe elegirse dentro de los límites especificados, de modo que asegure la aparición de todos los bits de datos válidos en el circuito 104.

### 5.3 *Tiempo de respuesta del circuito 106*

Una vez terminado el procedimiento completo de acondicionamiento, el tiempo que transcurre entre la transición del circuito 105 del estado ABIERTO al CERRADO y la transición del circuito 106 del estado ABIERTO al CERRADO será de  $15 \text{ ms} \pm 5 \text{ ms}$ .

El intervalo de tiempo entre el paso del estado CERRADO al ABIERTO del circuito 105 y al paso del estado CERRADO al ABIERTO del circuito 106 se escogerá de forma que se asegure que se han transmitido todos los elementos de señal válidos.

## 6 **Características eléctricas de los circuitos de enlace**

6.1 Se recomienda emplear las características eléctricas especificadas en la Recomendación V.28 junto con el plan de asignación de patillas de conector especificado en la publicación ISO 2110 [3].

### 6.2 *Condiciones de fallo en los circuitos de enlace*

(Véase el § 7 de la Recomendación V.28 en lo que respecta a la asociación de los tipos de detección de fallos del receptor.)

6.2.1 El ETD interpretará una condición de fallo en el circuito 107 como un estado ABIERTO utilizando el tipo 1 de detección de fallo.

6.2.2 El ETCDD interpretará una condición de fallo en el circuito 105 como un estado ABIERTO utilizando el tipo 1 de detección de fallo.

6.2.3 Todos los demás circuitos a los que no se hace referencia en los apartados precedentes podrán utilizar los tipos 0 ó 1 de detección de fallo.

### 6.3 *Disposiciones de temporización*

Conviene incluir en el módem relojes que proporcionen al equipo terminal de datos una temporización para los elementos de señal en la emisión, circuito 114, y para los elementos de señal en la recepción, circuito 115. En esta disposición, el transmisor puede o bien funcionar como una fuente independiente de temporización o recibir ésta por una conexión en bucle (temporización en la emisión subordinada a la temporización en la recepción). La temporización por bucle puede ser deseable en algunas aplicaciones de redes.

Se puede también generar la temporización para los elementos de señal en la emisión en el equipo terminal de datos y transferirla al módem por el circuito de enlace 113.

## 7 **Aleatorizador**

El módem incluirá un aleatorizador/desaleatorizador de sincronización automática con el polinomio generador  $1 + x^{-18} + x^{-23}$ .

En el transmisor, el aleatorizador dividirá el polinomio del mensaje, cuyos coeficientes en sentido descendente están representados por la secuencia de datos de entrada, por el polinomio generador del aleatorizador, generándose así la secuencia transmitida. En el receptor, el polinomio recibido, cuyos coeficientes en sentido descendente están representados por la secuencia de datos recibidos, se multiplicará por el polinomio generador del aleatorizador, reconstituyéndose así la secuencia del mensaje.

Los procedimientos de aleatorización y desaleatorización se describen en detalle en el Anexo.

## 8 Señales de sincronización

La transmisión de señales de sincronización puede iniciarla el módem o el equipo terminal de datos asociado. Cuando el módem receptor requiere nueva sincronización, pone el circuito 106 en estado ABIERTO y genera una secuencia de señal de sincronización.

Las señales de sincronización para todas las velocidades de señalización de datos se dividen en cuatro segmentos como se indica en el cuadro 3/V.33.

CUADRO 3/V.33

	Segmento 1	Segmento 2 acondiona- miento	Segmento 3	Segmento 4	Total
Tipo de señal de línea	Alternancias ABAB	Esquema de acondiona- miento del ecualizador	Secuencia de cadencia	“Todos unos” binarios aleatorizados	Señal completa de sincronización
Número de intervalos símbolo	256	2976	64	48	3344
Duración aproximada en ms	106	1240	27	20	1393

8.1 El segmento 1 consiste en alternancias entre los estados A y B, como se indica en las figuras 2 y 3/V.33 durante 256 intervalos de símbolo.

### 8.2 Segmento 2: Esquema de acondicionamiento del ecualizador

El segmento 2 consiste en la transmisión secuencial de cuatro elementos de señal A, B, C y D. Estos elementos de señal se muestran en las figuras 2/V.33 y 3/V.33. El esquema de acondicionamiento del ecualizador es una secuencia pseudoaleatoria a 4800 bit/s generada por el aleatorizador de datos mediante el polinomio  $1 + x^{-18} + x^{-23}$ . Durante el segmento 2, toda codificación de cuadrante diferencial está inhabilitada y los dibits aleatorizados se codifican como sigue:

$$00 = C \quad 01 = D \quad 11 = A \quad 10 = B$$

Con un 1 binario aplicado a la entrada, el estado inicial del aleatorizador deberá escogerse de manera que produzca el siguiente esquema de salida y los correspondientes elementos de señal:

00	01	00	01	00	01	00	01	00	01	00	01	10	01	10	01
C	D	C	D	C	D	C	D	C	D	C	D	B	D	B	D

El segmento 2 continúa durante 2976 intervalos de símbolo.

### 8.3 Segmento 3: Señal de cadencia

La señal de cadencia consiste en una secuencia de 16 elementos binarios repetida 8 veces. Esta secuencia, definida en el cuadro 4/V.33, se aleatoriza y transmite a 4800 bit/s con los dibits codificados diferencialmente como se indica en el cuadro 1B/V.33. El codificador diferencial se inicializa con el último símbolo del segmento precedente.

Los dos primeros bits y los dibits siguientes de cada secuencia de cadencia se codificarán como un solo estado de señal.

La señal de cadencia podrá utilizarse para establecer la velocidad de señalización de datos entre los módems y para facilitar información sobre la configuración del multiplexor u otro tipo de información relativa a la configuración (a reserva de ulterior estudio). Cuando  $B14 = 0$ , sólo se transmite información sobre la velocidad de señalización de conformidad con el cuadro 4A/V.33. Cuando  $B14 = 1$ , rige la asignación del cuadro 4B/V.33.

El requisito mínimo para la detección es la recepción de dos secuencias idénticas consecutivas de 16 bits, en cada una de las cuales los bits B0-3, B7, B11 y B15 se ajustan al cuadro 4/V.33. Tras la detección de la secuencia de cadencia, el receptor deberá ser condicionado de modo que reciba datos a la mayor velocidad común con la configuración de multiplexor indicada.

CUADRO 4A/V.33

**Designaciones de los bits**

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0				1				1			0	1
BO-3, B7, B11, B15		Para sincronización en una señal de cadencia recibida													
B4-6		Sin definir (para estudio ulterior)													
B8		1		Indica capacidad para transmitir y recibir datos a 12 000 bit/s (Nota)											
B9		1		Indica capacidad para transmitir y recibir datos a 14 000 bit/s (Nota)											
B10, B12, B13		Sin definir (para estudio ulterior)													

*Nota* – Al transmitir una señal de velocidad, el módem transmitirá los bits B8 B9 con valores de 11 ó 01 cuando la velocidad de señalización de datos del segmento 4 sea igual a 14,4 kbit/s y B8 B9 = 10 cuando la velocidad de señalización de datos del segmento 4 sea igual a 12 kbit/s.

CUADRO 4B/V.33

**Designaciones de los bits**

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0				1				1			1	1
BO-3, B7, B11, B15		Para sincronización en una señal de cadencia recibida													
B4, B5		00		Indican que B6, B10, B12, B13 definen una configuración de multiplexor seleccionada (nota 1)											
B8		1		Indica capacidad para transmitir y recibir datos a 12 000 bit/s (notas 1 y 3)											
B9		1		Indica capacidad para transmitir y recibir datos a 14 400 bit/s (notas 1 y 3)											
B6, B10, B12, B13		Configuración de multiplexor seleccionada (véanse la nota 2 y los cuadros 5A y 5B/V.33)													

*Nota 1* – Pueden utilizarse otras combinaciones de B4, B5 para indicar que B6, B8, B9, B10, B12 y B13 definen otro tipo de información relativa a la configuración (para ulterior estudio).

- Nota 2* –
- a) B6, B10, B12, B13 = todos CERO: modo manual;
  - b) B6, B10, B12, B13 representación binaria de 1 a 11 (B6 = BMS es el bit más significativo). Indica la configuración de multiplexor deseada como se muestra en los cuadros 5A y 5B/V.33;
  - c) B6, B10, B12, B13 = todos UNO: modo programable a distancia. Si un módem está configurado así, transmitirá siempre esta secuencia;
  - d) B6, B10, B12, B13 las combinaciones no utilizadas pueden utilizarse como opción del fabricante;
  - e) se recomienda que ambos módems se configuren según el mismo modo de multiplexor o que un módem se configure en el modo programable a distancia.

*Nota 3* – Al transmitir una señal de velocidad, el módem transmitirá los bits B8 B9 con valores de 11 ó 01 cuando la velocidad de señalización de datos del segmento 4 sea igual a 14,4 kbit/s y B8 B9 = 10 cuando la velocidad de señalización de datos del segmento 4 sea igual a 12 kbit/s.

#### 8.4 Segmento 4

La codificación diferencial que se ha de utilizar en este segmento se define en el cuadro 1A/V.33. El codificador diferencial se inicializará con el tercer símbolo del segmento anterior. El segmento 4 comenzará con los estados iniciales de los elementos de retardo del codificador convolucional (véase la figura 1/V.33) con puesta a cero.

El segmento 4 inicia la transmisión a la velocidad más alta indicada por el segmento 3, de acuerdo con la codificación descrita en el § 2.2, con una señal continua “todos UNOS” binarios aplicada a la entrada del aleatorizador de datos. La duración del segmento 4 es de 48 intervalos de símbolo. Al terminar el segmento 4, el circuito 106 pasa al estado CERRADO, y se aplican datos de usuario a la entrada del aleatorizador de datos.

### 9 Procedimiento de acondicionamiento-reacondicionamiento

Se preverá un ecualizador de adaptación automática en el receptor.

El receptor incluirá medios para detectar la pérdida de ecualización e iniciará la transmisión de una secuencia de señales de sincronización por su transmisor local asociado.

El receptor incluirá medios para detectar una secuencia de señal de sincronización, y de la secuencia de cadencia, procedentes del transmisor distante, e iniciar la transmisión de una secuencia de señal de sincronización por su transmisor local asociado, lo que podrá hacerse en cualquier momento durante la recepción de la secuencia de señal de sincronización, cualquiera que sea el estado del circuito 105.

Cualquiera de los módems puede iniciar una secuencia de señal de sincronización. Las señales de sincronización se transmiten cuando el receptor detecta una pérdida de la ecualización, o un cambio en la velocidad de señalización de datos o en la selección de la configuración del multiplexor (efectuado por un interruptor o por el circuito 111). Después de iniciar las señales de sincronización, el módem esperará una señal de sincronización procedente del transmisor distante.

Después de transmitir la secuencia de señal de sincronización, si el módem no recibe una señal de sincronización del transmisor distante en un intervalo igual al tiempo máximo previsto para la propagación en ambos sentidos, transmitirá otra señal de sincronización. Se recomienda un intervalo de 1,2 segundos.

Si el módem no se sincroniza con la secuencia de señal recibida, o no detecta la señal de cadencia, o no puede proporcionar la velocidad solicitada, o está transmitiendo a una velocidad mayor que la solicitada, transmitirá otra señal de sincronización con la secuencia de cadencia y la velocidad de señalización de datos conformes a la velocidad máxima común, siempre que no haya estado transmitiendo una secuencia de sincronización en el último intervalo de 1,2 segundos.

Si el módem recibe una señal de sincronización sin haber iniciado la transmisión de una señal de sincronización y el receptor se sincroniza adecuadamente, devuelve una sola secuencia de sincronización.

*Nota* – Cuando se inicia una secuencia de sincronización como consecuencia de una pérdida de ecualización, debe mantenerse la anterior configuración de multiplexor.

### 10 Multiplexación (véanse los cuadros 5A/V.33 y 5B/V.33)

Puede incluirse una opción de multiplexación para combinar subcanales de datos a 12 000, 9600, 7200, 4800 y 2400 bit/s en un solo tren binario global, para transmisión. Los bits del modulador quedan identificados al efectuar la asignación como se indica en el § 2.2.

CUADRO 5A/V.33

Velocidad global global (bit/s)	Configuración múltiplex	Velocidad de subcanal (bit/s)	Canal múltiplex	Bits de modulación					
				Q1	Q2	Q3	Q4	Q5	Q6
14 400	1	14 400	A	X	X	X	X	X	X
14 400	2	12 000 2 400	A B	X	X	X	X	X	X
14 400	3	9 600 4 800	A B	X	X	X	X	X	X
14 400	4	9 600 2 400 2 400	A B C	X	X	X	X	X	X
14 400	5	7 200 7 200	A B	X	X	X	X	X	X
14 400	6	7 200 4 800 2 400	A B C	X	X	X	X	X	X
14 400	7	7 200 2 400 2 400 2 400	A B C D	X	X	X	X	X	X
14 400	8	4 800 4 800 4 800	A B C	X	X	X	X	X	X
14 400	9	4 800 4 800 2 400 2 400	A B C D	X	X	X	X	X	X
14 400	10	4 800 2 400 2 400 2 400 2 400	A B C D E	X	X	X	X	X	X
14 400	11	2 400 2 400 2 400 2 400 2 400 2 400	A B C D E F	X	X	X	X	X	X

Nota – Cuando se asigna a un subcanal más de un bit de modulación, el primer bit en tiempo del subcanal se asigna al primer bit disponible en tiempo del modulador.

CUADRO 5B/V.33

Velocidad global (bit/s)	Configuración múltiplex	Velocidad de subcanal (bit/s)	Canal múltiplex	Bits de modulación					
				Q1	Q2	Q3	Q4	Q5	Q6
12 000	1	12 000	A	X	X	X	X	X	
12 000	2	9 600 2 400	A B	X	X	X	X	X	
12 000	3	7 200 4 800	A B	X	X	X	X	X	
12 000	4	7 200 2 400 2 400	A B C	X	X	X	X	X	
12 000	5	4 800 4 800 2 400	A B C	X	X	X	X	X	
12 000	6	4 800 2 400 2 400 2 400	A B C D	X	X	X	X	X	
12 000	7	2 400 2 400 2 400 2 400 2 400	A B C D E	X	X	X	X	X	

*Nota* – Cuando se asigna a un subcanal más de un bit de modulación, el primer bit en tiempo del subcanal se asigna al primer bit disponible en tiempo del modulador.

10.1 *Lista de circuitos de enlace relacionados con puertos de multiplexor*

CUADRO 6/V.33

Circuitos de enlace (véase Nota 1)		Puerto A	Puertos B, C, D, E y F	Notas
N.º	Denominación			
102	Tierra de señalización o retorno común	X	X	
103	Transmisión de datos	X	X	
104	Recepción de datos	X	X	
105	Petición de transmitir	X	X	Nota 2
106	Preparado para transmitir	X	X	Nota 3
107	Aparato de datos preparado	X	X	
109	Detector de señales de línea recibidas por el canal de datos	X	X	
111	Selector de velocidad de señalización de datos (origen ETD)	X		Nota 4
113	Temporización para los elementos de señal en la emisión (origen ETD)	X	X	
114	Temporización para los elementos de señal en la recepción (origen ETCD)	X	X	
115	Temporización para los elementos de señal en la recepción (origen ETCD)	X	X	
140	Conexión en bucle/prueba de mantenimiento	X	X	Nota 5
141	Conexión en bucle local	X		Notas 5 y 6
142	Indicador de prueba	X	X	Nota 7

*Nota 1* – Todos los circuitos de enlace esenciales y cualesquiera otros que se hayan previsto deberán satisfacer las condiciones funcionales y operacionales de la Recomendación V.24. Todos los circuitos de enlace marcados con una X deberán estar debidamente terminados en el equipo terminal de datos y en el equipo de terminación del circuito de datos de conformidad con la Recomendación pertinente sobre las características eléctricas (véase el § 6).

*Nota 2* – El circuito 105 no se necesita para transmisión con portadora permanente. La señal de línea transmitida no será controlada por este circuito de enlace. De necesitarse el circuito 105 (cuando existe el multiplexor), se utiliza para controlar el circuito 109 en el ETCD distante. Véase el § 10.4.

*Nota 3* – Durante el proceso de sincronización del ETCD principal, el estado ABIERTO del circuito 106 se señala en todos los interfaces de puerto.

*Nota 4* – El circuito 111 es facultativo en el puerto A. Cuando existe, el circuito 111 es activado en la configuración de multiplexor 1 de la misma manera que si no hubiera multiplexor.

*Nota 5* – Los circuitos 140 y 141 son facultativos.

*Nota 6* – El circuito 141 sólo existe en el puerto A. Cuando se utiliza en configuraciones de multiplexor distintas de la 1, la conexión en bucle tiene lugar en todos los puertos.

*Nota 7* – El circuito 142 existe en todos los puertos del multiplexor, pero puede activarse por cada puerto para las pruebas individuales de los distintos puertos. para las pruebas del ETCD completo se activan todos los puertos simultáneamente.

10.2 *Memorias tampón en la emisión*

En el transmisor de cada puerto del multiplexor habrá una memoria tampón de datos de capacidad adecuada. Esto permitirá absorber variaciones de fase y, dentro de ciertos límites, desviaciones de frecuencia. La memoria tampón se inicializará cuando se produzca la transición del estado ABIERTO al CERRADO del circuito 105 y puede reposicionarse en caso de desbordamiento de la memoria tampón.

*Nota* – La memoria tampón puede ser inicializada por una señal de resincronización enviada por el ETCD.



### 10.3 Disposiciones de temporización para los puertos de emisión

El cuadro 7/V.33 muestra todas las posibles combinaciones de las disposiciones de temporización entre los puertos de emisión y el ETCD principal.

CUADRO 7/V.33

Origen de la temporización para los elementos de señal en el puerto de emisión (utilizada como reloj en el circuito 103)	Origen de la temporización interna del ETCD para los elementos de señal en la transmisión (reloj interno de transmisión)	Memoria tampón en el puerto de emisión
114 (origen ETCD)	Interna (Temporización independiente)	Innecesaria
	Externa <sup>a)</sup> (Circuito 113 del puerto seleccionado)	Innecesaria
	Temporización del receptor (Temporización por bucle)	Innecesaria
113 (origen ETD <sup>a)</sup> )	Interna (Temporización independiente)	Necesaria
	Externa <sup>a)</sup> (Circuito 113 del puerto seleccionado)	Necesaria para todos los puertos salvo para el que proporcional el circuito 113 al ETCD
	Temporización del receptor (Temporización por bucle)	Necesaria

<sup>a)</sup> En estas aplicaciones, la fuente puede ser también otro ETCD.

### 10.4 Operación del circuito 105 al circuito 109 simulada por puerto (facultativa)

La operación simulada del circuito 105 al circuito 109 en un interfaz de puerto individual puede proporcionarse facultativamente de acuerdo con la Recomendación V.13.

## ANEXO A

(a la Recomendación V.33)

### Procesos detallados de aleatorización, desaleatorización y de generación de secuencias pseudoaleatorias

#### A.1 Aleatorización

El polinomio de mensaje se divide por el polinomio generador  $1 + x^{-18} + x^{-23}$  (véase la figura A.1/V.33). Los coeficientes del cociente de esta división, tomados en orden decreciente, forman la secuencia de datos que debe transmitirse. El registro de desplazamiento debe precondicionarse de manera que produzca el esquema de salida definido en el § 8.2 (el estado inicial que debe tener el aleatorizador para generar ese esquema es: 1010, 1011, 1011, 0011, 0111, 010). El aleatorizador deberá estar cadenciado a 4800 Hz durante los segmentos 2 y 3, y a la velocidad de

datos durante el segmento 4. Durante los segmentos 2, 3 y 4 y durante la transmisión normal de datos, el registro de desplazamiento es excitado por datos aleatorizados  $D_s$ :

$$D_s = D_i + D_s x^{-18} + D_s x^{-23}$$

donde  $D_i$  es 1 binario durante los segmentos 2 y 4 y la secuencia de cadencia durante el segmento 3.

### A.2 Desaleatorización

El polinomio representado por la secuencia recibida se multiplica por el polinomio generador (figura A.2/V.33) a fin de restituir el polinomio del mensaje. Los coeficientes del polinomio restituido, tomados en orden decreciente, constituyen la secuencia de datos de salida  $D_o$ .

$$D_o = D_i = D_s (1 + x^{-18} + x^{-23})$$

### A.3 Elementos del proceso de aleatorización

El polinomio  $1 + x^{-18} + x^{-23}$  genera una secuencia pseudoaleatoria de longitud  $2^{23} - 1 = 8.388.607$ . Esta larga secuencia hace innecesario un polinomio de guarda destinado a impedir la aparición de configuraciones repetitivas, y es particularmente fácil de realizar con circuitos integrados.

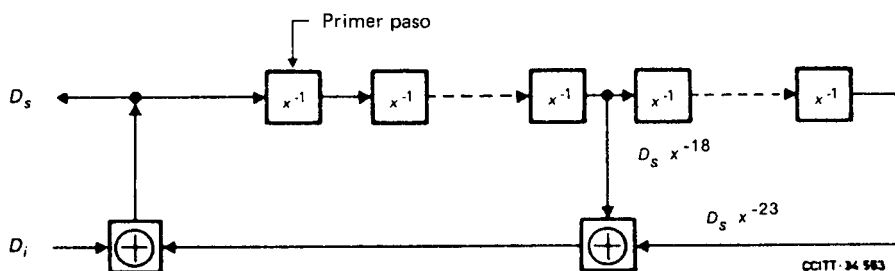


FIGURA A-1/V.33

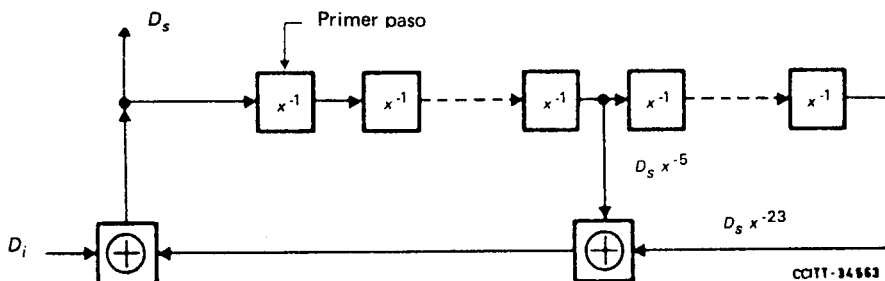


FIGURA A-2/V.33

### Referencias

- [1] Recomendación del CCITT *Características de los circuitos internacionales arrendados de calidad especial con acondicionamiento especial en anchura de banda*, Tomo IV, fascículo IV.2, Rec. M.1020.
- [2] Recomendación del CCITT *Características de los circuitos internacionales arrendados de calidad especial con acondicionamiento básico en la anchura de banda*, Tomo IV, fascículo IV.2, Rec. M.1025.
- [3] Data communication – 25-pin DTE/DCE interface connector and pin assignments, Norma Internacional ISO 2110.