



UNION INTERNATIONALE DES TÉLÉCOMMUNICATIONS

CCITT

G.727

COMITÉ CONSULTATIF
INTERNATIONAL
TÉLÉGRAPHIQUE ET TÉLÉPHONIQUE

**ASPECTS GÉNÉRAUX DES SYSTÈMES
DE TRANSMISSION NUMÉRIQUES;
ÉQUIPEMENTS TERMINAUX**

**MODULATION PAR IMPULSIONS ET CODAGE
DIFFÉRENTIEL ADAPTATIF (MICDA)
IMBRIQUÉ À 5, 4, 3 ET 2 BITS PAR
ÉCHANTILLON**

Recommandation G.727



Genève, 1990

AVANT-PROPOS

Le CCITT (Comité consultatif international télégraphique et téléphonique) est l'organe permanent de l'Union internationale des télécommunications (UIT). Il est chargé de l'étude des questions techniques, d'exploitation et de tarification, et émet à ce sujet des Recommandations en vue de la normalisation des télécommunications à l'échelle mondiale.

L'Assemblée plénière du CCITT, qui se réunit tous les quatre ans, détermine les thèmes d'études et approuve les Recommandations rédigées par ses Commissions d'études. Entre les Assemblées plénières, l'approbation des Recommandations par les membres du CCITT s'effectue selon la procédure définie dans la Résolution n° 2 du CCITT (Melbourne, 1988).

La Recommandation G.727, que l'on doit à la Commission d'études XV, a été approuvée le 14 décembre 1990 selon la procédure définie dans la Résolution n° 2.

NOTE DU CCITT

Dans cette Recommandation, l'expression «Administration» est utilisée pour désigner de façon abrégée aussi bien une Administration de télécommunications qu'une exploitation privée reconnue de télécommunications.

© UIT 1990

Droits de reproduction réservés. Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

Recommandation G.727

MODULATION PAR IMPULSIONS ET CODAGE DIFFÉRENTIEL ADAPTATIF (MICDA) IMBRIQUÉ À 5, 4, 3 ET 2 BITS PAR ÉCHANTILLON

1 Introduction

La présente Recommandation contient la spécification d'algorithmes de modulation par impulsions et codage différentiel adaptatif (MICDA) imbriqué, opérant à 5, 4, 3 et 2 bits par échantillon (c'est-à-dire à des débits de 40, 32, 24 et 16 kbit/s). Les caractéristiques ci-dessous sont recommandées pour la conversion de voies MIC à 64 kbit/s (loi A ou loi μ) en/à partir de voies MICDA imbriqué à débit variable.

Cette Recommandation définit la loi de transcodage applicable lorsque le signal source est un signal modulé par impulsions et codage, au débit numérique de 64 kbit/s, produit à partir de signaux analogiques aux fréquences vocales, conformément aux spécifications détaillées de la Recommandation G.711, Livre bleu du CCITT.

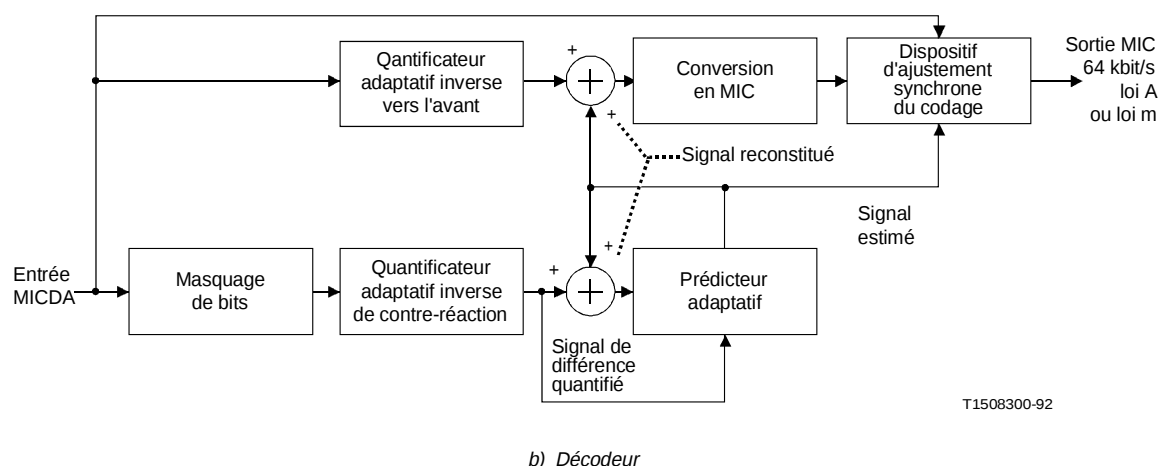
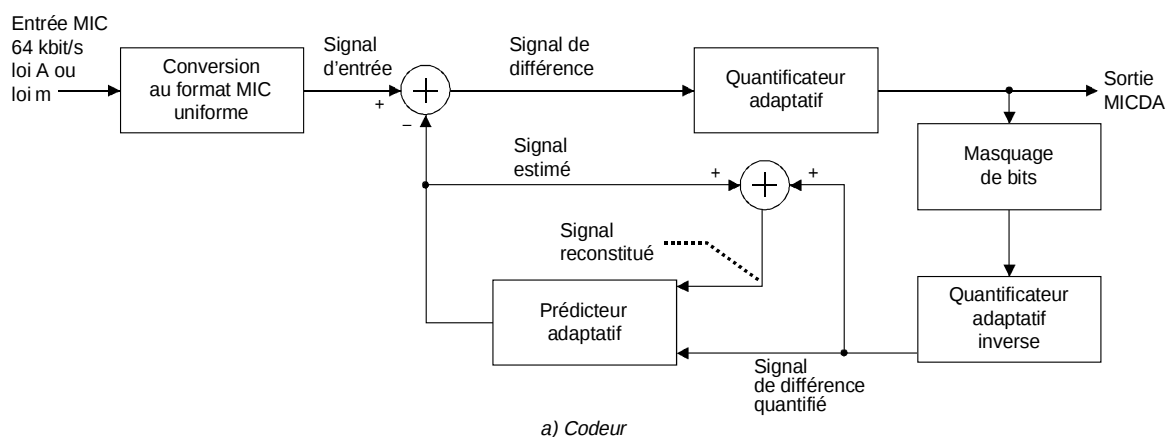
Les applications où le codeur connaît, et le décodeur ignore, la manière dont les bits du mot de code de la MICDA ont été modifiés, ou celles où le codeur et le décodeur connaissent la manière dont les mots de code sont modifiés, ou celles où ni le codeur ni le décodeur ne connaissent la manière dont les bits ont été modifiés, peuvent profiter d'autres algorithmes de MICDA imbriqué.

2 Considérations générales

Les algorithmes de MICDA imbriqué spécifiés ici sont le prolongement des algorithmes de MICDA définis dans la Recommandation G.726, et leur usage est recommandé dans les systèmes de transmission de la parole par paquets qui fonctionnent conformément au protocole de transmission de la parole par paquets (PVP), défini dans la Recommandation G.764.

Le PVP permet d'atténuer l'encombrement en modifiant la taille d'un paquet de parole lorsque le besoin s'en fait sentir. Du fait que l'algorithme décrit ici est imbriqué, on peut se passer d'un ou plusieurs bits de plus faible poids de chaque mot de code aux points de mise en paquets et/ou aux nœuds intermédiaires, afin d'atténuer l'encombrement. Cette méthode donne de bien meilleurs résultats que l'abandon de paquets pendant les phases d'encombrement.

Le § 3 présente les grandes lignes de l'algorithme de transcodage MICDA. La figure 1/G.727 représente un schéma de principe simplifié du codeur et du décodeur. Les § 4 et 5 décrivent les principes et le fonctionnement des algorithmes MICDA, respectivement de codage et de décodage. Le § 6 contient les détails du calcul de l'algorithme. Dans ce dernier paragraphe, chaque sous-bloc du codeur et du décodeur est défini avec précision à l'aide d'une séquence logique particulière. Au cas où d'autres méthodes de calcul seraient employées, il faudrait prendre grand soin qu'elles donnent *exactement* les mêmes valeurs des variables de traitement des sorties. Tout autre écart relativement aux processus définis au § 6 entraînera des pertes de performance qui pourront être graves.



T1508300-92

FIGURE 1/G.727

Schémas de principe simplifiés

3 Algorithmes de MICDA imbriqué

Les algorithmes de MICDA imbriqué sont des algorithmes de codage à débit variable, ayant la possibilité d'abandonner des bits hors des blocs de codage et de décodage. Ils sont constitués d'une suite d'algorithmes telle que les niveaux de décision des quantificateurs des plus faibles débits sont des sous-ensembles de ceux du quantificateur du débit le plus élevé. Ceci permet des réductions du nombre de bits en tout point du réseau sans qu'une coordination de l'émetteur et du récepteur ne soit nécessaire. Par contraste, les niveaux de décision des algorithmes MICDA classiques, tels que ceux de la Recommandation G.726, ne sont pas des sous-ensembles les uns des autres et, par conséquent, il faut que l'émetteur informe le récepteur du débit et de l'algorithme de codage.

Les algorithmes imbriqués peuvent faire face au caractère imprévisible et en rafale des configurations de trafic qui nécessitent la réduction de l'encombrement. Etant donné que la réduction de l'encombrement peut se produire après le codage, le codage imbriqué diffère du codage à débit variable, dans lequel le codeur et le décodeur doivent utiliser le même nombre de bits pour chaque échantillon. Dans les deux cas, le décodeur doit être informé du nombre de bits à utiliser pour chaque échantillon.

Les algorithmes imbriqués produisent des mots de code qui contiennent des bits complémentaires d'amélioration et des bits essentiels. Le circuit «alimentant» (FF) utilise les bits d'amélioration et les bits essentiels, alors que le circuit de contre-réaction (FB) ne se sert que des bits essentiels. Le quantificateur inverse et le prédicteur, tant du codeur que du décodeur, se servent des bits essentiels. De ce fait, les bits d'amélioration peuvent être négligés, voire abandonnés en cas d'encombrement du réseau. Cependant, le nombre des bits essentiels dans les trajets de contre-réaction du codeur et du décodeur doit rester le même afin d'éviter les erreurs de poursuite.

Les quatre débits de MICDA imbriqué sont de 40, 32, 24 et 16 kbit/s, où les niveaux de décision des quantificateurs à 32, 24 et 16 kbit/s sont des sous-ensembles de ceux du quantificateur à 40 kbit/s. Les algorithmes de MICDA imbriqué sont désignés par des couples (x, y) , où x représente les bits MICDA FF (bits d'amélioration et essentiels), et y représente les bits MICDA FB (bits essentiels). Si, par exemple, on fixe y à 2 bits, (5,2) représentera l'algorithme imbriqué à 40 kbit/s, (4,2) représentera l'algorithme imbriqué à 32 kbit/s, (3,2) représentera l'algorithme imbriqué à 24 kbit/s et (2,2), l'algorithme à 16 kbit/s. Le débit binaire n'est jamais inférieur à 16 kbit/s, parce que le nombre minimal de bits essentiels est égal à 2. La figure 1/G.727 présente des schémas de principe simplifiés du codeur et du décodeur MICDA imbriqué.

La Recommandation offre des débits binaires de 40, 32, 24 et 16 kbit/s. Ceci correspond aux couples suivants: (5,2), (4,2), (3,2), (2,2); (5,3), (4,3), (3,3); (5,4), (4,4).

3.1 *Codeur MICDA*

Après avoir converti le signal d'entrée MIC, loi A ou loi μ , en MIC uniforme, on obtient un signal de différence en soustrayant, du signal d'entrée lui-même, une estimation du signal d'entrée. Un quantificateur adaptatif à 4, 8, 16 ou 32 niveaux sert à affecter 2, 3, 4 ou 5 éléments binaires à la valeur du signal de différence pour la transmission au décodeur. (Tous les bits n'arrivent pas nécessairement au décodeur puisque certains d'entre eux peuvent être abandonnés afin de réduire l'encombrement du réseau à transmission par paquets. Cependant, à la réception, pour un échantillon donné, les bits essentiels sont sûrs d'arriver s'il n'y a pas d'erreurs de transmission et si les paquets parviennent à destination.) Les bits FB sont dirigés vers le quantificateur inverse. Le nombre de bits essentiels dépend de l'algorithme imbriqué choisi. Par exemple, l'algorithme (5,2) contiendra toujours 2 bits essentiels. Le quantificateur inverse produit un signal de différence quantifié à partir de ces éléments binaires. On ajoute le signal estimé à ce signal de différence quantifié, pour produire la version reconstituée du signal d'entrée. Le signal reconstitué, comme le signal de différence quantifié, sont traités par un prédicteur adaptatif qui produit l'estimation du signal d'entrée, terminant ainsi la boucle de contre-réaction.

3.2 *Décodeur MICDA*

Le décodeur comprend une structure identique à la partie FB du codeur. En outre, il comprend le circuit FF qui contient une conversion uniforme de MIC, en loi A ou μ . Tant les bits essentiels que les bits d'amélioration servent au bloc d'ajustement synchrone du codage pour prévenir les distorsions cumulatives dans les codages synchrones en cascade (MICDA-MIC-MICDA, etc., connexions numériques) dans certaines conditions (voir le § 5.10). L'ajustement synchrone du codage est obtenu en ajustant les codes de sortie MIC de manière à éliminer les distorsions de quantification lors de la phase suivante de codage MICDA.

3.3 *Besoins en densité de 1*

Les présents algorithmes produisent des mots de code ne comportant que des zéros. Si des réseaux nationaux exigent que l'on tienne compte de la densité de 1, il faudra employer d'autres méthodes pour assurer que ces besoins sont satisfaits.

Dans l'application prévue de la Recommandation G.764, le champ type de codage (Coding Type, CT) et le champ indicateur d'abandon de blocs (Block Dropping Indicator, BDI) de l'en-tête de paquet défini dans la Recommandation G.764 informeront le codeur de l'algorithme à employer. Pour toute autre application, les informations fournies par le PVP devront être communiquées au décodeur.

4 Principes du codeur MICDA

La figure 2/G.727 est un schéma de principe du codeur. Pour chacune des variables à décrire, k est l'indice d'échantillonnage et les échantillons sont prélevés à des intervalles de 125 μ s. On trouvera aux § 4.1 à 4.9 ci-après une description de chaque bloc du schéma.

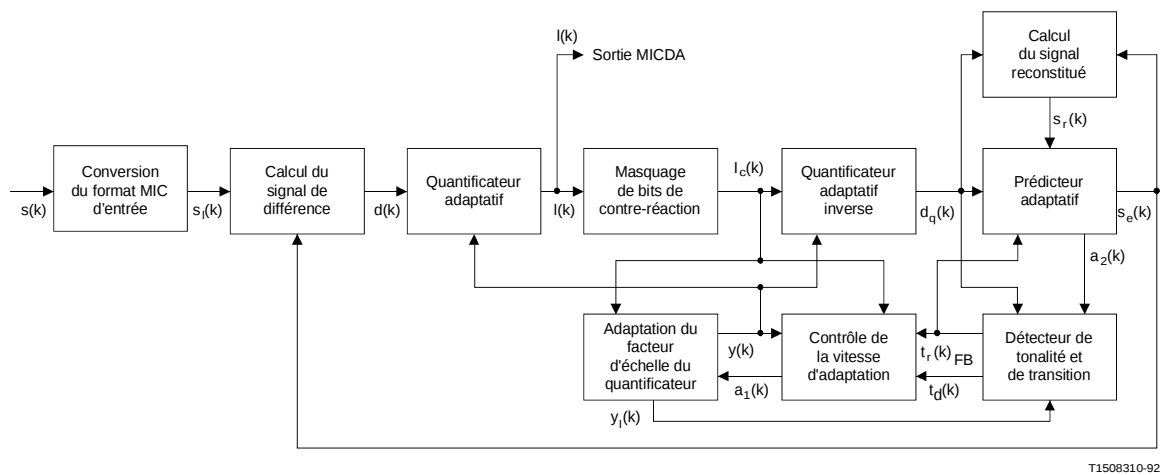


FIGURE 2/G.727

Schéma de principe du codeur

4.1 Conversion du format MIC d'entrée

Ce bloc convertit le signal d'entrée $s(k)$ (signal MIC selon la loi A ou la loi μ) en un signal MIC uniforme $s_l(k)$.

4.2 Calcul du signal de différence

Ce bloc calcule le signal de différence $d(k)$, à partir du signal MIC uniforme $s_l(k)$ et du signal estimé $s_e(k)$:

$$d(k) = s_l(k) - s_e(k) \quad (4-1)$$

4.3 Quantificateur adaptatif

On utilise un quantificateur adaptatif à mi-montée non uniforme, à 4, 8, 16 ou 32 niveaux, pour quantifier le signal de différence $d(k)$. Avant la quantification, $d(k)$ est converti en une représentation logarithmique en base 2 avec le facteur d'échelle $y(k)$, qui est calculé au moyen du bloc d'adaptation du facteur d'échelle. Les tableaux 1/G.727 à 4/G.727 donnent la caractéristique normalisée d'entrée/sortie du quantificateur (valeurs en précision infinie), respectivement pour les algorithmes à 16, 24, 32 et 40 kbit/s. Deux, trois, quatre ou cinq éléments binaires servent à spécifier le niveau quantifié qui représente $d(k)$ (le bit de plus fort poids représente le bit de signe, et les bits restants, l'amplitude). La sortie $I(k)$ du quantificateur, à 2, 3, 4 ou 5 bits, forme le signal de sortie à 16, 24, 32 ou 40 kbit/s et est également injectée dans le bloc de masquage de bits. $I(k)$ comprend à la fois les bits d'amélioration et les bits essentiels.

4.4 Masquage de bits

Ce bloc produit les bits essentiels $I_c(k)$ par un décalage à droite du signal d'entrée $I(k)$, de façon à masquer le maximum de bits suppressibles (de plus faible poids). Le nombre de bits à masquer et le nombre de pas de décalage à droite dépendent de l'algorithme imbriqué choisi. Par exemple, ce bloc masquera les deux bits de plus faible poids et décalera les bits restants de deux positions vers la droite, lorsque l'algorithme (4,2) sera choisi. Les résultats du bloc de masquage de bits, $I_c(k)$, sont injectés dans le bloc du quantificateur adaptatif inverse, le bloc d'adaptation du facteur d'échelle du quantificateur et le bloc de contrôle de la vitesse d'adaptation.

TABLEAU 1/G.727

**Caractéristique des entrées et sorties normalisées
du quantificateur imbriqué opérant à 16 kbit/s**

Niveaux d'entrée normalisés du quantificateur $\log_2 d(k) - y(k)$	$ I(k) $ $ I_c(k) $	Niveaux de sortie normalisés du quantificateur $\log_2 d_q(k) - y(k)$
$(-\infty, 2,04)$	0	0,91
$[2,04, \infty)$	1	2,85

Remarque – Dans les tableaux 1/G.727 à 4/G.727, «[» indique que la valeur limite est incluse, et «(» ou «)» indique que la valeur limite est exclue.

TABLEAU 2/G.727

**Caractéristique des entrées et sorties normalisées
du quantificateur imbriqué opérant à 24 kbit/s**

Niveaux d'entrée normalisés du quantificateur $\log_2 d(k) - y(k)$	$ I(k) $ $ I_c(k) $	Niveaux de sortie normalisés du quantificateur $\log_2 d_q(k) - y(k)$
$(-\infty, 0,96)$	0	-0,09
$[0,96, 2,04)$	1	1,55
$[2,04, 2,78)$	2	2,40
$[2,78, \infty)$	3	3,09

TABLEAU 3/G.727

**Caractéristique des entrées et sorties normalisées
du quantificateur imbriqué opérant à 32 kbit/s**

Niveaux d'entrée normalisés du quantificateur $\log_2 d(k) - y(k)$	$ I(k) $ $ I_c(k) $	Niveaux de sortie normalisés du quantificateur $\log_2 d_q(k) - y(k)$
$(-\infty, -0,05)$	0	-1,06
$[-0,05, 0,96)$	1	0,53
$[0,96, 1,58)$	2	1,29
$[1,58, 2,04)$	3	1,81
$[2,04, 2,42)$	4	2,23
$[2,42, 2,78)$	5	2,59
$[2,78, 3,16)$	6	2,95
$[3,16, \infty)$	7	3,34

TABLEAU 4/G.727

**Caractéristique des entrées et sorties normalisées
du quantificateur imbriqué opérant à 40 kbit/s**

Niveaux d'entrée normalisés du quantificateur $\log_2 d(k) - y(k)$	$ I(k) $	Niveaux de sortie normalisés du quantificateur $\log_2 d_q(k) - y(k)$
$(-\infty, -1,05)$	0	-2,06
$[-1,05, -0,05)$	1	-0,48
$[-0,05, 0,54)$	2	0,27
$[0,54, 0,96)$	3	0,76
$[0,96, 1,30)$	4	1,13
$[1,30, 1,58)$	5	1,44
$[1,58, 1,82)$	6	1,70
$[1,82, 2,04)$	7	1,92
$[2,04, 2,23)$	8	2,13
$[2,23, 2,42)$	9	2,33
$[2,42, 2,60)$	10	2,51
$[2,60, 2,78)$	11	2,69
$[2,78, 2,97)$	12	2,87
$[2,97, 3,16)$	13	3,05
$[3,16, 3,43)$	14	3,27
$[3,43, \infty)$	15	3,56

4.5 Quantificateur adaptatif inverse

Le quantificateur inverse utilise les bits essentiels pour calculer une version quantifiée $d_q(k)$ du signal de différence en se servant du facteur d'échelle $y(k)$ et des tableaux $1/G.727$, $2/G.727$, $3/G.727$ ou $4/G.727$, puis en prenant le cologarithme base 2 du résultat. La différence estimée $s_e(k)$ est ajoutée à $d_q(k)$ pour produire la version reconstituée $s_r(k)$ du signal d'entrée. Les tableaux $1/G.727$, $2/G.727$, $3/G.727$ et $4/G.727$ ne seront applicables que lorsqu'il y aura, respectivement, 2, 3, 4 ou 5 bits dans le circuit FF.

4.6 Adaptation du facteur d'échelle du quantificateur

Ce bloc calcule $y(k)$, facteur d'échelle du quantificateur et du quantificateur inverse. [Le facteur d'échelle $y(k)$ est aussi injecté dans le bloc de contrôle de la vitesse d'adaptation.] Les entrées correspondantes sont la sortie du masquage de bits, $I_c(k)$, et le paramètre de contrôle de la vitesse d'adaptation, $a_l(k)$.

Le principe de base appliqué pour déterminer le facteur d'échelle du quantificateur est l'adaptation bimodale:

- rapide, pour les signaux qui produisent des signaux de différence à grandes fluctuations (par exemple, signaux vocaux);
- lente, pour les signaux qui produisent des signaux de différence à faibles fluctuations (par exemple, données transmises dans la bande vocale, tonalités).

La vitesse d'adaptation est déterminée par une combinaison de facteurs d'échelle à adaptation lente et rapide.

Le facteur d'échelle à adaptation rapide (non verrouillé), $y_u(k)$, se calcule par récurrence dans le domaine logarithmique en base 2, à partir du facteur d'échelle logarithmique résultant, $y(k)$:

$$y_u(k) = (1 - 2^{-5}) y(k) + 2^{-5} W[I_c(k)] \quad (4-2)$$

où

$y_u(k)$ est limité à l'intervalle $1,06 \leq y_u(k) \leq 10,00$.

Lorsqu'on opère avec 2 bits essentiels (1 bit de signe), la fonction discrète $W[I_c(k)]$ est définie comme suit (valeurs en précision infinie):

$ I_c(k) $	1	0
$W[I_c(k)]$	27,44	-1,38

Lorsqu'on opère avec 3 bits essentiels (1 bit de signe), la fonction discrète $W[I_c(k)]$ est définie comme suit (valeurs en précision infinie):

$ I_c(k) $	3	2	1	0
$W[I_c(k)]$	36,38	8,56	1,88	-0,25

Lorsqu'on opère avec 4 bits essentiels (1 bit de signe), la fonction discrète $W[I_c(k)]$ est définie comme suit (valeurs en précision infinie):

$ I_c(k) $	7	6	5	4	3	2	1	0
$W[I_c(k)]$	69,25	21,25	11,50	6,13	3,13	1,69	0,25	-0,75

Le facteur $(1 - 2^{-5})$ introduit une mémoire finie dans le processus d'adaptation, de sorte que les états du codeur et du décodeur convergent à la suite d'erreurs de transmission.

Le facteur à adaptation lente (verrouillé), $y_l(k)$, se déduit de $y_u(k)$ à l'aide d'un filtre passe-bas:

$$y_l(k) = (1 - 2^{-6}) y_l(k - 1) + 2^{-6} y_u(k) \quad (4-3)$$

On obtient alors le facteur d'échelle en combinant les facteurs d'échelle à adaptation rapide et à adaptation lente:

$$y(k) = a_l(k) y_u(k - 1) + [1 - a_l(k)] y_l(k - 1) \quad (4-4)$$

où

$$0 \leq a_l(k) \leq 1.$$

4.7 Contrôle de la vitesse d'adaptation

Le paramètre de contrôle $a_l(k)$ peut prendre des valeurs comprises dans l'intervalle $[0, 1]$. Sa valeur tend vers l'unité pour les signaux vocaux et vers zéro pour les signaux de données transmis dans la bande vocale. Il se déduit de la mesure du taux de variation du signal de différence.

On calcule deux types de valeurs pour l'amplitude moyenne $I_c(k)$:

$$d_{ms}(k) = (1 - 2^{-5}) d_{ms}(k-1) + 2^{-5} F[I_c(k-1)] \quad (4-5)$$

et

$$d_{ml}(k) = (1 - 2^{-7}) d_{ml}(k-1) + 2^{-7} F[I_c(k-1)] \quad (4-6)$$

où

$F[I_c(k)]$ est défini par

$ I_c(k) $	1	0
$F[I_c(k)]$	7	0

pour un fonctionnement avec 2 bits essentiels (1 bit de signe); ou

$ I_c(k) $	3	2	1	0
$F[I_c(k)]$	7	2	1	0

pour un fonctionnement avec 3 bits essentiels (1 bit de signe); ou

$ I_c(k) $	7	6	5	4	3	2	1	0
$F[I_c(k)]$	7	3	1	1	1	0	0	0

pour un fonctionnement avec 4 bits essentiels (1 bit de signe).

Ainsi, $d_{ms}(k)$ est une moyenne à relativement court terme de $F[I_c(k)]$ et $d_{ml}(k)$ est une moyenne à relativement long terme de $F[I_c(k)]$.

La variable $a_p(k)$ est alors déterminée à l'aide de ces deux moyennes:

$$a_p(k) = \begin{cases} (1 - 2^{-4}) a_p(k-1) + 2^{-3}, & \text{si } |d_{ms}(k) - d_{ml}(k)| \geq 2^{-3} d_{ml}(k) \\ (1 - 2^{-4}) a_p(k-1) + 2^{-3}, & \text{si } y(k) < 3 \\ (1 - 2^{-4}) a_p(k-1) + 2^{-3}, & \text{si } t_d(k) = 1 \\ 1, & \text{si } t_r(k) = 1 \\ (1 - 2^{-4}) a_p(k-1), & \text{dans les autres cas} \end{cases} \quad (4-7)$$

Ainsi, $a_p(k)$ tend vers la valeur 2 si la différence entre $d_{ms}(k)$ et $d_{ml}(k)$ est grande [amplitude moyenne de $I_c(k)$ variable], pour une voie au repos [correspondant à $y(k) < 3$] ou pour des signaux à bande étroite [correspondant à $t_d(k) = 1$, comme indiqué au § 4.9]. La valeur de $a_p(k)$ tend vers zéro si cette différence est faible [amplitude moyenne de $I_c(k)$ relativement constante]. Il faut noter que la valeur de $a_p(k)$ est fixée à 1 en cas de détection d'une transition de signal à bande étroite [correspondant à $t_r(k) = 1$, voir le § 4.9].

$a_p(k)$ est alors limité pour donner $a_l(k)$, utilisé dans l'équation (4-4) ci-dessus:

$$a_l(k) = \begin{cases} 1, & a_p(k-1) > 1 \\ a_p(k-1), & a_p(k-1) \leq 1 \end{cases} \quad (4-8)$$

Cette limitation asymétrique a pour effet de retarder le début d'une transition de l'état lent à l'état rapide jusqu'à ce que la valeur absolue de $I_c(k)$ demeure constante pendant un certain temps. Ceci vise à éliminer les transitions prématurées pour des signaux d'entrée de type impulsif, tels que les signaux de données transmis dans la bande vocale en porteuse commutée.

4.8 Prédicteur adaptatif et calcul du signal reconstitué de contre-réaction

Le prédicteur adaptatif a pour fonction essentielle de calculer la valeur estimée du signal $s_e(k)$ à partir du signal de différence quantifié $d_q(k)$. On a recours à deux structures de prédicteur adaptatif: une structure du sixième ordre qui simule des zéros et une structure du second ordre qui simule des pôles modélisant le signal d'entrée. Cette double structure permet de traiter efficacement les divers types de signaux que l'on peut rencontrer.

On obtient la valeur estimée du signal par le calcul suivant:

$$s_e(k) = \sum_{i=1}^2 a_i(k-1) s_r(k-i) + s_{ez}(k) \quad (4-9)$$

où

$$s_{ez}(k) = \sum_{i=1}^6 b_i(k-1) d_q(k-i)$$

et le signal reconstitué est défini par:

$$s_r(k-i) = s_e(k-i) + d_q(k-i)$$

Les deux groupes de coefficients du prédicteur sont actualisés à l'aide d'un algorithme de gradient simplifié.

Pour le prédicteur du second ordre:

$$a_1(k) = (1 - 2^{-8}) a_1(k-1) + (3 \cdot 2^{-8}) \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-1)] \quad (4-10)$$

$$\begin{aligned} a_2(k) = & (1 - 2^{-7}) a_2(k-1) + 2^{-7} \{ \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-2)] \\ & - f[a_1(k-1)] \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-1)] \} \end{aligned} \quad (4-11)$$

où

$$p(k) = d_q(k) + s_{ez}(k)$$

$$f(a_1) = \begin{cases} 4a_1, & |a_1| \leq 2^{-1} \\ 2\text{sgn}(a_1), & |a_1| > 2^{-1} \end{cases}$$

et $\text{sgn}[0] = 1$, mais $\text{sgn}[p(k-i)]$ n'est défini comme égal à 0 que si $p(k-i) = 0$ et $i = 0$; avec, comme contraintes de stabilité:

$$|a_2(k)| \leq 0,75 \text{ et } |a_1(k)| \leq 1 - 2^{-4} - a_2(k)$$

Si $t_r(k) = 1$ (voir le § 4.9), alors $a_1(k) = a_2(k) = 0$.

Pour le prédicteur du sixième ordre:

$$b_i(k) = (1 - 2^{-8}) b_i(k-1) + 2^{-7} \text{sgn}[d_q(k)] \text{sgn}[d_q(k-i)] \quad (4-12)$$

pour $i = 1, 2, \dots, 6$.

Si $t_r(k) = 1$ (voir le § 4.9), alors $b_1(k) = b_2(k) = \dots = b_6(k) = 0$.

Comme ci-dessus, $\text{sgn}[0] = 1$, mais $\text{sgn}[d_q(k-i)]$ n'est défini comme égal à 0 que si $d_q(k-i) = 0$ et $i = 0$. Il faut remarquer que $b_i(k)$ est implicitement limité à ± 2 .

4.9 Détecteur de tonalité et de transition

Afin d'améliorer l'efficacité des signaux provenant de modems à modulation par déplacement de fréquence (MDF) fonctionnant en mode caractère, le processus de détection se déroule en deux étapes. Premièrement, la détection du signal à bande étroite (par exemple, la tonalité) provoque le passage du quantificateur au mode d'adaptation rapide:

$$t_d(k) = \begin{cases} 1, & \text{quand } a_2(k) < -0,71875 \\ 0, & \text{dans les autres cas} \end{cases} \quad (4-13)$$

De plus, on définit une transition signal de bande étroite, afin que les coefficients du prédicteur puissent être amenés à zéro et que le quantificateur puisse être forcé au mode d'adaptation rapide:

$$t_r(k) = \begin{cases} 1, & \text{quand } a_2(k) < -0,71875 \text{ et } |d_q(k)| > 24 \cdot 2^{y_l(k)} \\ 0, & \text{dans les autres cas} \end{cases} \quad (4-14)$$

5 Principes du décodeur MICDA

La figure 3/G.727 est un schéma de principe du décodeur. On trouvera, aux § 5.1 à 5.10 ci-dessous, une description des fonctions de chaque bloc. Il existe un circuit FB et un circuit FF. Le circuit FB se sert des bits essentiels pour calculer le signal estimé. Le circuit FF contient les bits essentiels et les bits complémentaires d'amélioration et reconstitue le mot de code MIC de sortie.



Schéma de principe du décodeur

La fonction de ce bloc est spécifiée au § 4.4.

La fonction de ce bloc est spécifiée au § 4.5.

Un signal de différence quantifié $d_q(k)$ du signal de différence est produit à partir de l'entrée $I'(k)$, qui contient les bits essentiels et les bits d'amélioration.

La fonction de ce bloc est spécifiée au § 4.6.

La fonction de ce bloc est spécifiée au § 4.7.

5.6 *Prédicteur adaptatif et calcul du signal reconstitué de contre-réaction*

Les fonctions de ce bloc sont spécifiées au § 4.8.

5.7 *Calcul du signal reconstitué vers l'avant*

Ce bloc reçoit des entrées venant du quantificateur adaptatif inverse vers l'avant (FF) et du prédicteur adaptatif pour reconstituer le signal MIC uniforme qui est injecté dans le bloc de conversion du format MIC.

5.8 *Détecteur de tonalité et de transition*

La fonction de ce bloc est spécifiée au § 4.9.

5.9 *Conversion du format MIC de sortie*

Ce bloc convertit le signal reconstitué codé en MIC uniforme, $s_r(k)_{FF}$, en un signal MIC $s_p(k)$ de loi A ou de loi μ , selon le cas.

5.10 *Dispositif d'ajustement synchrone du codage*

Le dispositif d'ajustement synchrone du codage empêche l'accumulation de distorsion qui se produit avec des codages synchrones en cascade (connexions numériques MICDA-MIC-MICDA, etc.) pour:

- les transmissions exemptes d'erreur,
- les cas où les trains de bits de la MICDA imbriquée et le train MIC intermédiaire à 64 kbit/s ne sont pas perturbés par des dispositifs numériques de traitement du signal.

Si le codeur et le décodeur ont des conditions initiales différentes, comme cela peut se produire, par exemple, après commutation, la mise en cascade synchrone peut prendre un certain temps. De plus, si l'ajustement est perdu ou s'il n'est pas acquis initialement, il sera récupéré plus facilement pour des signaux de niveau suffisant et dont le spectre occupe la majeure partie de la bande 200 à 3400 Hz (c'est le cas, par exemple, des signaux vocaux et des données transmises dans la bande des fréquences vocales à 4800 bit/s).

Quand un décodeur est connecté en synchronisme à un codeur, le dispositif d'ajustement fait une estimation de la quantification dans le codeur. Si toutes les variables d'état du décodeur et du codeur ont des valeurs identiques et s'il n'y a pas d'erreur de transmission, le fait de forcer les deux séquences de sortie du quantificateur vers l'avant à être identiques pour l'ensemble des valeurs de k , garantit qu'il n'y a pas d'accumulation de la distorsion.

Pour cela, le bloc convertit le signal MIC loi A ou loi μ , $s_p(k)$ en un signal MIC uniforme $s_{LZ}(k)$ et calcule ensuite un signal de différence $d_x(k)$:

$$d_x(k) = s_{LX}(k) - s_e(k) \quad (5-1)$$

On examine ensuite le signal de différence $d_x(k)$ pour savoir s'il se situe dans l'intervalle de décision du quantificateur MICDA, défini par $I(k)$ et $y(k)$. Le signal $s_d(k)$ est alors défini comme suit:

$$s_d(k) = \begin{cases} s_p^+(k), & \text{si } d_x(k) < \text{limite inférieure de l'intervalle} \\ s_p^-(k), & \text{si } d_x(k) \geq \text{limite supérieure de l'intervalle} \\ s_p(k), & \text{dans les autres cas} \end{cases} \quad (5-2)$$

où

$s_d(k)$: mot de code MIC à la sortie du décodeur;

$s_p^+(k)$: mot de code MIC qui représente le niveau de sortie MIC immédiatement supérieur [lorsque $s_p(k)$ représente le niveau de sortie maximal positif, alors $s_p^+(k)$ est maintenu égal à $s_p(k)$];

$s_p^-(k)$: mot de code MIC qui représente le niveau de sortie MIC immédiatement inférieur [lorsque $s_p(k)$ représente le niveau de sortie maximal négatif, alors $s_p^-(k)$ est maintenu égal à $s_p(k)$].

6 Détails des calculs

Les calculs correspondant à chacun des éléments du codeur et du décodeur sont détaillés aux § 6.1 et 6.2.

La synchronisation du codeur et du décodeur s'obtient en exécutant le calcul pour tous les blocs retard simultanément et en passant au calcul des signaux qui peuvent être obtenus à partir de ces renseignements. Dans la figure 10/G.727, par exemple, la valeur estimée du signal (SE) est calculée en se servant des valeurs de retard, et est ensuite utilisée comme indiqué à la figure 4/G.727.

6.1 Signaux d'entrée et de sortie

Le tableau 5/G.727 définit les signaux d'entrée et de sortie pour le codeur et le décodeur. Le tableau 6/G.727 définit les variables de contrôle de l'algorithme.

Le signal facultatif R représente une fonction de réinitialisation qui ramène tous les points mémoire internes à un état spécifié, de sorte qu'un codeur ou un décodeur puissent être forcés à passer dans un état connu. Pour des applications qui nécessitent une fonction de réinitialisation immédiate (par exemple, les équipements de multiplication de circuits numériques), la fonction de réinitialisation est obligatoire, et non plus facultative.

TABLEAU 5/G.727

Signaux d'entrée et de sortie

CODEUR			
	Nom	Nombre de bits	Description
Entrée	S	8	Mot d'entrée PCM
Entrée	LAW	1	Choix de la loi MIC, 0 = loi μ , 1 = loi A
Entrée	R (facultatif)	1	Réinitialisation
Sortie	I	E + C	E = bits essentiels C = bits complémentaires d'amélioration
DÉCODEUR			
	Nom	Nombre de bits	Description
Entrée	I'	E + C	E = bits essentiels C = bits complémentaires d'amélioration
Entrée	LAW	1	Choix de la loi MIC, 0 = loi μ , 1 = loi A
Entrée	R (facultatif)	1	Réinitialisation
Sortie	SD	8	Mot de sortie MIC du décodeur

TABLEAU 6/G.727

Variables de contrôle

Débit en kbit/s	Bits essentiels (E)	Bits complémentaires d'amélioration (C)
16	2	0
24	2	1
	3	0
32	2	2
	3	1
	4	0
40	2	3
	3	2
	4	1

Remarque – Pour un fonctionnement à 16, 24 et 32 kbit/s, E = 0 correspond à des algorithmes de débits plus élevés après abandon de tous les bits d'amélioration. Pour un fonctionnement à 40 kbit/s, E = 0 est invalide, puisqu'un algorithme imbriqué pour un débit plus élevé n'a pas été défini.

TABLEAU 7/G.727

Variables de traitement interne

Nom	Bits	Représentation binaire	Valeurs de réinitialisation facultative	Description
A1 ^{a)} , A2 ^{a)}	16 TC	S,0,...,-14	0	Coefficients du prédicteur du second ordre retardés
A1P, A2P	16 TC	S,0,...,-14		Coefficients du prédicteur du second ordre
A1R, A2R	16 TC	S,0,...,-14		Coefficients du prédicteur du second ordre déclenchés
A1T	16 TC	S,0,...,-14		Coefficient a_1 non limité
A2T	16 TC	S,0,...,-14		Coefficient a_2 non limité
AL	7 SM	0,...,-6		Paramètre de contrôle limité de la vitesse
AP ^{a)}	10 SM	1,...,-8	0	Paramètre de contrôle non limité de la vitesse retardé
APP	10 SM	1,...,-8		Paramètre de contrôle non limité de la vitesse
APR	10 SM	1,...,-8		Paramètre de contrôle non limité de la vitesse déclenché
AX	1 SM	1		Actualisation du paramètre de contrôle de la vitesse
B1 ^{a)} ,...,B6 ^{a)}	16 TC	S,0,...,-14	0	Coefficients du prédicteur du sixième ordre retardés
B1P,...,B6P	16 TC	S,0,...,-14		Coefficients du prédicteur du sixième ordre
B1R,...,B6R	16 TC	S,0,...,-14		Coefficients du prédicteur du sixième ordre déclenchés
D	16 TC	S,14,...,0		Signal de différence, codeur seulement
DL	11 SM	3,...,-7		Log ₂ (signal de différence), codeur seulement
DLN	12 TC	S,3,...,-7		Log ₂ (différence normalisée), codeur seulement
DLNX	12 TC	S,3,...,-7		Log ₂ (différence normalisée), décodeur seulement
DLX	11 SM	3,...,-7		Log ₂ (signal de différence), décodeur seulement
DML ^{a)}	14 SM	2,...,-11	0	Moyenne à long terme retardée de F(I)
DMLP	14 SM	2,...,-11		Moyenne à long terme de F(I)
DMS ^{a)}	12 SM	2,...,-9	0	Moyenne à court terme retardée de F(I)
DMSP	12 SM	2,...,-9		Moyenne à court terme retardée de F(I)
DQ _{FB}	15 SM	S,13,...,0		Signal de différence quantifié de contre-réaction (FB)
DQ _{FF}	15 SM	S,13,...,0		Signal de différence quantifié vers l'avant (FF)
DQ0	11 FL	S,4e,6m		Signal de différence quantifié avec retard 0
DQ1 ^{a)} ,...,DQ6 ^{a)}	11 FL	S,4e,6m	32	Signal de différence quantifié avec retard de 1 à 6
DQ _{LFB}	12 TC	S,3,...,-7		Log ₂ (signal de différence quantifié de contre-réaction)
DQ _{LFF}	12 TC	S,3,...,-7		Log ₂ (signal de différence quantifié vers l'avant)
DQ _{LNFB}	12 TC	S,3,...,-7		Log ₂ (différence quantifiée normalisée de contre-réaction)
DQ _{LNFF}	12 TC	S,3,...,-7		Log ₂ (différence quantifiée normalisée vers l'avant)
DQ _{SFB}	1 TC	S		Bit de signe du signal de différence quantifié de contre-réaction
DQ _{SFF}	1 TC	S		Bit de signe du signal de différence quantifié vers l'avant

TABLEAU 7/G.727 (suite)

Nom	Bits	Représentation binaire	Valeurs de réinitialisation facultative	Description
DS	1 TC	S	0	Bit de signe du signal de différence, codeur seulement
DSX	1 TC	S		Bit de signe du signal de différence, décodeur seulement
DX	16 TC	S,14,...,0		Signal de différence, décodeur seulement
FI	3 SM	2,...,0		Sortie de F(I)
I _c	2 SM	S,0		Bits MICDA essentiels, sur 2 bits
I _c	3 SM	S,1,0		Bits MICDA essentiels, sur 3 bits
I _c	4 SM	S,2,...,0		Bits MICDA essentiels, sur 4 bits
PK0	1 TC	S		Signe de DQ + SEZ avec retard 0
PK1 ^{a)} , PK2 ^{a)}	1 TC	S		Signe de DQ + SEZ avec retards 1 et 2
SE	15 TC	S,13,...,0		Signal estimé
SEZ	15 TC	S,13,...,0	32	Signal estimé partiel associé au prédicteur de sixième ordre
SIGPK	1 TC	0		Indicateur $\text{sgn}[p(k)]$
SL	14 TC	S,12,...,0		Signal d'entrée linéaire, codeur seulement
SLX	14 TC	S,12,...,0		Signal reconstitué quantifié, décodeur seulement
SP	8			Signal reconstitué MIC, décodeur seulement
SR _{FF}	16 TC	S,14,...,0		Signal reconstitué vers l'avant
SR _{FB}	16 TC	S,14,...,0		Signal reconstitué de contre-réaction
SR0	11 FL	S,4e,6m		Signal reconstitué avec retard 0
SR1 ^{a)} , SR2 ^{a)}	11 FL	S,4e,6m		Signal reconstitué avec retards 1 et 2
TD ^{a)}	1 TC	0	0	Détection de la tonalité retardée
TDP	1 TC	0		Détection de la tonalité
TDR	1 TC	0		Détection de la tonalité déclenchée
TR	1 TC	0		Détection de la transition
U1,...,U6	1 TC	S		Bit de signe d'actualisation du coefficient du prédicteur du sixième ordre
WA1,WA2	16 TC	S,13,...,-1		Produit partiel du signal estimé
WB1,...,WB6	16 TC	S,13,...,-1		Produit partiel du signal estimé
WI	12 TC	S,6,...,-4		Multiplieurs du quantificateur
Y	13 SM	3,...,-9	34816	Facteur d'échelle du quantificateur
YL ^{a)}	19 SM	3,...,-15		Facteur d'échelle à adaptation lente du quantificateur retardé
YLP	19 SM	3,...,-15		Facteur d'échelle à adaptation lente du quantificateur
YU ^{a)}	13 SM	3,...,-9		Facteur d'échelle à adaptation rapide du quantificateur retardé
YUP	13 SM	3,...,-9	544	Facteur d'échelle à adaptation rapide du quantificateur
YUT	13 SM	3,...,-9		Facteur d'échelle à adaptation rapide non limité du quantificateur

^{a)} Indique les variables qui sont fixées à des valeurs spécifiques par la réinitialisation. Lorsque la réinitialisation est déclenchée, la sortie du sous-bloc DELAY (voir le § 7.2.5) est indiquée à la colonne 4.

TC Complément à deux e Bits d'exposant
 SM Amplitude signée m Bits de mantisse
 FL Virgule flottante S Bit de signe

6.2 Description des variables et explication détaillée des sous-blocs

Le présent paragraphe contient la description détaillée de tous les blocs des figures 2/G.727 et 3/G.727 (voir les § 4 et 5). Ces descriptions sont illustrées par les figures 4/G.727 à 13/G.727, avec les variables de traitement interne telles que définies par le tableau 7/G.727. On trouvera, ci-après, pour chaque sous-bloc, une brève description de la fonction ainsi qu'une spécification complète.

Les notations employées sont les suivantes:

$\ll n$	Opération de décalage de n bits vers la gauche (remplissage par des zéros)
$\gg n$	Opération de décalage de n bits vers la droite (dans la direction du bit de plus faible poids et remplissage par des zéros)
$\&$	Opération logique «et»
$+$	Addition arithmétique
$-$	Soustraction arithmétique
$*$	Multiplication arithmétique
$**$	Opération logique «ou exclusif»
	Observations concernant les équations

6.2.1 Conversion du format MIC d'entrée et calcul du signal de différence

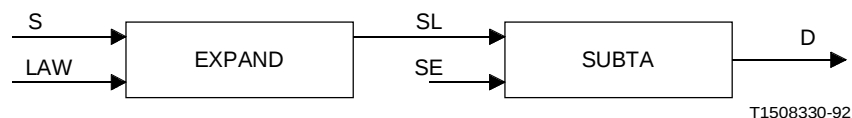


FIGURE 4/G.727

Conversion du format MIC d'entrée et calcul du signal de différence

EXPAND

Entrées: S (SP dans le décodeur), LAW

Sortie: SL (SLX dans le décodeur)

Fonction: Convertir le code MIC loi A ou loi μ en code MIC uniforme.

Décoder le mot de code MIC, S, conformément à la Recommandation G.711, à l'aide des signaux de caractère (colonne 6, avant inversion des bits de rang pair pour la loi A) et des valeurs obtenues à la sortie du décodeur (colonne 7). Les valeurs à la sortie du décodeur, SS, sont représentées en code amplitude signée (13 bits) pour le code MIC loi A et en code amplitude signée (14 bits) pour le code MIC loi μ (le bit de signe est égal à un pour les valeurs négatives).

Remarque – Pour la loi A, S (et SP) comprend l'inversion des bits pairs (voir la remarque 2 sous le tableau 1/G.711).

pour LAW = 0,	$SSS = SS \gg 13$	loi μ
	$SSQ = SS \& 8191$	

pour LAW = 1,	$SSS = SS \gg 12$	
	$SSM = SS \& 4095$	loi A
	$SSQ = SSM \ll 1$	

alors

$SL = \begin{cases} SSQ, & SSS = 0 \\ (16384 - SSQ) \& 16383, & SSS = 1 \end{cases}$		Convertir le code amplitude signée en code complément à deux
--	--	---

SUBTA

Entrées: SL (SLX dans le décodeur), SE

Sortie: D (DX dans le décodeur)

Fonction: Calculer le signal de différence en soustrayant la valeur estimée du signal du signal d'entrée (ou de signal reconstitué quantifié dans le décodeur).

$$SLS = SL \gg 13$$

$$SLI = \begin{cases} SL, & SLS = 0 \\ 49152 + SL, & SLS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extension du signe} \\ | \end{array}$$

$$SES = SE \gg 14$$

$$SEI = \begin{cases} SE, & SES = 0 \\ 32768 + SE, & SES = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extension du signe} \\ | \end{array}$$

$$D = (SLI + 65536 - SEI) \& 65535$$

6.2.2 Quantificateur adaptatif

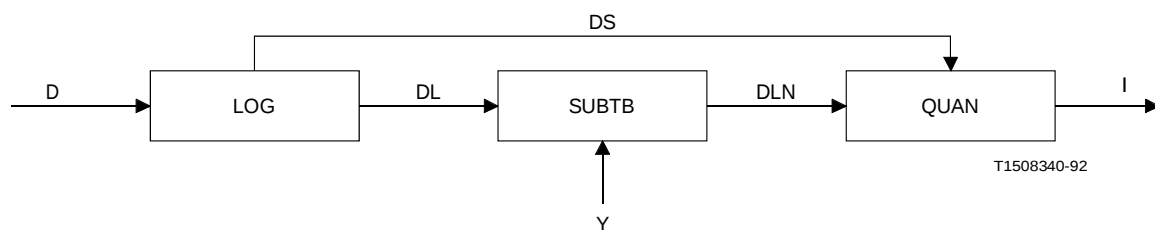


FIGURE 5/G.727

Quantificateur adaptatif

LOG

Entrée: D (DX dans le décodeur)

Sorties: DL (DLX dans le décodeur), DS (DSX dans le décodeur)

Fonction: Convertir le signal de différence du domaine linéaire au domaine logarithmique.

$$DS = D \gg 15$$

$$DQM = \begin{cases} D, & DS = 0 \\ (65536 - D) \& 32767, & DS = 1 \end{cases} \quad \begin{array}{l} | \text{ Convertir D du code complément à} \\ | \text{ deux en code amplitude signée} \\ | \end{array}$$

$$EXP = \begin{cases} 14, & 16384 \leq DQM \\ 13, & 8192 \leq DQM \leq 16383 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 1, & 2 \leq DQM \leq 3 \\ 0, & 0 \leq DQM \leq 1 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \text{ Calculer l'exposant} \\ | \\ | \\ | \end{array}$$

$$MANT = ((DQM \ll 7) \gg EXP) \& 127 \quad \begin{array}{l} | \text{ Calculer la valeur approximée} \\ | \log_2(1 + x) = x \end{array}$$

$$DL = (EXP \ll 7) + MANT \quad \begin{array}{l} | \text{ Combiner 7 bits de mantisse et} \\ | \text{ 4 bits d'exposant en un mot à} \\ | \text{ 11 bits} \end{array}$$

QUAN (codeur seulement)

Entrées: DLN, DS

Sortie: I

Fonction: Quantifier le signal de différence dans le domaine logarithmique.

TABLEAU 8/G.727

Niveaux de décision et sorties à 2 bits du quantificateur à 16 kbit/s

DS	DLN	I	
		12	
0	261-2047	01	
0	0- 260	00	-- Partie positive de l'intervalle
0	2048-4095	00	-- Partie négative de l'intervalle
1	2048-4095	11	-- Partie négative de l'intervalle
1	0- 260	11	-- Partie positive de l'intervalle
1	261-2047	10	

TABLEAU 9/G.727

Niveaux de décision et sorties à 3 bits du quantificateur à 24 kbit/s

DS	DLN	I	
		123	
0	356-2047	011	
0	261- 355	010	
0	123- 260	001	
0	0- 122	000	-- Partie positive de l'intervalle
0	2048-4095	000	-- Partie négative de l'intervalle
1	2048-4095	111	-- Partie négative de l'intervalle
1	0- 122	111	-- Partie positive de l'intervalle
1	123- 260	110	
1	261- 355	101	
1	356-2047	100	

TABLEAU 10/G.727

Niveaux de décision et sorties à 4 bits du quantificateur à 32 kbit/s

DS	DLN	I			
		1	2	3	4
0	405-2047	0	1	1	1
0	356- 404	0	1	1	0
0	310- 355	0	1	0	1
0	261- 309	0	1	0	0
0	202- 260	0	0	1	1
0	123- 201	0	0	1	0
0	0- 122	0	0	0	1
0	4089-4095	0	0	0	1
0	2048-4088	0	0	0	0
1	2048-4088	1	1	1	1
1	4089-4095	1	1	1	0
1	0- 122	1	1	1	0
1	123- 201	1	1	0	1
1	202- 260	1	1	0	0
1	261- 309	1	0	1	1
1	310- 355	1	0	1	0
1	356- 404	1	0	0	1
1	405-2047	1	0	0	0

-- | Partie positive de l'intervalle

-- | Partie négative de l'intervalle

-- | Partie négative de l'intervalle

-- | Partie positive de l'intervalle

TABLEAU 11/G.727

Niveaux de décision et sorties à 5 bits du quantificateur à 40 kbit/s

DS	DLN	I	
		12345	
0	439-2047	01111	
0	405- 438	01110	
0	380- 404	01101	
0	356- 379	01100	
0	333- 355	01011	
0	310- 332	01010	
0	286- 309	01001	
0	261- 285	01000	
0	233- 260	00111	
0	202- 232	00110	
0	166- 201	00101	
0	123- 165	00100	
0	69- 122	00011	
0	0- 68	00010	-- Partie positive de l'intervalle
0	4089-4095	00010	-- Partie négative de l'intervalle
0	3961-4088	00001	
0	2048-3960	00000	
1	2048-3960	11111	
1	3961-4088	11110	
1	4089-4095	11101	-- Partie négative de l'intervalle
1	0- 68	11101	-- Partie positive de l'intervalle
1	69- 122	11100	
1	123- 165	11011	
1	166- 201	11010	
1	202- 232	11001	
1	233- 260	11000	
1	261- 285	10111	
1	286- 309	10110	
1	310- 332	10101	
1	333- 355	10100	
1	356- 379	10011	
1	380- 404	10010	
1	405- 438	10001	
1	439-2047	10000	

Remarque – Les valeurs I sont transmises en commençant par le bit 1.

SUBTB

Entrées: DL (DLX dans le décodeur), Y

Sortie: DLN (DLNX dans le décodeur)

Fonction: Cadrer la version logarithmique du signal de différence en soustrayant le facteur d'échelle.

$$DLN = (DL + 4096 - (Y \gg 2)) \& 4095$$

6.2.3 Masquage des bits



FIGURE 6/G.727

Masquage des bits

Entrées: $I(k)$ ou $I'(k)$

Sortie: $I_c(k)$

Fonction: Masquer le signal de différence quantifié pour extraire les bits essentiels.

Remarque: La figure 6/G.727 et les équations sont données pour le codeur. Elles sont aussi valables pour le décodeur si l'on remplace $I(k)$ par $I'(k)$.

$$I_c = 1 \gg E, E = \text{bits complémentaires d'amélioration}$$

6.2.4 Quantificateur adaptatif inverse

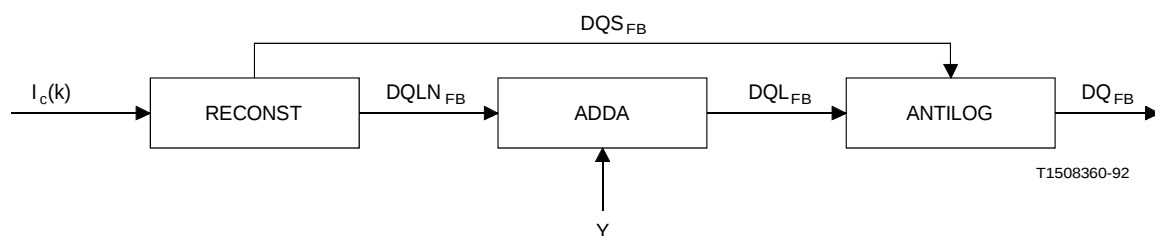


FIGURE 7/G.727

Quantificateur adaptatif inverse

RECONST

Entrées: I_c ou $I'(k)$

Sorties: DQS_{FB} ou DQS_{FF} , $DQLN_{FB}$ ou $DQLN_{FF}$

Fonction: Reconstitution du signal de différence quantifié dans le domaine logarithmique.

Remarque: La figure 7/G.727, les équations et les tableaux sont donnés pour le circuit de contre-réaction. Ils restent valables quand on substitue $I'(k)$ à $I_c(k)$, DQS_{FF} à DQS_{FB} et $DQLN_{FF}$ à $DQLN_{FB}$.

$$DQS_{FB} = I_c \gg (C - 1)$$

$$DQS_{FF} = I' \gg (E + C - 1)$$

TABLEAU 12/G.727

Niveaux de sortie du quantificateur à 16 kbit/s

I' ou I_c	DQS_{FF} ou DQS_{FB}	$DQLN_{FF}$ ou $DQLN_{FB}$
12		
01	0	365
00	0	116
11	1	116
10	1	365

TABLEAU 13/G.727

Niveaux de sortie du quantificateur à 24 kbit/s

I' ou I_c	DQS_{FF} ou DQS_{FB}	$DQLN_{FF}$ ou $DQLN_{FB}$
123		
011	0	395
010	0	307
001	0	199
000	0	4085
111	1	4085
110	1	199
101	1	307
100	1	395

TABLEAU 14/G.727

Niveaux de sortie du quantificateur à 32 kbit/s

I' ou I _c	DQS _{FF} ou	DQLN _{FF} ou
1234	DQS _{FB}	DQLN _{FB}
0111	0	428
0110	0	377
0101	0	332
0100	0	285
0011	0	232
0010	0	165
0001	0	68
0000	0	3961
1111	1	3961
1110	1	68
1101	1	165
1100	1	232
1011	1	285
1010	1	332
1001	1	377
1000	1	428

TABLEAU 15/G.727

Niveaux de sortie du quantificateur à 40 kbit/s

I'	DQS _{FF}	DQLN _{FF}
12345		
01111	0	456
01110	0	419
01101	0	391
01100	0	367
01011	0	344
01010	0	321
01001	0	298
01000	0	273
00111	0	246
00110	0	217
00101	0	184
00100	0	145
00011	0	97
00010	0	34
00001	0	4035
00000	0	3832
11111	1	3832
11110	1	4035
11101	1	34
11100	1	97
11011	1	145
11010	1	184
11001	1	217
11000	1	246
10111	1	273
10110	1	298
10101	1	321
10100	1	344
10011	1	367
10010	1	391
10001	1	419
10000	1	456

Remarque 1 – Les valeurs I sont transmises en commençant par le bit 1.

ADDA

Entrées: DQLN_{FB} ou DQLN_{FF} , Y

Sorties: DQL_{FB} ou DQL_{FF}

Fonction: Addition du facteur d'échelle à la version logarithmique du signal de différence quantifié.

Remarque: Les indices sont fournis par le circuit de contre-réaction. La figure 7/G.727 et l'équation valent aussi lorsque l'on substitue $DQLN_{FF}$ à $DQLN_{FB}$ et DQL_{FF} à DQL_{FB} .

$$DQL_{FB} = (DQLN_{FB} + (Y \gg 2)) \& 4095$$

ANTILOG

Entrées: DQL_{FB}, DQS_{FB}

Sortie: DQ_{FB}

Fonction: Transférer le signal de différence quantifié du domaine logarithmique dans le domaine linéaire.

Remarque: La figure 7/G.727 et les équations sont fournies pour le circuit de contre-réaction. Les équations valent aussi lorsque l'on substitue DQL_{FF} à DQL_{FB} , DQS_{FF} à DQS_{FB} et DQ_{FF} à DQ_{FB} .

$$DS = DQL_{FB} \gg 11$$

- | Extraire l'exposant à 4 bits

$$DEX = (DQL_{FB} > 7) \& 15$$

$$DMN = DQL_{FB} \& 127$$

| Extraire la mantisse à 7 bits

$$DQT = (1 \lll 7) + DMN$$

| Convertir la mantisse en linéaire

$$DQMAG = \begin{cases} (DQT < 7) >> (14 - DEX), & DS = 0 \\ 0, & DS = 1 \end{cases}$$

| à l'aide de l'approximation $2^x = 1 + x$

$$DQ_{FB} = (DQS < 14) + DQMAG$$

- | Attacher le bit de signe pour
- | obtenir le code amplitude signée

6.2.5 Adaptation du facteur d'échelle du quantificateur

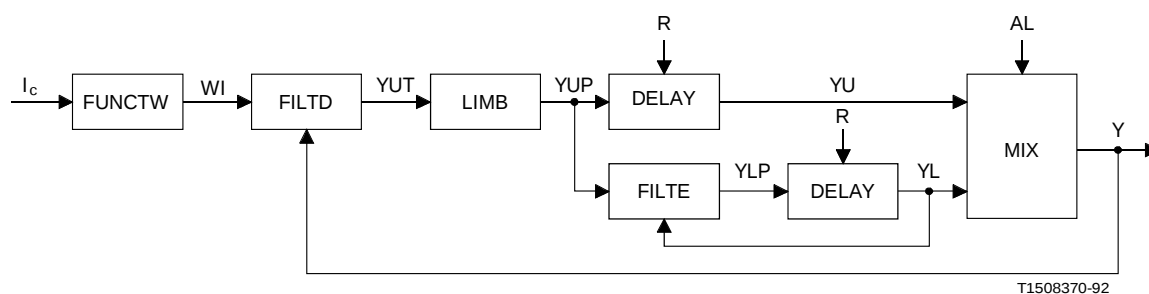


FIGURE 8/G.727

Adaptation du facteur d'échelle du quantificateur

DELAY

Entrées: x, R (facultatif)

Sortie: y

Fonction: Bloc mémoire. Pour l'entrée x, la sortie est donnée par:

$$y(k) = \begin{cases} x(k-1), & R = 0 \\ \text{La valeur de réinitialisation est donnée dans la colonne 4 du tableau 3/G.727, } R = 1 & | \text{ Réinitialisation} \end{cases}$$

FILTD

Entrées: WI, Y

Sortie: YUT

Fonction: Actualiser le facteur d'échelle à adaptation rapide.

$$\begin{aligned} DIF &= ((WI << 5) + 131072 - Y) \& 131071 & | \text{ Calculer la différence} \\ DIFS &= DIF >> 16 & | \end{aligned}$$

$$DIFSX = \begin{cases} DIF >> 5, & DIFS = 0 \\ (DIF >> 5) + 4096, & DIFS = 1 \end{cases} \quad \begin{aligned} & | \text{ La constante de temps est } 1/32 \\ & | \text{ Extension du signe} \end{aligned}$$

$$YUT = (Y + DIFSX) \& 8191$$

FILTE

Entrées: YUP, YL

Sortie: YLP

Fonction: Actualiser le facteur d'échelle à adaptation lente.

$$\begin{aligned} DIF &= (YUP + ((1048576 - YL) >> 6)) \& 16383 & | \text{ Calculer la différence} \\ DIFS &= DIF >> 13 & | \text{ La constante de temps est de } 1/64 \end{aligned}$$

$$DIFSX = \begin{cases} DIF, & DIFS = 0 \\ DIF + 507904, & DIFS = 1 \end{cases} \quad \begin{aligned} & | \\ & | \text{ Extension du signe} \\ & | \end{aligned}$$

$$YLP = (YL + DIFSX) \& 524287$$

FUNCTW

Entrée: I_c

Sortie: WI

Fonction: Transposer la valeur de sortie du quantificateur dans le domaine logarithmique du multiplicateur du facteur d'échelle.

$$IS = I_c \gg (C - 1), C = 2, 3, 4.$$

Pour $C = 2$:

$$IM = \begin{cases} I_c \& I, & IS = 0 \\ (3 - I_c) \& I, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 439, & IM = 1 \\ 4074, & IM = 0 \end{cases} \quad \begin{array}{l} | \\ | \text{ Multiplicateurs de facteur d'échelle} \\ | \end{array}$$

Pour $C = 3$:

$$IM = \begin{cases} I_c \& 3, & IS = 0 \\ (7 - I_c) \& 3, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 582, & IM = 3 \\ 137, & IM = 2 \\ 30, & IM = 1 \\ 4092, & IM = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \text{ Multiplicateurs de facteur d'échelle} \\ | \end{array}$$

Pour $C = 4$:

$$IM = \begin{cases} I_c \& 7, & IS = 0 \\ (15 - I_c) \& 7, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 1122, & IM = 7 \\ 340, & IM = 6 \\ 184, & IM = 5 \\ 98, & IM = 4 \\ 50, & IM = 3 \\ 27, & IM = 2 \\ 4, & IM = 1 \\ 4084, & IM = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \text{ Multiplicateurs de facteur d'échelle} \\ | \\ | \\ | \end{array}$$

LIMB

Entrée: YUT

Sortie: YUP

Fonction: Limiter le facteur d'échelle du quantificateur.

$$GEUL = ((YUT + 11264) \& 16383) \gg 13$$

$$GELL = ((YUT + 15840) \& 16383) \gg 13$$

$$YUP = \begin{cases} 544, & GELL = 1 \\ 5120, & GEUL = 0 \\ YUT, & \text{dans les autres cas} \end{cases}$$

| Régler la limite inférieure à 1,06
| Régler la limite supérieure à 10,00

MIX

Entrées: AL, YU, YL

Sortie: Y

Fonction: Former une combinaison linéaire des facteurs d'échelle à adaptation rapide et lente du quantificateur.

$$DIF = (YU + 16384 - (YL \gg 6)) \& 16383$$

$$DIFS = DIF \gg 13$$

|
| Calculer la différence

$$DIFM = \begin{cases} DIF, & DIFS = 0 \\ (16384 - DIF) \& 8191, & DIFS = 1 \end{cases}$$

|
| Calculer l'amplitude de la
| différence

$$PRODM = (DIFM * AL) \gg 6$$

| Calculer l'amplitude du produit

$$PROD = \begin{cases} PRODM, & DIFS = 0 \\ (16384 - PRODM) \& 16383, & DIFS = 1 \end{cases}$$

|
| Convertir l'amplitude en
| complément à deux

$$Y = ((YL \gg 6) + PROD) \& 8191$$

6.2.6 Contrôle de la vitesse d'adaptation du quantificateur

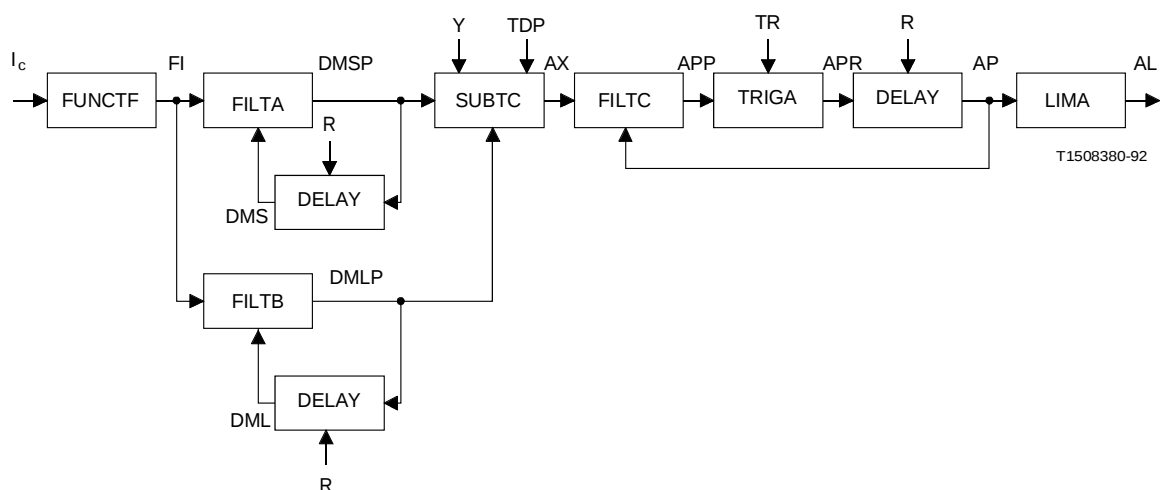


FIGURE 9/G.727

Contrôle de la vitesse d'adaptation du quantificateur

DELAY

Voir la spécification au § 6.2.5.

FILTA

Entrées: FI, DMS

Sortie: DMSP

Fonction: Actualiser la moyenne à court terme de F(I).

$$DIF = ((FI \ll 9) + 8192 - DMS) \& 8191$$

$$DIFS = DIF \gg 12$$

|
| Calculer la différence

$$DIFSX = \begin{cases} DIF \gg 5, & DIFS = 0 \\ (DIF \gg 5) + 3840, & DIFS = 1 \end{cases}$$

|
| La constante de temps est de 1/32
| Extension de signe

$$DMSP = (DIFSX + DMS) \& 4095$$

FILTB

Entrées: FI, DML

Sortie: DMLP

Fonction: Actualiser la moyenne à long terme de F(I).

$$DIF = ((FI << 11) + 32768 - DML) \& 32767$$

$$DIFS = DIF >> 14$$

|

| Calculer la différence

$$DIFSX = \begin{cases} DIF >> 7, & DIFS = 0 \\ (DIF >> 7) + 16128, & DIFS = 1 \end{cases}$$

|

| La constante de temps est de 1/28

| Extension de signe

$$DMLP = (DIFSX + DML) \& 16383$$

FILTC

Entrées: AX, AP

Sortie: APP

Fonction: Filtrage passe-bas du paramètre de contrôle de la vitesse.

$$DIF = ((AX << 9) + 2048 - AP) \& 2047$$

$$DIFS = DIF >> 10$$

|

| Calculer la différence

$$DIFSX = \begin{cases} DIF >> 4, & DIFS = 0 \\ (DIF >> 4) + 896, & DIFS = 1 \end{cases}$$

|

| La constante de temps est de 1/16

| Extension de signe

$$APP = (DIFSX + AP) \& 1023$$

FUNCTF

Entrée: I_c

Sortie: FI

Fonction: Projeter la valeur de sortie du quantificateur sur la fonction $F(I)$.

$IS = I_c \gg (C - 1)$, $C = 2, 3, 4$.

Pour $C = 2$:

$$IM = \begin{cases} I_c \& 1, & IS = 0 \\ (3 - I_c) \& 1, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 7, & IM = 1 \\ 0, & IM = 0 \end{cases}$$

Pour $C = 3$:

$$IM = \begin{cases} I_c \& 3, & IS = 0 \\ (7 - I_c) \& 3, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 7, & IM = 3 \\ 2, & IM = 2 \\ 1, & IM = 1 \\ 0, & IM = 0 \end{cases}$$

Pour $C = 4$:

$$IM = \begin{cases} I_c \& 7, & IS = 0 \\ (15 - I_c) \& 7, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 0, & 0 \leq IM \leq 2 \\ 1, & 3 \leq IM \leq 5 \\ 3, & IM = 6 \\ 7, & IM = 7 \end{cases}$$

LIMA

Entrée: AP

Sortie: AL

Fonction: Limiter le paramètre de contrôle de la vitesse.

$$AL = \begin{cases} 64, & AP \geq 256 \\ AP \gg 2, & AP \leq 255 \end{cases}$$

SUBTC

Entrées: DMSP, DMLP, TDP, Y

Sortie: AX

Fonction: Calculer la valeur absolue de la différence des fonctions à court et à long terme de la suite des codes MICDA puis réaliser des comparaisons de seuils pour actualiser le paramètre de contrôle de la vitesse d'adaptation du quantificateur.

$DIF = ((DMSP \ll 2) + 32768 - DMLP) \& 32767$ | Calculer la différence
 $DIFS = DIF \gg 14$ |

$DIFM = \begin{cases} DIF, & DIFS = 0 \\ (32768 - DIF) \& 16383, & DIFS = 1 \end{cases}$ |
| Calculer l'amplitude
| de la différence
|

$DTHR = DMLP \gg 3$

$AX = \begin{cases} 0, & Y \geq 1536 \text{ et } DIFM < DTHR \text{ et } TDP = 0 \\ 1, & \text{dans les autres cas} \end{cases}$

TRIGA

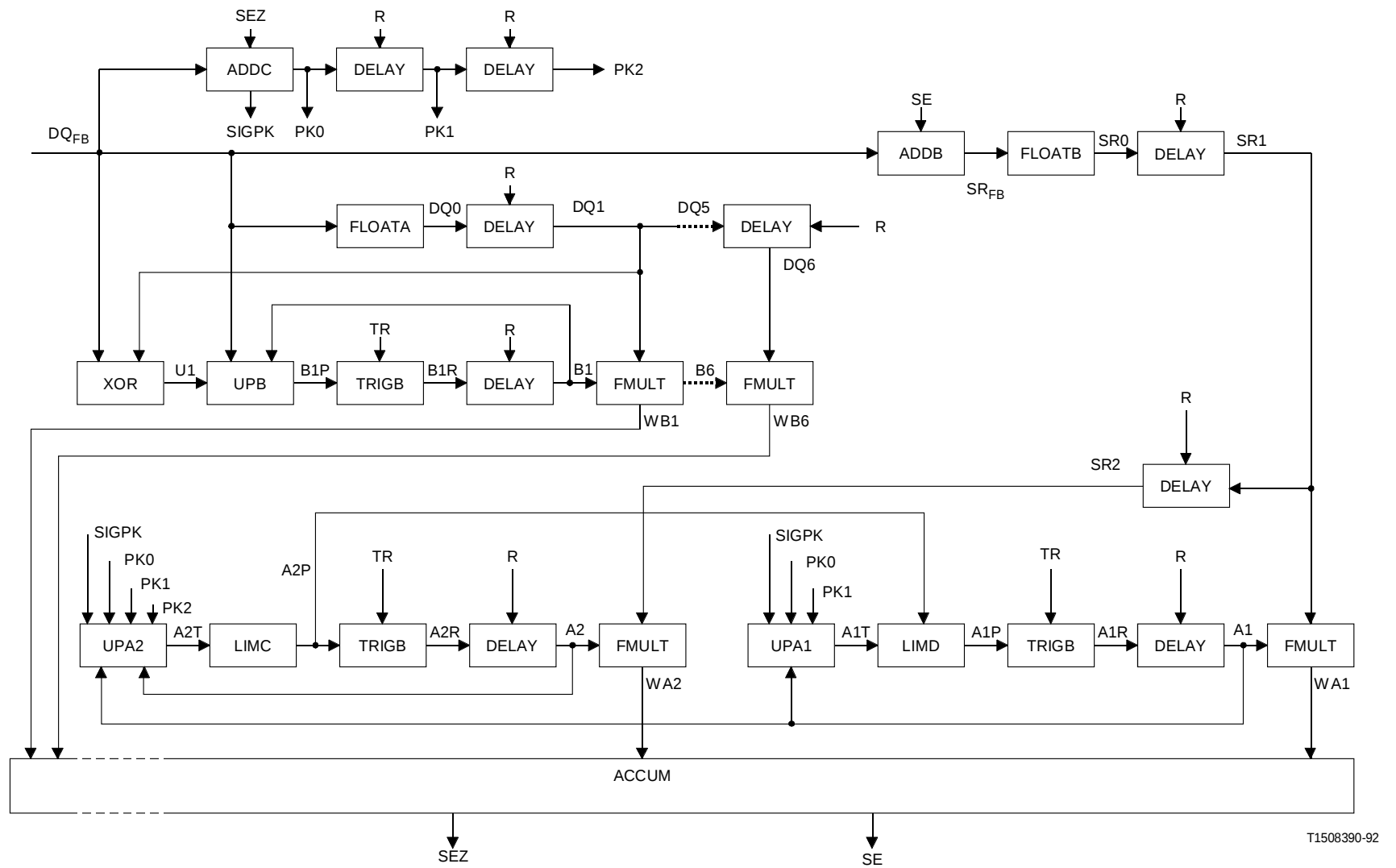
Entrées: TR, APP

Sortie: APR

Fonction: Bloc de déclenchement du contrôle de vitesse.

$APR = \begin{cases} APP, & TR = 0 \\ 256, & TR = 1 \end{cases}$

6.2.7 Prédicteur adaptatif et calcul du signal reconstitué (circuit de contre-réaction)



T1508390-92

FIGURE 10/G.727

Prédicteur adaptatif et calcul du signal reconstitué

ACCUM

Entrées: WA1, WA2, WB1, WB2, WB3, WB4, WB5, WB6

Sorties: SE, SEZ

Fonction: Addition des sorties du prédicteur pour former la valeur estimée partielle du signal (à partir du prédicteur du sixième ordre) et la valeur estimée du signal.

$SEZI = (((((((((WB1 + WB2) \& 65535) + WB3) \& 65535) + WB4) \& 65535) + WB5) \& 65535) + WB6) \& 65535$ | Additionner pour obtenir la valeur
estimée partielle du signal

$SEI = (((SEZI + WA2) \& 65535) + WA1) \& 65535$ | Achever l'addition pour obtenir la
valeur estimée du signal

$SEZ = SEZI \gg 1$

$SE = SEI \gg 1$

ADDB

Entrées: DQ_{FB} ou DQ_{FF} , SE

Sorties: SR_{FB} ou DQ_{FF}

Fonction: Addition du signal de différence quantifié et de la valeur estimée du signal pour former le signal reconstitué.

Remarque: On donne ci-dessous les variables indicées pour le circuit de contre-réaction. L'équation garde sa valeur si l'on substitue DQ_{FF} à DQ_{FB} et DQ_{FF} à DQ_{FB} .

$DQS_{FB} = DQ_{FB} \gg 14$

$DQI = \begin{cases} DQ_{FB}, & DQS_{FB} = 0 \\ (65536 - (DQ_{FB} \& 16383)) \& 65535, & DQS_{FB} = 1 \end{cases}$ |
| Convertir le code amplitude signée
| en code complément à deux
|

$SES = SE \gg 14$

$SEI = \begin{cases} SE, & SES = 0 \\ (1 \ll 15) + SE, & SES = 1 \end{cases}$ |
| Extension du signe
|

$SR_{FB} = (DQI + SEI) \& 65535$

ADDC

Entrées: DQ_{FB} , SEZ

Sorties: $PK0$, $SIGPK$

Fonction: Obtenir le signe de la somme du signal de différence quantifié et de la valeur estimée partielle du signal.

$$DQS_{FB} = DQ_{FB} \gg 14$$

$$DQI = \begin{cases} DQ_{FB}, & DQS_{FB} = 0 \\ (65536 - (DQ_{FB} \& 16383)) \& 65535, & DQS_{FB} = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Convertir le code amplitude signée} \\ | \text{ en code complément à deux} \\ | \end{array}$$

$$SEZS = SEZ \gg 14$$

$$SEZI = \begin{cases} SEZ, & SEZS = 0 \\ (1 \ll 15) + SEZ, & SEZS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extension du signe} \\ | \end{array}$$

$$DQSEZ = (DQI + SEZI) \& 65535$$

$$PK0 = DQSEZ \gg 15$$

$$SIGPK = \begin{cases} 1, & DQSEZ = 0 \\ 0, & \text{dans les autres cas} \end{cases}$$

DELAY

Voir la spécification au § 6.2.5.

FLOATA

Entrée: DQ_{FB}

Sortie: DQ_0

Fonction: Convertir le code amplitude signée à 15 bits en code virgule flottante.

$$DQS_{FB} = DQ_{FB} \gg 14$$

$$MAG = DQ_{FB} \& 16383$$

| Calculer l'amplitude

$$EXP = \begin{cases} 14, & 8192 \leq MAG \\ 13, & 4096 \leq MAG \leq 8191 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq MAG \leq 3 \\ 1, & MAG = 1 \\ 0, & MAG = 0 \end{cases}$$

| Calculer l'exposant

$$MANT = \begin{cases} 1 \ll 5, & MAG = 0 \\ (MAG \ll 6) \gg EXP, & \text{dans les autres cas} \end{cases}$$

| Calculer la mantisse avec un 1 pour
| le bit de plus fort poids

$$DQ_0 = (DQS_{FB} \ll 10) + (EXP \ll 6) + MANT$$

| Combiner le bit de signe, 4 bits
| d'exposant et 6 bits de mantisse
| pour former un mot à 11 bits

FLOATB

Entrée: SR

Sortie: SR0

Fonction: Convertir le code complément à deux (16 bits) en code virgule flottante.

$$SRS = SR_{FB} \gg 15$$

$$MAG = \begin{cases} SR_{FB}, & SRS = 0 \\ (65536 - SR_{FB}) \& 32767, & SRS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Calculer l'amplitude} \\ | \end{array}$$

$$EXP = \begin{cases} 15, & 16384 \leq MAG \\ 14, & 8192 \leq MAG \leq 16383 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq MAG \leq 3 \\ 1, & MAG = 1 \\ 0, & MAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \\ | \\ | \text{ Calculer l'exposant} \\ | \\ | \end{array}$$

$$MANT = \begin{cases} 1 \ll 5, & MAG = 0 \\ (MAG \ll 6) \gg EXP, & \text{dans les autres cas} \end{cases} \quad \begin{array}{l} | \text{ Calculer la mantisse avec un 1 pour} \\ | \text{ le bit de plus fort poids} \\ | \end{array}$$

$$SR0 = (SRS \ll 10) + (EXP \ll 6) + MANT \quad \begin{array}{l} | \text{ Combiner le bit de signe, 4 bits} \\ | \text{ d'exposant et 6 bits de mantisse pour} \\ | \text{ former un mot de 11 bits} \end{array}$$

FMULT

Entrées: An ou Bn, SRn ou DQn

Sorties: WAn ou WBn

Remarque: Les équations sont données pour An, SRn et WAn. Elles sont aussi valables en remplaçant An par Bn, SRn par DQn et WAn par WBn.

Fonction: Multiplier les coefficients de prédiction par le signal de différence quantifié ou le signal reconstitué correspondant. La multiplication est effectuée en virgule flottante.

$$AnS = An \gg 15$$

$$AnMAG = \begin{cases} An \gg 2, & AnS = 0 \\ (16384 - (An \gg 2)) \& 8191, & AnS = 1 \end{cases}$$

|
| Convertir le code complément à
| deux en code amplitude signée

$$AnEXP = \begin{cases} 13, & 4096 \leq AnMAG \\ 12, & 2048 \leq AnMAG \leq 4095 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq AnMAG \leq 3 \\ 1, & AnMAG = 1 \\ 0, & AnMAG = 0 \end{cases}$$

|
|
|
|
| Calculer l'exposant
|
|
|

$$AnMANT = \begin{cases} 1 \ll 5, & AnMAG = 0 \\ (AnMAG \ll 6) \gg AnEXP, & \text{dans les autres cas} \end{cases}$$

| Calculer la mantisse avec un 1 pour
| le bit de plus fort poids
|

$$SRnS = SRn \gg 10$$

$$SRnEXP = (SRn \gg 6) \& 15$$

$$SRnMANT = SRn \& 63$$

| Extraire le bit de signe, l'exposant
| et la mantisse du mot en virgule
| flottante

$$WAnS = SRnS \mathrel{\ast\ast} AnS$$

$$WAnEXP = SRnEXP + AnEXP$$

$$WAnMANT = ((SRnMANT \ast AnMANT) + 48) \gg 4$$

| Effectuer la multiplication en
| virgule flottante
|

$$WAnMAG = \begin{cases} (WAnMANT \ll 7) \gg (26 - WAnEXP), & WAnEXP \leq 26 \\ (((WAnMANT \ll 7) \ll (WAnEXP - 26)) \& 32767), & WAnEXP > 26 \end{cases}$$

| Convertir la virgule
| flottante en amplitude

$$WAn = \begin{cases} WAnMAG, & WAnS = 0 \\ (65536 - WAnMAG) \& 65535, & WAnS = 1 \end{cases}$$

| Convertir l'amplitude en code
| complément à deux

LIMC

Entrée: A2T

Sortie: A2P

Fonction: Limites du coefficient a_2 du prédicteur de second ordre.

$$A2UL = 12288$$

| Limite supérieure: +0,75

$$A2LL = 53248$$

| Limite inférieure: -0,75

$$A2P = \begin{cases} A2LL, & 32768 \leq A2T \leq A2LL \\ A2UL, & A2UL \leq A2T \leq 32767 \\ A2T, & \text{dans les autres cas} \end{cases}$$

LIMD

Entrées: A1T, A2P

Sortie: A1P

Fonction: Limites du coefficient a_1 du prédicteur de second ordre.

$$OME = 15360$$

| $(1 - \epsilon)$ où $\epsilon = 1/16$

$$A1UL = (OME + 65536 - A2P) \& 65535$$

| Calculer la limite supérieure

$$A1LL = (A2P + 65536 - OME) \& 65535$$

| Calculer la limite inférieure

$$A1P = \begin{cases} A1LL, & 32768 \leq A1T \text{ et } A1T \leq A1LL \\ A1UL, & A1UL \leq A1T \text{ et } A1T \leq 32767 \\ A1T, & \text{dans les autres cas} \end{cases}$$

TRIGB

Entrées: TR, AnP ou BnP ou TDP

Sorties: AnR ou BnR ou TDR

Remarque: L'équation est donnée pour AnP et AnR. Elle est aussi valable si l'on remplace respectivement AnP et AnR par BnP et BnR ou TDP et TDR.

Fonction: Point de déclenchement du prédicteur.

$$AnR = \begin{cases} AnP, & TR = 0 \\ 0, & TR = 1 \end{cases}$$

UPA1

Entrées: PK0, PK1, A1, SIGPK

Sortie: A1T

Fonction: Actualiser le coefficient a_1 du prédicteur de second ordre.

$$PKS = PK0 ** PK1 \quad | \text{ «ou exclusif» à 1 bit}$$

$$UGA1 = \begin{cases} 192, & PKS = 0 \text{ et } SIGPK = 0 \\ 65344, & PKS = 1 \text{ et } SIGPK = 0 \\ 0, & SIGPK = 1 \end{cases} \quad | \text{ Gain} = \pm 3/256$$

$$A1S = A1 \gg 15$$

$$ULA1 = \begin{cases} (65536 - (A1 \gg 8)) \& 65535, & A1S = 0 \\ (65536 - ((A1 \gg 8) + 65280)) \& 65535, & A1S = 1 \end{cases} \quad | \text{ Facteur d'atténuation} = 1/256$$

$$UA1 = (UGA1 + ULA1) \& 65535 \quad | \text{ Calculer l'actualisation}$$

$$A1T = (A1 + UA1) \& 65535 \quad |$$

UPA2

Entrées: PK0, PK1, PK2, A1, A2, SIGPK

Sortie: A2T

Fonction: Actualiser le coefficient a_2 du prédicteur du second ordre.

$PKS1 = PK0 ** PK1$ | «ou exclusif» à 1 bit

$PKS2 = PK0 ** PK2$ | «ou exclusif» à 1 bit

$$UGA2A = \begin{cases} 16384, & PKS2 = 0 \\ 114688, & PKS2 = 1 \end{cases}$$

$A1S = A1 \gg 15$

Si $A1S = 0$ alors

$$FA1 = \begin{cases} A1 \ll 2, & A1 \leq 8191 \\ 8191 \ll 2, & A1 \geq 8192 \end{cases}$$

|
| Mettre en œuvre $f(a_1)$
| avec limite à $+1/2$

Si $A1S = 1$ alors

$$FA1 = \begin{cases} (A1 \ll 2) \& 131071, & A1 \geq 57345 \\ 24577 \ll 2, & A1 \leq 57344 \end{cases}$$

|
| Mettre en œuvre $f(a_1)$
| avec limite à $-1/2$

$$FA = \begin{cases} FA1, & PKS1 = 1 \\ (131072 - FA1) \& 131071, & PKS1 = 0 \end{cases}$$

|
| Affecter le signe au
| résultat de $f(a_1)$

$UGA2B = (UGA2A + FA) \& 131071$

$UGA2S = UGA2B \gg 16$

$$UGA2 = \begin{cases} UGA2B \gg 7, & UGA2S = 0 \text{ et } SIGPK = 0 \\ (UGA2B \gg 7) + 64512, & UGA2S = 1 \text{ et } SIGPK = 0 \\ 0, & SIGPK = 1 \end{cases}$$

|
| Calcul du gain,
| gain = $\pm 1/128$
|

$A2S = A2 \gg 15$

$$ULA2 = \begin{cases} (65536 - (A2 \gg 7)) \& 65535, & A2S = 0 \\ (65536 - ((A2 \gg 7) + 65024)) \& 65535, & A2S = 1 \end{cases}$$

|
| Facteur d'atténuation = $1/128$
|

$UA2 = (UGA2 + ULA2) \& 65535$

$A2T = (A2 + UA2) \& 65535$

|
| Calculer l'actualisation
|

UPB

Entrées: Un, Bn, DQ_{FB}

Sortie: BnP

Fonction: Actualisation des coefficients du prédicteur du sixième ordre.

$DQMAG = DQ_{FB} \& 16383$

$$UGBn = \begin{cases} 128, & Un = 0 \text{ et } DQMAG \neq 0 \\ 65408, & Un = 1 \text{ et } DQMAG \neq 0 \\ 0, & DQMAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \text{ Gain} = \pm 1/128 \text{ ou } 0 \\ | \\ | \end{array}$$

$BnS = Bn \gg 15$

$$ULBn = \begin{cases} (65536 - (Bn \gg 8)) \& 65535, & BnS = 0 \\ (65536 - ((Bn \gg 8) + 65280)) \& 65535, & BnS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Facteur d'atténuation: } 1/256 \\ | \end{array}$$

$UBn = (UGBn + ULBn) \& 65535$ | Calculer l'actualisation
 $= (Bn + UBn) \& 65535$ |

XOR

Entrées: DQn, DQ_{FB}

Sortie: Un

Fonction: «ou exclusif» à 1 bit du signe du signal de différence et du signe du signal de différence retardé.

$DQS_{FB} = DQ_{FB} \gg 14$

$DQnS = DQn \gg 10$

$Un = DQS_{FB} ** DQnS$ | «ou exclusif» à 1 bit

6.2.8 Calcul du signal reconstitué (trajet vers l'avant)

Voir les spécifications au § 6.2.7.

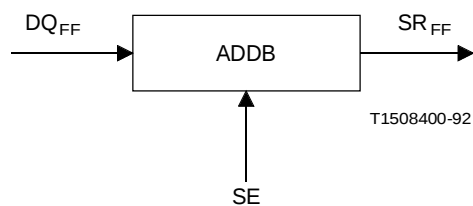


FIGURE 11/G.727

Calcul du signal reconstitué (trajet vers l'avant)

6.2.9 Détecteur de tonalité et de transition

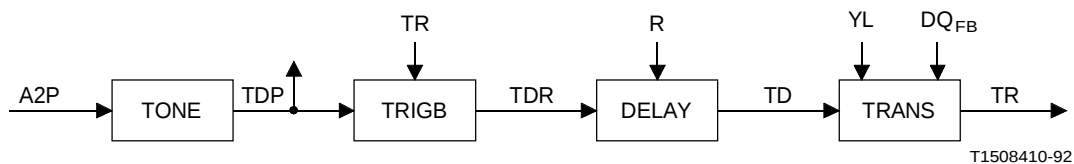


FIGURE 12/G.727

Détecteur de tonalité et de transition

DELAY

Voir la spécification au § 6.2.5.

TONE

Entrée: A2P

Sortie: TDP

Fonction: Détection du signal à bande étroite.

$$TDP = \begin{cases} 1, & 32768 \leq A2P \text{ et } A2P < 53760 \\ 0, & \text{dans les autres cas} \end{cases}$$

TRANS

Entrées: TD, YL, DQ_{FB}
 Sortie: TR
 Fonction: Détecteur de transition.

$$DQMAG = DQ_{FB} \& 16383$$

$$YLINT = YL \gg 15$$

$$YLFRAC = (YL \gg 10) \& 31$$

$$THR1 = (32 + YLFRAC) \ll YLINT$$

$$THR2 = \begin{cases} 31 \ll 9, YLINT > 8 \\ THR1, \text{ dans les autres cas} \end{cases}$$

$$DQTHR = (THR2 + (THR2 \gg 1)) \gg 1$$

$$TR = \begin{cases} 1, DQMAG > DQTHR \text{ et } TD = 1 \\ 0, \text{ dans les autres cas} \end{cases}$$

TRIGB

Voir la spécification au § 6.2.7.

6.2.10 Conversion du code MIC de sortie et dispositif d'ajustement synchrone du codage

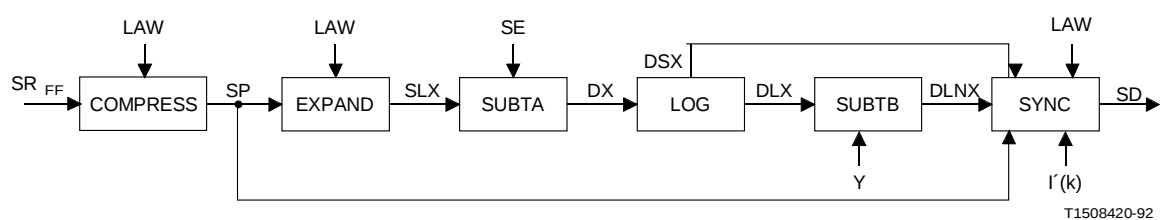


FIGURE 13/G.727

Conversion du code MIC de sortie et dispositif d'ajustement synchrone du codage

COMPRESS (décodeur seulement)

Entrées: SR_{FF} , LAW

Sortie: SP

Fonction: Convertir le format MIC uniforme en format MIC loi A ou loi μ .

$IS = SR_{FF} \gg 15$

$$IM = \begin{cases} SR_{FF}, & IS = 0 \\ (65536 - SR_{FF}) \& 32767, & IS = 1 \end{cases} \quad \begin{array}{l} | \text{ Convertir le code complément} \\ | \text{ à deux en code} \\ | \text{ amplitude signée} \end{array}$$

$$IMAG = \begin{cases} IM, & LAW = 0 \\ IM \gg 1, & LAW = 1 \text{ et } IS = 0 \\ (IM + 1) \gg 1, & LAW = 1 \text{ et } IS = 1 \end{cases} \quad \begin{array}{l} | \text{ loi } \mu \\ | \text{ loi A} \\ | \end{array}$$

Puis quantifier $IMAG$ (voir la remarque ci-après) conformément à la Recommandation G.711 à l'aide des valeurs de décision (colonne 5 des tableaux 1a/G.711, 1b/G.711, 2a/G.711 et 2b/G.711) de la manière suivante:

$$SP = \begin{cases} \text{signal de caractère, après inversion des bits de rang pair} \\ \text{déduite du tableau 1a/G.711, col. 6,} & IS = 0 \text{ et } LAW = 1 \\ \text{signal de caractère, après inversion des bits de rang pair} \\ \text{déduite du tableau 1b/G.711, col. 6,} & IS = 1 \text{ et } LAW = 1 \\ \text{signal de caractère du tableau 2a/G.711, col. 6,} & IS = 0 \text{ et } LAW = 0 \\ \text{signal de caractère du tableau 2b/G.711, col. 6,} & IS = 1 \text{ et } LAW = 0 \end{cases}$$

Remarque – Quand la valeur de $IMAG$ est à l'extérieur de l'intervalle défini par le niveau de décision virtuel, SP doit être égal au mot de code MIC maximal. Pour plus de clarté, des exemples de conversion de la loi A (après inversion des bits pairs) et de la loi μ au voisinage de l'origine sont donnés dans le tableau ci-après:

TABLEAU 16/G.727

Exemples de conversion de la loi A et de la loi μ

IS	IMAG	Mot de code MIC SP	
		loi A	loi μ
0	3	11010100	11111101
0	2	11010100	11111110
0	1	11010101	11111110
0	0	11010101	11111111
1	1	01010101	01111110
1	2	01010101	01111110
1	3	01010100	01111101

EXPAND

Voir la spécification au § 6.2.1. Remplacer S par SP pour l'entrée et SL par SLX pour la sortie.

SUBTA

Voir la spécification au § 6.2.1. Remplacer SL par SLX pour l'entrée et D par DX pour la sortie.

LOG

Voir la spécification au § 6.2.2. Remplacer D par DX pour l'entrée, DL par DLX et DS par DSX pour les sorties.

SUBTB

Voir la spécification au § 6.2.2. Remplacer DL par DLX pour l'entrée et DLN par DLNX pour la sortie.

SYNC (décodeur seulement)

Entrées: I' , SP, DLNX, DSX, LAW

Sortie: SD

Fonction: Recoder l'échantillon MIC de sortie dans le décodeur pour le codage synchrone en cascade.

$$IS = I' \gg (E + C - 1)$$

Pour $E + C = 2$:

$$IM = \begin{cases} I' + 2, & IS = 0 \\ I' \& 1, & IS = 1 \end{cases}$$

ID est défini conformément au tableau suivant:

TABLEAU 17/G.727
Définition de ID pour E + C = 2

DSX	DLNX	ID	
0	261-2047	3	
0	0- 260	2	– Partie positive de l'intervalle de décision
0	2048-4095	2	– Partie négative de l'intervalle de décision
1	2048-4095	1	– Partie négative de l'intervalle de décision
1	0- 260	1	– Partie positive de l'intervalle de décision
1	261-2047	0	

Pour (E + C = 3):

$$IM = \begin{cases} I' + 4, & IS = 0 \\ I' \& 3, & IS = 1 \end{cases}$$

ID est défini conformément au tableau suivant:

TABLEAU 18/G.727
Définition de ID pour E + C = 3

DSX	DLNX	ID	
0	356-2047	7	
0	261- 355	6	
0	123- 260	5	
0	0- 122	4	– Partie positive de l'intervalle de décision
0	2048-4095	4	– Partie négative de l'intervalle de décision
1	2048-4095	3	– Partie négative de l'intervalle de décision
1	0- 122	3	– Partie positive de l'intervalle de décision
1	123- 260	2	
1	261- 355	1	
1	356-2047	0	

Pour (E + C = 4):

$$IM = \begin{cases} I' + 8, & IS = 0 \\ I' \& 7, & IS = 1 \end{cases}$$

ID est défini conformément au tableau suivant:

TABLEAU 19/G.727

Définition de ID pour E + C = 4

DSX	DLNX	ID	
0	405-2047	15	
0	356- 404	14	
0	310- 355	13	
0	261- 309	12	
0	202- 260	11	
0	123- 201	10	
0	0- 122	9	-- Partie positive de l'intervalle de décision
0	4089-4095	9	-- Partie négative de l'intervalle de décision
0	2048-4088	8	
1	2048-4088	7	
1	4089-4095	6	-- Partie négative de l'intervalle de décision
1	0- 122	6	-- Partie positive de l'intervalle de décision
1	123- 201	5	
1	202- 260	4	
1	261- 309	3	
1	310- 355	2	
1	356- 404	1	
1	405-2047	0	

Pour (E + C = 5):

$$IM = \begin{cases} I' + 16, IS = 0 \\ I' \& 15, IS = 1 \end{cases}$$

ID est défini conformément au tableau suivant:

TABLEAU 20/G.727

Définition de ID pour E + C = 5

DSX	DLNX	ID	
0	439-2047	31	
0	405- 438	30	
0	380- 404	29	
0	356- 379	28	
0	333- 355	27	
0	310- 332	26	
0	286- 309	25	
0	261- 285	24	
0	233- 260	23	
0	202- 232	22	
0	166- 201	21	
0	123- 165	20	
0	69- 122	19	
0	0- 68	18	– Partie positive de l'intervalle de décision
0	4089-4095	18	– Partie négative de l'intervalle de décision
0	3961-4088	17	
0	2048-3960	16	
1	2048-3960	15	
1	3961-4088	14	
1	4089-4095	13	– Partie négative de l'intervalle de décision
1	0- 68	13	– Partie positive de l'intervalle de décision
1	69- 122	12	
1	123- 165	11	
1	166- 201	10	
1	202- 232	9	
1	233- 260	8	
1	261- 285	7	
1	286- 309	6	
1	310- 332	5	
1	333- 355	4	
1	356- 379	3	
1	380- 404	2	
1	405- 438	1	
1	439-2047	0	

$$SD = \begin{cases} SP^+, ID < IM \\ SP, ID = IM \\ SP^-, ID > IM \end{cases}$$

où

SP^+ = mot de code MIC qui représente le niveau de sortie MIC immédiatement supérieur (lorsque SP représente le niveau de sortie maximal positif, alors SP^+ est maintenu égal à SP),

et

SP^- = mot de code MIC qui représente le niveau de sortie MIC immédiatement inférieur (lorsque SP représente le niveau de sortie maximal négatif, alors SP^- est maintenu égal à SP).

Pour plus de clarté, des exemples de recodage pour la loi A (après inversion des bits de rang pair) et la loi μ au voisinage de l'origine sont donnés dans le tableau ci-après:

TABLEAU 21/G.727

Recodage pour la loi A et la loi μ

Comparaison entre ID et IM	Loi A		Loi μ	
	SP	SD	SP	SD
ID > IM	11010101	01010101	11111110	11111111
ID = IM	"	11010101	"	11111110
ID < IM	"	11010100	"	11111101
ID > IM	01010101	01010100	11111111	01111110
ID = IM	"	01010101	"	11111111
ID < IM	"	11010101	"	11111110
ID > IM	01010100	01010111	01111110	01111101
ID = IM	"	01010100	"	01111110
ID < IM	"	01010101	"	01111111

Remarque – SP (et SD) représentent les signaux de caractères définis conformément aux tableaux 1/G.711 et 2/G.711. Voir le sous-bloc COMPRESS ci-dessus pour la représentation exacte de SP (et SD).

APPENDICE I

(à la Recommandation G.727)

Séquences d'essai numériques pour la vérification

Le présent appendice donne des renseignements sur la façon d'ordonner les séquences d'essai numériques qui ont été choisies pour vérifier les mises en œuvre des algorithmes décrits dans la Recommandation G.727. Des copies des séquences sur disquettes souples, accompagnées d'une description détaillée, peuvent être commandées auprès des services de vente de l'UIT (Prière de se référer à la lettre collective 12/XV, 1991).

II.1 *Objet des séquences d'essai numériques*

Les séquences numériques servent à vérifier la conformité de la mise en œuvre de l'algorithme de transcodage numérique. Les séquences sont choisies de manière à faire intervenir les composantes arithmétiques les plus importantes et donnent ainsi un niveau raisonnable de confiance en la conformité de la mise en œuvre de l'algorithme à la présente Recommandation. Il convient de noter qu'il n'est pas possible de prouver à 100% cette conformité avec un nombre limité de séquences d'essai pour tous les états possibles du dispositif. Les questions plus générales soulevées lors de l'essai de ces algorithmes sont activement étudiées dans le cadre des essais VLSI et les tests de conformité des protocoles.

II.2 *Interface et format des disquettes*

On peut se procurer à l'UIT des exemplaires des séquences d'essai numériques, sur douze disquettes 5-1/4". Ces disquettes ont été créées à l'aide du système d'exploitation MS-DOS (version 3.2 ou plus récente) et ont les caractéristiques suivantes: 1,2 Mbyte, haute densité, double face, 96 pistes par pouce au format MD-DOS 5-1/4".