



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

**UIT-T**

SECTOR DE NORMALIZACIÓN  
DE LAS TELECOMUNICACIONES  
DE LA UIT

**V.54**

**COMUNICACIÓN DE DATOS  
POR LA RED TELEFÓNICA**

---

**DISPOSITIVOS DE PRUEBA EN BUCLE  
PARA MÓDEMS**

**Recomendación UIT-T V.54**

(Extracto del *Libro Azul*)

---

## NOTAS

1 La Recomendación UIT-T V.54 se publicó en el fascículo VIII.1 del Libro Azul. Este fichero es un extracto del Libro Azul. Aunque la presentación y disposición del texto son ligeramente diferentes de la versión del Libro Azul, el contenido del fichero es idéntico a la citada versión y los derechos de autor siguen siendo los mismos (Véase a continuación).

2 Por razones de concisión, el término «Administración» se utiliza en la presente Recomendación para designar a una administración de telecomunicaciones y a una empresa de explotación reconocida.

© UIT 1988, 1993

Reservados todos los derechos. No podrá reproducirse o utilizarse la presente Recomendación ni parte de la misma de cualquier forma ni por cualquier procedimiento, electrónico o mecánico, comprendidas la fotocopia y la grabación en micropelícula, sin autorización escrita de la UIT.

## Recomendación V.54

### DISPOSITIVOS DE PRUEBA EN BUCLE PARA MÓDEMS

(Ginebra, 1976; modificada en Ginebra, 1980;  
Málaga-Torremolinos, 1984 y Melbourne, 1988)

#### 1 Introducción

El CCITT,

*considerando*

el creciente uso de sistemas de transmisión de datos, el volumen de la información que circula por las redes de transmisión de datos, las economías que puede originar la disminución de los tiempos de interrupción de los enlaces, la importancia de poder determinar las responsabilidades en lo que respecta al mantenimiento en las redes en que intervienen varias partes interesadas, y el interés de la normalización en este terreno,

*recomienda por unanimidad*

que la localización de averías se facilite, en muchos casos, mediante procedimientos de conexión en bucle en los módems. Estos bucles permitirán a las Administraciones y a los usuarios interesados efectuar facultativamente medidas locales o a distancia analógicas o digitales.

#### 2 Campo de aplicación

Esta Recomendación especifica los procedimientos de prueba en bucle para módems en los siguientes casos:

- para el modo síncrono de funcionamiento por circuitos arrendados punto a punto, multipunto, en cascada y por conexiones de la red telefónica general con conmutación (RTGC);
- para el modo de funcionamiento arrítmico por circuitos arrendados punto a punto y por conexiones de la RTGC.

#### 3 Definición de los bucles

Se definen cuatro bucles (numerados de 1 a 4), cuyas posiciones, vistas desde el ETD A, se muestran en la figura 1/V.54. Podría existir un conjunto simétrico de cuatro bucles vistos desde el ETD B.

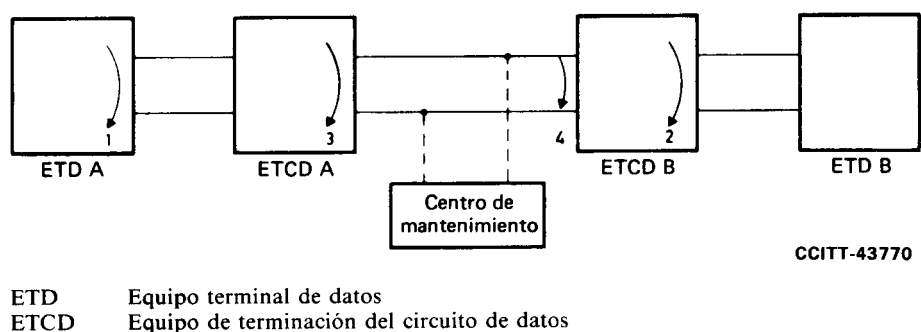


FIGURA 1/V.54

##### 3.1 Bucle 1

Este bucle sirve para una prueba básica de funcionamiento del ETD, en la cual se devuelven a éste señales transmitidas para fines de verificación. El bucle debe establecerse dentro del ETD, lo más cerca posible del interfaz.

Mientras el ETD está en la condición de prueba bucle 1:

- el circuito 103 – Transmisión de datos, está conectado al circuito 104 – Recepción de datos, dentro del ETD;
- el circuito 108/1 o el 108/2 deben estar en el mismo estado en que se encontraban antes de la prueba;
- el circuito 105 debe estar en estado ABIERTO;
- el ETD deberá seguir supervisando el circuito 125 a fin de que pueda darse prioridad a una llamada entrante con respecto a una prueba periódica de conexión en bucle.

El circuito de enlace 103 presentado al ETCD debe estar en el estado 1 binario.

Los estados de los otros circuitos de enlace no se especifican, pero deberán permitir, de ser posible, el funcionamiento normal; seguirá enviándose la información de temporización para la transmisión, especialmente si procede del ETCD (véase el § 4.6.2 de la Recomendación V.24).

*Observación* – En el caso de que el ETD no utilice los circuitos 108 y 105 (por ejemplo, en aplicaciones con líneas arrendadas), el ETCD no será informado del estado de prueba. Esto se considera aceptable siempre que no produzca perturbación en la estación distante.

### 3.2 Bucle 3

Se trata de un bucle local establecido en modo analógico lo más cerca posible de la línea para comprobar el buen funcionamiento del ETCD. Debe incluir el mayor número de circuitos utilizados en funcionamiento normal (sobre todo, si es posible, la función de conversión de señales), lo cual puede exigir, en determinados casos, por ejemplo, la inclusión de dispositivos de atenuación de las señales.

El establecimiento del bucle no presenta dificultades en el caso de una línea a cuatro hilos, a no ser en algunas ocasiones en que se retiran del servicio partes del sistema de ecualización de línea.

En ciertas líneas a dos hilos, el bucle se puede lograr por simple desequilibrio del transformador diferencial.

Cuando el ETCD está en el estado de prueba en bucle 3:

- la línea de transmisión se termina de manera apropiada, como exija la reglamentación nacional;
- todos los circuitos de enlace se explotan normalmente, salvo en el caso de funcionamiento semidúplex a dos hilos en que se neutraliza la fijación obligatoria cuando intervienen los circuitos 105 y 109 [como se especifica en el apartado a) del § 4.3.2 de la Recomendación V.24];
- el ETD seguirá supervisando al circuito 125 para que pueda darse prioridad a una llamada entrante con respecto a una prueba periódica de conexión en bucle, después de abandonar el estado de puesta en bucle 3;
- no se transmiten señales a la línea por el canal de datos.

Teniendo en cuenta que la mayoría de los circuitos de enlace operan normalmente, no se incluye un diagrama de la secuencia de funcionamiento de los circuitos de enlace.

*Observación 1* – En ciertas redes con conmutación, el procedimiento para el bucle 3 puede entrañar la liberación de la conexión de conformidad con la reglamentación nacional. Sin embargo, durante el estado de la puesta en bucle 3 el ETCD no debe ser conectado a la línea, si no lo estaba ya anteriormente.

*Observación 2* – En las conexiones punto a punto a cuatro hilos, el circuito 105 puede estar continuamente en estado CERRADO. Si en estos casos se utilizan módems síncronos, no se transmitirán datos de prueba hasta que los circuitos 106, 109 y 142 estén en estado CERRADO.

### 3.3 Bucle 2

El bucle 2 tiene por objeto permitir a la estación A o a la red comprobar el buen funcionamiento de la línea (o de una parte de la línea) y del ETCD B. Sólo puede utilizarse con un ETCD dúplex; la aplicación al canal de retorno será objeto de ulterior estudio. En el caso de ETCD semidúplex, se puede definir un seudobucle 2 que se especificará en las Recomendaciones relativas a los ETCD pertinentes.

El establecimiento del bucle será efectivo cuando se aplica el control, independientemente del estado del circuito 108 presentado por el ETD asociado al ETCD donde se establece el bucle.

Cuando el ETCD B se encuentra en el estado de prueba en bucle 2:

- el circuito 104 está conectado, en el interior del ETCD, al circuito 103 (véase la observación 1);

- el circuito 104 hacia el ETD se mantiene en el estado 1 binario;
- el circuito 109 está conectado, en el interior del ETCD, al circuito 105 (véase la observación 1);
- el circuito 109 hacia el ETD se mantiene en el estado ABIERTO;
- el circuito 106 hacia el ETD se mantiene en el estado ABIERTO;
- el circuito 107 hacia el ETD se mantiene en el estado ABIERTO;
- el circuito 115 está conectado, en el interior del ETCD, al circuito 113, si existe (véase la observación 1);
- el circuito 115 y el circuito 114 (si existen) hacia el ETD continúan funcionando.

*Observación 1* – Para las conexiones internas en el ETCD, las características eléctricas de la señal pueden ser o bien las de los circuitos de enlace o las del nivel lógico utilizado en el interior del ETCD.

*Observación 2* – En ciertas aplicaciones puede no ser conveniente conectar el circuito 115 al circuito 113. En estos casos, pudiera recomendarse una memoria tampón flexible entre los circuitos 104 y 103. Alternativamente, pueden efectuarse modificaciones en el reloj de transmisión en una manera de fase continua.

### 3.4 Bucle 4

Esta conexión en bucle sólo se considera en el caso de líneas a cuatro hilos. El bucle 4 está destinado al mantenimiento de las líneas por las Administraciones que efectúen medidas de tipo analógico. En efecto, el conectar en cascada los pares de recepción y de transmisión no permite la realización de medidas en la conexión como en un circuito de datos (conformidad con una curva característica de línea, por ejemplo).

En la posición de puesta en bucle, los dos pares están desconectados del ETCD y conectados entre sí a través de un atenuador simétrico destinado a evitar toda oscilación del circuito (el bucle no comprende, pues, ninguno de los amplificadores ni correctores de distorsión utilizados en el ETCD). El valor del atenuador será fijado por cada Administración, de conformidad con la Recomendación G.122 [1].

El bucle 4 se puede establecer dentro del ETCD, o en una unidad separada.

Cuando el bucle 4 está dentro del ETCD, y mientras está en estado de prueba, el ETCD presenta al ETD los circuitos 107 y 109 en estado ABIERTO y el circuito 142 en estado CERRADO. Cuando el bucle 4 está en una unidad separada, la presentación de los estados anteriores es deseable pero no obligatoria.

## 4 Control de los bucles

Son posibles dos tipos (no exclusivos) de control en el ETCD:

- control manual por un conmutador colocado en el equipo;
- control automático a través del interfaz ETCD/ETD o al reconocer en los datos recibidos una señal de iniciación de conexión en bucle.

Los procedimientos de prueba deberán basarse en el control manual o automático de los bucles. Deberá evitarse el uso combinado de estos métodos de control. No obstante, en los ETCD que apliquen ambos métodos de prueba, la liberación manual de un bucle de prueba tendrá prioridad sobre su control automático.

*Observación* – No se especifica la respuesta de un ETCD a un intento de control automático o manual cuando se utiliza el otro método de control.

El circuito de enlace 142 se utilizará para informar al ETD de un estado de puesta en bucle en el ETCD local, aun en el caso de control manual (sin embargo, véase la observación 3 del cuadro I/V.54). A fin de evitar ambigüedades en la interpretación del circuito 142, en ningún momento se establecerá más de un bucle en el ETCD.

#### 4.1 Control manual

Véase el cuadro I/V.54.

CUADRO I/V.54

##### Señalización en el interfaz para el control manual de bucles

Bucle	Conmutador de control situado en	Señal hacia el ETD A		Señal hacia el ETD B		Nota
		Circuito 107	Circuito 142	Circuito 107	Circuito 142	
2	ETCD B	*)	*)	ABIERTO	CERRADO	Nota 1
3	ETCD A	CERRADO	CERRADO	*)	*)	Nota 2
4	ETCD B	*)	*)	ABIERTO	CERRADO	Nota 3

\*) No es aplicable.

*Nota 1* – La estación de datos A está en estado de funcionamiento normal. El bucle es establecido por un conmutador situado en el ETCD B.

*Nota 2* – En el ETCD A, el estado del circuito 107 será determinado por el del circuito 108. Cuando el interfaz no dispone del circuito 108, el circuito 107 está en estado CERRADO. En el cuadro se considera el caso normal.

*Nota 3* – Cuando el bucle 4 está en una unidad separada del ETCD, las señales hacia el ETD B son deseables pero no obligatorias debido a las dificultades de realización. Cuando el bucle está incorporado en el ETCD, su establecimiento será siempre posible mediante un conmutador instalado en el ETCD.

*Nota 4* – Los estados representados por CERRADO en el cuadro pueden también activar un indicador visual en el ETCD.

#### 4.2 Control automático a través del interfaz ETD/ETCD (véase el cuadro 2/V.54)

El control automático a través del interfaz ETD/ETCD se efectúa utilizando los circuitos 140, 141 y 142 definidos en la Recomendación V.24. El circuito 140 se utiliza para controlar el bucle 2 y el circuito 141 para controlar el bucle 3. El paso al estado CERRADO del circuito 142 indica que se ha establecido el modo de prueba. Si el circuito 107 está en estado CERRADO, se trata de una prueba que concierne al terminal asociado, y los datos transmitidos subsecuentemente por el circuito 103 se retornarán en bucle por el circuito 104. Si el circuito 107 está en estado ABIERTO, la prueba no concierne al terminal asociado.

*Observación 1* – El control automático del bucle 4 no se considera de utilidad ni para la estación local ni para la estación distante, por lo que no se prevé.

*Observación 2* – Como alternativa a la activación del bucle 3 a través del circuito 141, se puede activar aplicando el procedimiento de cuatro fases definido en este § 4.2.

CUADRO 2/V.54

##### Señalización en el interfaz para el control automático de bucle

Bucle	Señales de control desde el ETD A		Señales hacia el ETD A		Señales hacia el ETD B		Nota
	Circuito 140	Circuito 141	Circuito 107	Circuito 142	Circuito 107	Circuito 142	
2	CERRADO	ABIERTO	CERRADO	CERRADO	ABIERTO	CERRADO	Notas 1 y 2
3	ABIERTO	CERRADO	CERRADO	CERRADO	*)	*)	Nota 2

\*) No es aplicable.

*Nota 1* – Existe el riesgo de que se produzca una colisión frontal entre señales de control enviadas desde los dos extremos.

*Nota 2* – En el ETCD A, el estado del circuito 107 será determinado por el estado del circuito 108. Cuando el interfaz no dispone del circuito 108, el circuito 107 está en estado CERRADO. En el cuadro se considera el caso normal

Normalmente, el circuito 103 sólo puede utilizarse para transmitir datos o la secuencia de prueba mientras los estados de los circuitos 106, 140, 141 y 142 sean los indicados en el cuadro 3/V.54.

CUADRO 3/V.54

Circuito 103	Circuito 106	Circuito 140	Circuito 141	Circuito 142
Datos	CERRADO	ABIERTO	ABIERTO	ABIERTO
Secuencia de prueba bucle 2	CERRADO	CERRADO	ABIERTO	CERRADO
Secuencia de prueba bucle 3	CERRADO	ABIERTO	CERRADO	CERRADO

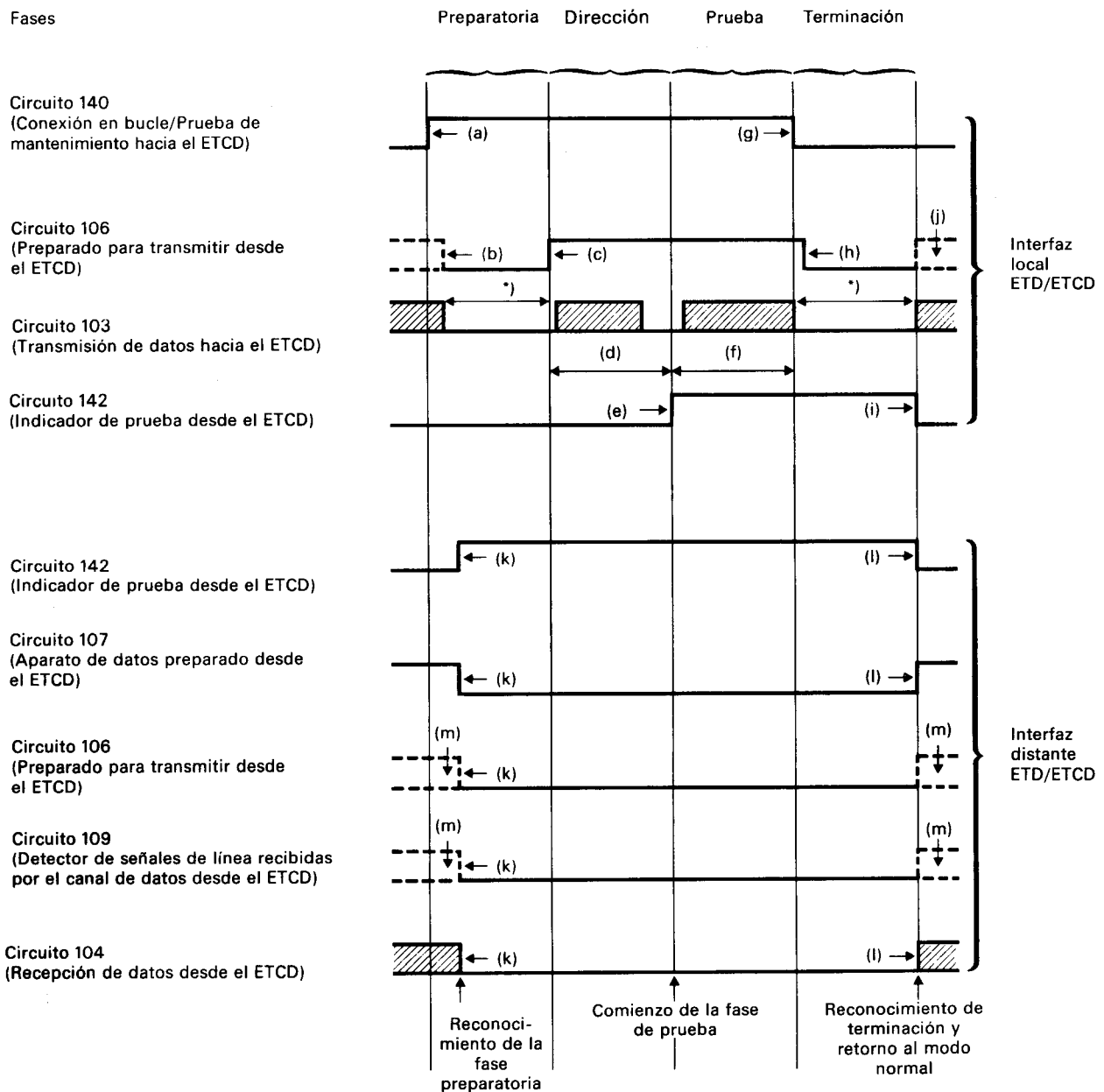
Para la señalización entre los ETCD, deberá utilizarse una secuencia de acción/reacción de cuatro fases. El estado de los circuitos de enlace utilizados principalmente durante esta secuencia se muestra en la figura 2/V.54.

Se describe el control automático con ETCD síncronos para:

- circuitos multipunto simples (véase el § 5),
- circuitos dúplex punto a punto (véase el § 6),
- circuitos en cascada (véase el § 7).

Se describe el control automático con ETCD asíncronos para:

- circuitos dúplex punto a punto (véase el § 8).



\*) El ETCD hará caso omiso del circuito 103 durante las fases preparatoria y de terminación.

Niveles significativos de referencia      0 binario      1 binario      CERRADO      ABIERTO

**Observación** — Esta secuencia puede utilizarse para circuitos punto a punto dúplex. La fase de dirección no es esencial para aplicaciones multipunto.

FIGURA 2/V.54

Estados de los circuitos de interfaz durante la secuencia de acción/reacción de cuatro fases



*En el extremo local*

- (a) El circuito 140 pasa al estado CERRADO (hacia el ETCD) para pedir una secuencia de mantenimiento.
- (b) El circuito 106 pasa al estado ABIERTO (desde el ETCD), tras un brevísimo intervalo, si no se encontraba ya ABIERTO.
- (c) El circuito 106 pasa al estado CERRADO (desde el ETCD) después de transcurrido cierto periodo de tiempo, lo que significa que el ETCD puede aceptar información de dirección.
- (d) El circuito 103 está activo (hacia el ETCD), transmitiendo la dirección.
- (e) El circuito 142 pasa al estado CERRADO (desde el ETCD), después de transcurrido cierto plazo, lo que significa que se ha actuado sobre la dirección de mantenimiento y, si se ha pedido el establecimiento de un bucle, el circuito 103 podrá ahora utilizarse para el mensaje de prueba.
- (f) El circuito 103 está activo (hacia el ETCD), conteniendo un mensaje de prueba o cualquier otro dato requerido por la rutina de mantenimiento que se realiza.
- (g) El circuito 140 pasa al estado ABIERTO (hacia el ETCD), pidiendo la terminación de la secuencia de mantenimiento y el retorno al funcionamiento normal.
- (h) El circuito 106 pasa al estado ABIERTO (desde el ETCD), tras un brevísimo intervalo.
- (i) El circuito 142 pasa al estado ABIERTO (desde el ETCD) después de transcurrido cierto plazo, lo que significa que la fase de terminación ha quedado completada y el sistema ha vuelto al funcionamiento normal.
- (j) El circuito 106 puede estar en estado CERRADO o ABIERTO después de la secuencia de mantenimiento.

Durante la secuencia de mantenimiento se hará caso omiso del estado del circuito 105.

*En el extremo distante*

- (k) El circuito 142 pasa al estado CERRADO (desde el ETCD), indicando así el modo de prueba al ETD distante.

El circuito 107 pasa al estado ABIERTO. Los circuitos 106 y 109 pasan al estado ABIERTO si no estaban ya en él.

El circuito 104 queda bloqueado en el estado 1 binario. Antes del reconocimiento preparatorio, pueden aparecer bits parásitos en el circuito 104.

- (l) El circuito 142 pasa al estado ABIERTO, el circuito 107 pasa al estado CERRADO, y se suprime el bloqueo del circuito 104 mediante el estado CERRADO del circuito 142, lo que significa que ha tenido lugar el reconocimiento de la fase de terminación en el ETCD distante y que éste ha retornado al funcionamiento normal.
- (m) Los circuitos 106 y 109 pueden estar en estado CERRADO o ABIERTO, antes y después de la secuencia de mantenimiento.

## **5 Señalización entre ETCD para circuitos multipunto simples con ETCD síncronos**

*Observación 1* – Los módems conformes con la Recomendación V.22 quedan excluidos de este procedimiento.

*Observación 2* – Considerando que ya existen o existirán módems que utilizan técnicas de señalización distintas de la definida en la presente Recomendación y que dichas técnicas de señalización se han diseñado de acuerdo con condiciones especiales formuladas por Administraciones o usuarios, esta Recomendación no limita la utilización de dichas técnicas de señalización.

En la figura A-1/V.54 se muestra un diagrama de estados de las fases preparatoria, de dirección, de prueba y de terminación.

## 5.1 Fase preparatoria

Durante la fase preparatoria, el ETCD A transmitirá una secuencia de  $2048 \pm 100$  bits producida por aleatorización de un 0 binario con el polinomio  $1 + x^{-4} + x^{-7}$ . No se especifica ninguna secuencia de arranque particular. La transmisión se efectuará a la velocidad binaria normal del ETCD. La secuencia se transmitirá como si su introducción en el ETCD se efectuase a través del circuito 103. En la figura 3/V.54 se muestra un ejemplo de una realización adecuada del aleatorizador. Antes de transmitir la secuencia preparatoria, el ETCD A tiene que establecer un canal de datos, de no estar éste disponible.

Los criterios para el reconocimiento de esta secuencia por el ETCD B no forman parte de esta Recomendación. Los criterios que se adopten deberán ofrecer una protección muy eficaz contra falsos reconocimientos debidos a simulación por datos de usuario y cierta protección contra la ausencia de reconocimiento de la señal preparatoria causada por una tasa elevada de errores en los bits. A fin de ofrecer protección contra el falso reconocimiento causado por tramas HDLC de usuario, la secuencia de bits consistente en siete unos binarios consecutivos presente en la secuencia preparatoria, deberá incluirse en los criterios de reconocimiento.

El ETCD B arrancará el temporizador TI (si existe) al reconocer la fase preparatoria.

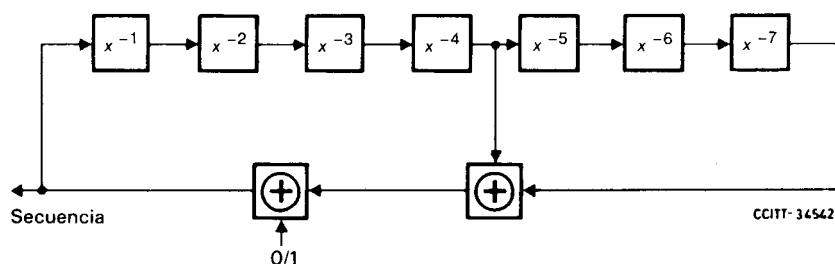


FIGURA 3/V.54

**Ejemplo de realización del aleatorizador**

## 5.2 Fase de dirección

### 5.2.1 Señalización de dirección

Durante la fase de dirección, el ETD transmitirá una secuencia de dirección consistente en un octeto de dirección que se repite al menos 16 veces. La secuencia puede estar precedida y seguida de otros octetos según requiera el protocolo de nivel de enlace de usuario. Los ETCD síncronos transmitirán estos octetos en ocho grupos de bits continuos.

El cuadro 4/V.54 contiene un conjunto de posibles octetos de dirección y las restricciones para su aplicación.

Cuando se requiera extender el conjunto de direcciones, puede producirse un conjunto similar consistente en direcciones de dos octetos.

*Observación* – El conjunto que figura en el cuadro 4/V.54 puede considerarse como un subconjunto del conjunto extendido, es decir, un subconjunto consistente en direcciones de dos octetos cuyos dos octetos son idénticos,

El ETCD reconocerá su dirección cuando ésta se detecte, al menos, en cinco octetos contiguos recibidos. No se requiere sincronización de octetos.

Cuando el ETCD detecta una secuencia de dirección (cinco octetos contiguos idénticos) que no contienen su dirección, desactivará la función de detección de dirección, evitando así el falso reconocimiento de su propia dirección debido a la simulación por mensajes de prueba subsiguientes.

### 5.2.2 Señalización de acuse de recibo

El ETCD B, al reconocer la señal de dirección que contiene su dirección, transmitirá una secuencia de  $1948 \pm 100$  bits producida por aleatorización de un 1 binario con el polinomio  $1 + x^{-4} + x^{-7}$ . No se especifica ninguna secuencia de arranque particular. La transmisión se hará a la velocidad binaria normal del ETCD. La secuencia se transmitirá como si su introducción en el ETCD se efectuase a través del circuito 103. En la figura 3/V.54 se muestra un ejemplo de realización adecuada del aleatorizador.

Antes de transmitir la secuencia de acuse de recibo, el ETCD B tiene que cerciorarse de que esté disponible el canal de datos hacia el ETCD A. En el caso de una prueba en bucle 2 en un ETCD síncrono, el ETCD B utilizará su temporización de los elementos de señal en la recepción para este canal de datos.

CUADRO 4/V.54

**Conjunto de direcciones de un solo octeto**

Código hexadecimal	Nota	Código hexadecimal	Nota	Código hexadecimal	Nota
01	1	19	1	37	1
03	2	1B	2	3B	1
05	2	1D	2	3D	1
07	1	1F	1,4	3F	2,4
09	2	25	1	55	2
0B	3	27	2	57	1
0D	1	2B	2	5B	1
0F	2	2D	2	5F	2,4
11	2	2F	1	6F	2
13	1	33	2	77	2
15	1	35	2	7F	1,4
17	2				

*Nota 1* – Paridad impar.

*Nota 2* – Paridad par.

*Nota 3* – Sincronización (1/6) con paridad impar.

*Nota 4* – No debe utilizarse en estructuras de trama ISO 3309 (HDLC).

Los criterios para el reconocimiento de esta secuencia por el ETCD A no forman parte de esta Recomendación. Los criterios que se adopten deberán ofrecer una protección eficaz contra la ausencia de reconocimiento de la secuencia de acuse de recibo causada por una tasa elevada de errores en los bits.

El ETCD B, después de transmitir la secuencia de acuse de recibo, pasará a la fase de prueba.

El ETCD A, después de reconocer la secuencia de acuse de recibo, esperará durante un periodo de  $2148 \pm 100$  bits y hará pasar seguidamente el circuito 142 al estado CERRADO, entrando de esta forma en la fase de prueba.

El ETCD A, después de reconocer la secuencia de acuse de recibo, no efectuará operación alguna si se encuentra en el modo de datos normal.

### 5.3 Fase de prueba

Las señales transmitidas durante la fase de prueba no forman parte de esta Recomendación.

### 5.4 Fase de terminación

Durante la fase de terminación, el ETCD A transmitirá una secuencia de  $8192 \pm 100$  bits producidos por aleatorización de un 1 binario con el polinomio  $1 + x^{-4} + x^{-7}$ , seguido por 64 unos binarios.

No se especifica ninguna secuencia particular de arranque. La transmisión se efectuará a la velocidad binaria normal del ETCD. La secuencia se transmitirá como si su introducción en el ETCD se efectuase a través del circuito 103. En la figura 3/V.54 se muestra un ejemplo de realización adecuada del aleatorizador.

El ETCD B pondrá fin al modo de prueba en cualquiera de las siguientes situaciones:

- reconocimiento de la secuencia de terminación;
- pérdida de portadora durante más de un segundo;

- expiración del temporizador facultativo T1.

Los criterios para el reconocimiento de esta secuencia por el ETCD B no forman parte de esta Recomendación. Los criterios que se adopten deberán ofrecer una protección eficaz contra falsos reconocimientos debidos a simulación por datos de prueba y contra la ausencia de reconocimiento de la secuencia de terminación causada por una tasa elevada de errores en los bits.

El ETCD B saldrá normalmente de la fase de terminación durante la recepción de la secuencia de unos binarios que pone fin a la secuencia de terminación

El ETCD B, después de reconocer la secuencia de terminación, no efectuará operación alguna si se encuentra en el modo de datos normal.

*Observación* - La longitud del intervalo de tiempo del temporizador facultativo T1 no se especifica en esta Recomendación.

## 6 Señalización entre ETCD simplificada para uso en circuitos punto a punto con ETCD síncronos

Para los circuitos punto a punto que requieren solamente el control del bucle 2, se puede simplificar la secuencia de cuatro fases suprimiendo la señalización de dirección. En este caso (véase la figura A-3/V.54), el procedimiento será como sigue:

- fase preparatoria: de conformidad con el § 5.1;
- fase de dirección: solamente se utilizará la señalización de acuse de recibo de acuerdo con el § 5.2.2 al reconocer la secuencia preparatoria;
- fase de prueba: las señales transmitidas durante la fase de prueba no forman parte de esta Recomendación;
- fase de terminación: de acuerdo con el § 5.4.

## 7 Señalización entre ETCD para uso en circuitos en cascada con ETCD síncronos

En los circuitos en cascada puede utilizarse la secuencia de cuatro fases para controlar los bucles mostrados en la figura 4/V.54.

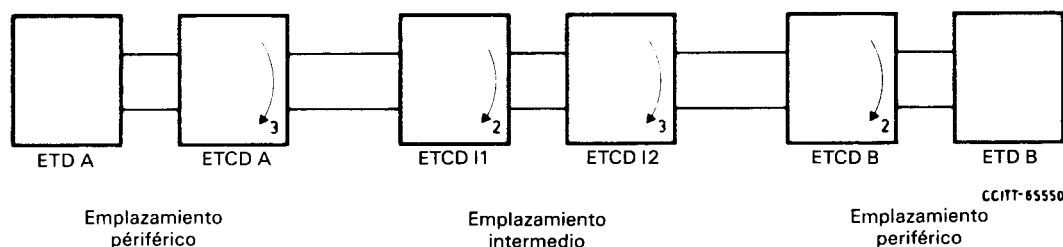
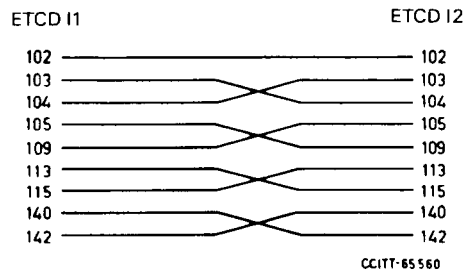


FIGURA 4/V.54

**Circuitos en cascada**

Los procedimientos de señalización se aplican solamente a módems síncronos, con o sin características de multiplexor. Los circuitos de enlace de los ETCD en el emplazamiento intermedio se conectan como se muestra en la figura 5/V.54.



*Observación 1* — El estado CERRADO del circuito 142 no bloqueará los circuitos de enlace 107, 109 y 104 en el ETCD I1.

*Observación 2* — La señalización del estado CERRADO desde el circuito 142 al 140 no comenzará la transmisión de la secuencia preparatoria del ETCD I2 sino que activará el supervisor de dirección.

*Observación 3* — Solamente se muestran los circuitos de enlace esenciales para establecer los bucles.

FIGURA 5/V.54

En la figura A-4/V.54 se muestra un diagrama de estados de la secuencia de cuatro fases. El procedimiento es el siguiente:

- Fase preparatoria: de acuerdo con el § 5.1.

Cuando el ETCD reconoce la secuencia preparatoria, señalará esta condición mediante el estado CERRADO por el circuito 142 al circuito 140 del ETCD I2, que activará su supervisor de dirección.

La secuencia preparatoria se transmite por el circuito 103 del ETCD I2 al ETCD B.

- Fase de dirección: de acuerdo con el § 5.2.
- Fase de prueba: en esta Recomendación no se especifican las señales transmitidas durante la fase de prueba.
- Fase de terminación: de acuerdo con el § 5.4.

Cuando se ha establecido un bucle en el emplazamiento intermedio, la parte del enlace situada “detrás” del bucle, de hecho no está activada.

Cuando el bucle que se ha establecido es un bucle 3 en el ETCD I2, la portadora hacia el ETCD B será suprimida de la línea. Cuando esta situación dura más de un segundo, el ETCD B considerará el estado de prueba como terminado y volverá al modo normal (es decir, con portadora de datos perdida). Como esta situación fue precedida por el estado CERRADO del circuito 142, el ETD distante puede considerar esta situación como normal. Cuando termina el estado de bucle 3 en el ETCD I2, lo que ocurrirá normalmente después de la recepción de la secuencia completa de terminación, el ETD distante no recibirá señales mutiladas después de que el ETCD B haya recuperado la portadora.

Cuando el bucle que se ha establecido es un bucle 2 en el ETCD I1, todas las secuencias pasarán al ETCD B. De este modo, el ETCD B recibirá también la secuencia de terminación y dejará el modo de prueba en el momento prescrito. El ETCD I2 dejará el modo de prueba tras detectar el estado ABIERTO en el circuito 140.

*Observación* – Cuando la conexión del ETCD I1 y del ETCD I2 se establece por un multiplexor sin capacidades de teleseñalización para los circuitos de enlace 109 y 142, el ETCD I2 puede facultativamente obtener la información requerida a partir de las secuencias presentes en el circuito de enlace 103.

## 8 Señalización entre ETCD para conexiones punto a punto con ETCD asíncronos

Para circuitos dúplex punto a punto con ETCD asíncronos de funcionamiento arrítmico solamente, la secuencia de cuatro fases puede simplificarse suprimiendo la señalización de dirección. En vez de las secuencias pseudoaleatorias empleadas para la transmisión síncrona, se utilizará un método de señalización sencillo indicado en la figura 6/V.54.

### 8.1 Fase preparatoria

Durante la fase preparatoria, el ETCD A transmitirá una secuencia TRABAJO-REPOSO-TRABAJO. La duración de cada intervalo será de 320 a 400 ms.

### 8.2 Fase de dirección

Al reconocer el ETCD B la secuencia preparatoria, establecerá el bucle 2 y transmitirá la señal de acuse de recibo consistente en un periodo de 100 a 150 ms con portadora no aplicada (estado ABIERTO).

El ETCD A pondrá el circuito 142 en el estado CERRADO y pasará a la fase de prueba después de detectar la transición del estado ABIERTO al CERRADO de la señal portadora.

### 8.3 Fase de prueba

Las señales transmitidas durante la fase de prueba no se especifican en esta Recomendación.

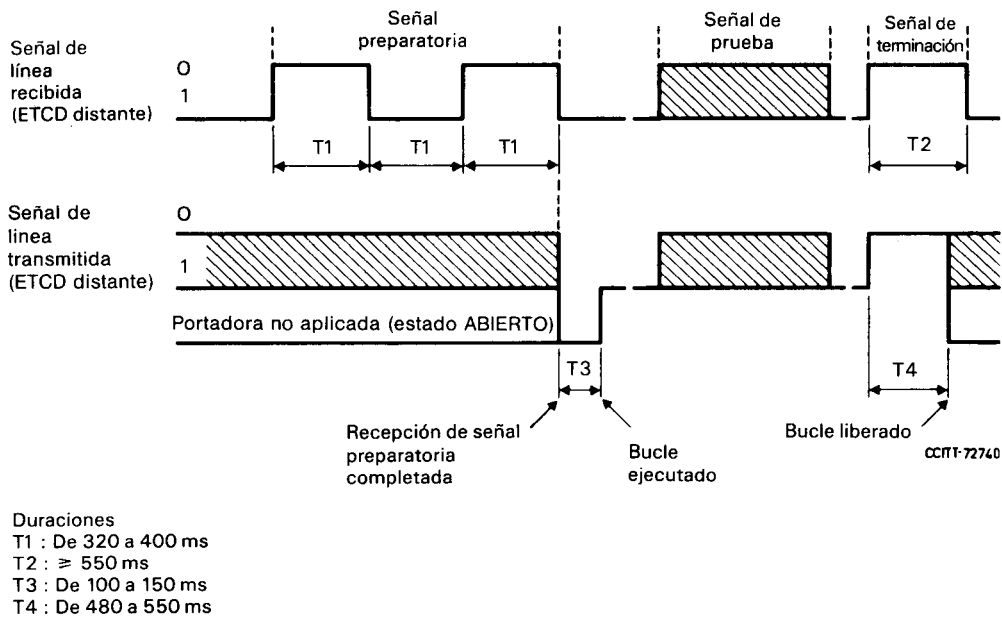
### 8.4 Fase de terminación

Durante la fase de terminación, el ETCD A transmitirá una señal consistente en un 0 binario (TRABAJO) durante 550 ms como mínimo.

El ETCD B terminará el modo de prueba en cualquiera de las situaciones siguientes:

- reconocimiento de la señal de terminación durante 480 a 550 ms;
- pérdida de portadora durante más de un segundo.

Al reconocer la señal de terminación, el ETCD B no ejecutará ninguna acción si está en el modo de datos normal.



*Observación 1* - Las señales de línea transmitidas antes de que la recepción de la señal preparatoria esté completada y después de que el bucle esté liberado dependen de las señales de datos que transmite el ETD por el circuito 103.

*Observación 2* - 0 binario (TRABAJO) y 1 binario (REPOSO) corresponden a las frecuencias FA y FZ respectivamente.

FIGURA 6/V.54

Método de señalización por bucle 2 en modems asíncronos

## ANEXO A

(a la Recomendación V.54)

### Diagramas de estados

#### A.1 Introducción

Los procedimientos esbozados en los § 5, 6 y 7 de la Recomendación V.54 se explican más detalladamente en este anexo mediante diagramas de estados.

Para facilitar la comprensión de estos diagramas se proporciona la siguiente información.

#### A.2 Emplazamiento

Se considera que el dispositivo de puesta bucle está situado funcionalmente entre el ETD y la parte restante del ETCD.

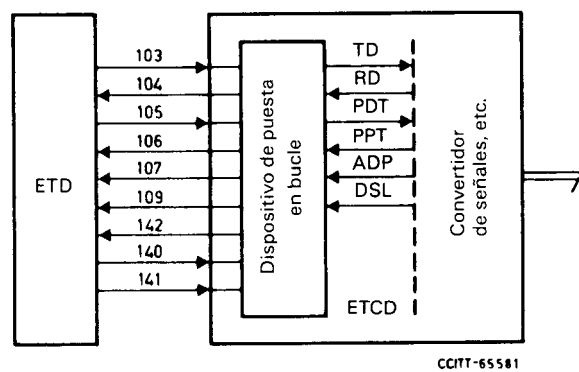


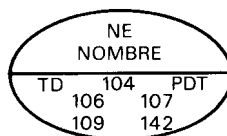
FIGURA A-1/V.54

Durante la fase de datos (es decir, sin aplicación de bucles de prueba), existen las siguientes relaciones:

TD	(Transmisión de datos)	=103;
RD	(Recepción de datos)	=104;
PDT	(Petición de transmitir)	=105;
PPT	(Preparado para transmitir)	=106;
ADP	(Aparato de datos preparado)	=107;
DSL	(Detector de señales de línea recibidas por el canal de datos)	=109.

## A-3 Leyenda

### A.3.1 Estados



CCITT-65590

NE	Número de estado, con: LC = Condición de bucle TL = Bucle de temporización
NOMBRE	Nombre de estado
TD	Señal por el circuito TD al convertidor de señales
104	Señal por el circuito 104 al ETD
PDT	Señal por el circuito PDT al convertidor de señales
106	Señal por el circuito 106 al ETD
107	Señal por el circuito 107 al ETD
109	Señal por el circuito 109 al ETD
142	Señal por el circuito 142 al ETD

### A.3.2 Señales

“1”	“1” binario permanente
ABIERTO	ABIERTO continuo (=“1”)
CERRADO	CERRADO continuo (=“0”)
PREP	Secuencia preparatoria
ACK	Secuencia de acuse de recibo
TERM	Secuencia de terminación
103	Sigue al circuito 103 desde el ETD
RD	Sigue al circuito RD desde el convertidor de señales
105	Sigue al circuito 105 desde el ETD
PPT	Sigue al circuito PPT desde el convertidor de señales
ADP	Sigue al circuito ADP desde el convertidor de señales
DSL	Sigue al circuito DSL desde el convertidor de señales



### A.3.3 *Eventos*

14n CERRADO	Transición de ABIERTO a CERRADO por el circuito 14n
14n ABIERTO	Transición de CERRADO a ABIERTO por el circuito 14n
Periférico	Válido en ETCD periféricos
Intermedio	Válido en ETCD intermedios
nnnn	Después de nnnn intervalos de bits
Recon.XXX	Reconocimiento de la secuencia XXX
Dirección propia	Reconocimiento de secuencia de dirección de ETCD única
Otra dirección	Reconocimiento de otra secuencia de dirección
DSL ABIERTO 1s	Circuito DSL ABIERTO durante 1 segundo

### A.4 *Ejemplos*

En la mitad inferior de los símbolos de estado se indica el estado de todos los circuitos de enlace que se originan en el dispositivo de puesta en bucle en el orden:

- TD (hacia el convertidor de señales),
- 104 (hacia el ETD),
- PDT (hacia el convertidor de señales),
- 106 (hacia el ETD),
- 107 (hacia el ETD),
- 109 (hacia el ETD), y
- 142 (hacia el ETD).

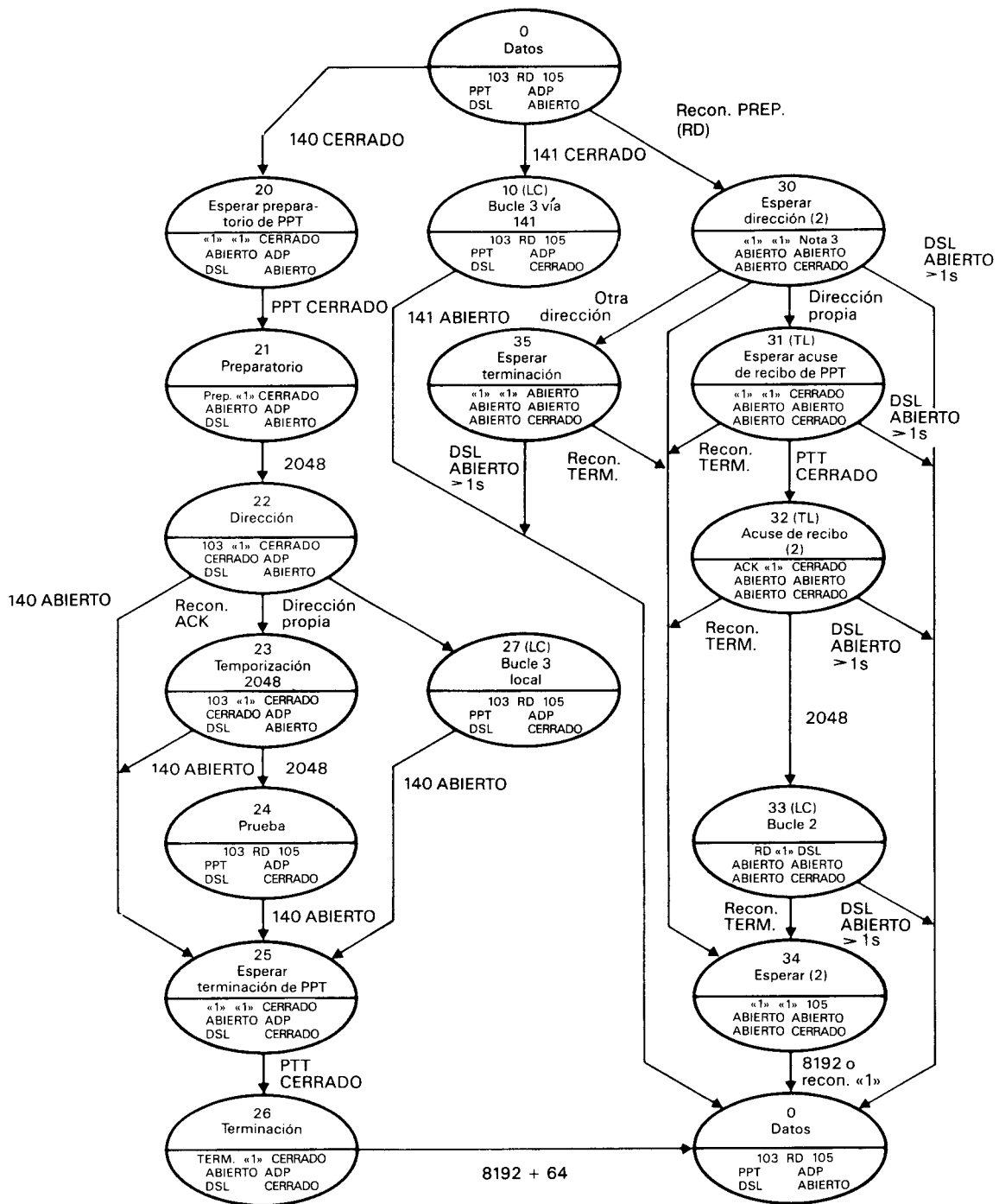
Por ejemplo:

“RD” en la primera posición significa que el circuito TD hacia el convertidor de señales está conectado dentro del dispositivo de puesta en bucle al circuito RD del convertidor de señales.

“ACK” en la segunda posición significa que la secuencia de acuse de recibo se transmite por el circuito 104.

“ABIERTO” en la tercera posición significa que el circuito PDT hacia el convertidor de señales se mantiene en el estado ABIERTO.

“PPT” en la cuarta posición significa que el circuito 106 hacia el ETD sigue al circuito PPT desde el convertidor de señales.



CCITT-72 750

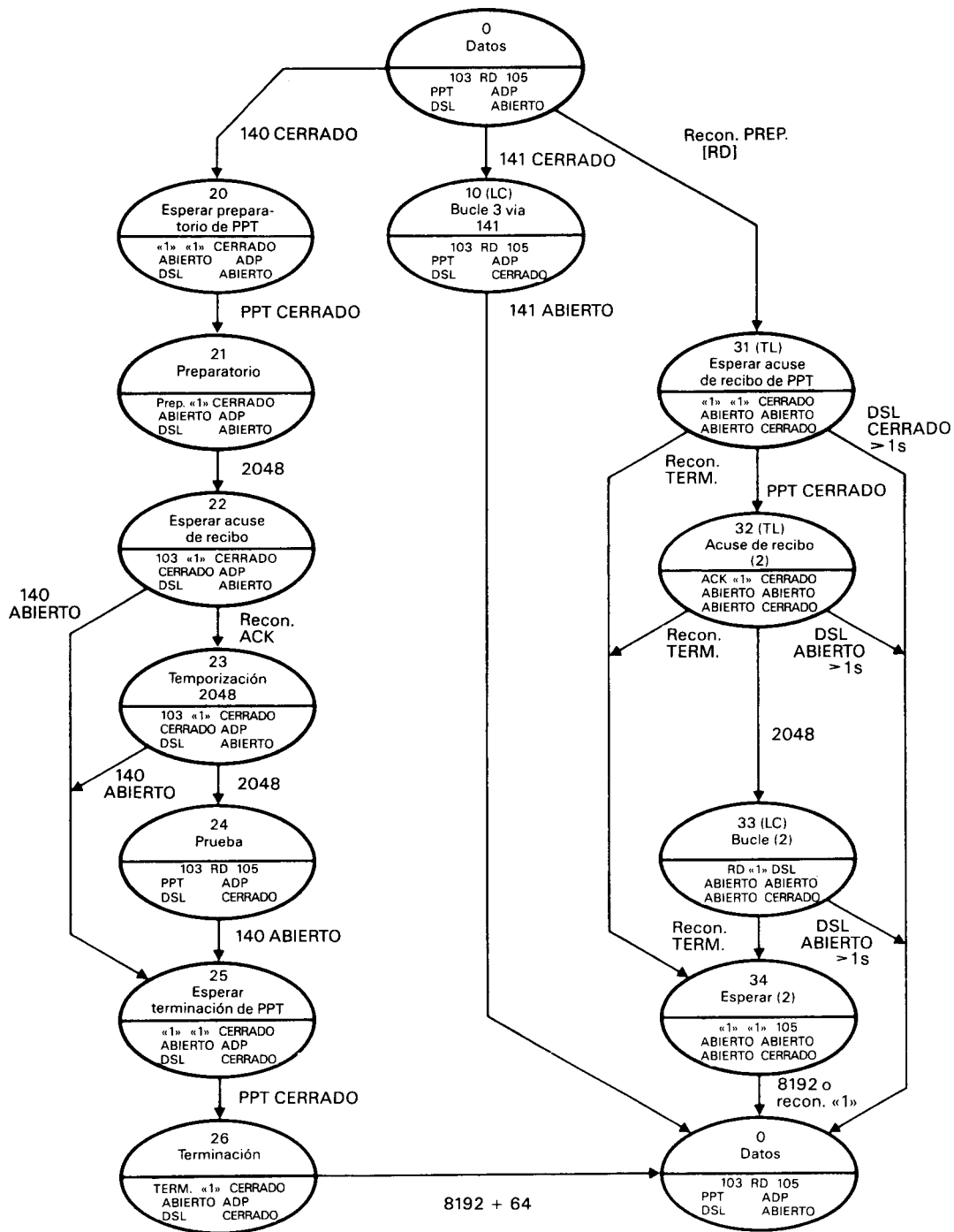
*Nota 1* - En caso de un estado CERRADO momentáneo del circuito 140, se transmitirá una secuencia preparatoria completa seguida de una secuencia de terminación completa.

*Nota 2* - En caso de que exista el temporizador facultativo T1, la leyenda «DSL ABIERTO > 1s» deberá ser sustituida por «DSL ABIERTO > 1s o T1 expirado». T1 arranca en el estado 30.

*Nota 3* - El estado del circuito PDT en el estado 30 puede depender de la configuración existente. Normalmente, el circuito PDT permanecerá inalterado al pasar del estado 0 al estado 30.

FIGURA A-2/V.54

Diagrama de estados para circuitos multipunto simples

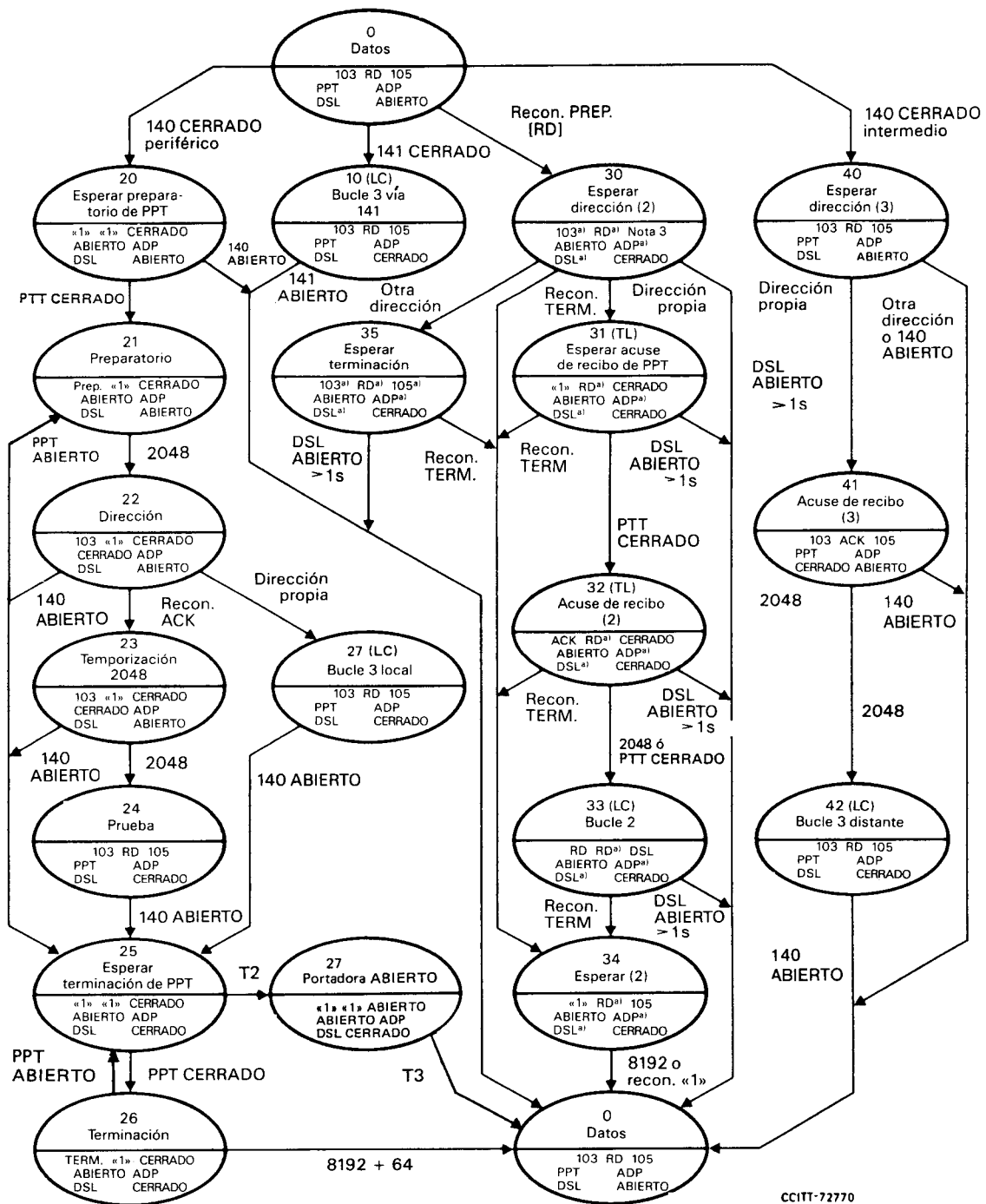


CCITT-72760

*Nota 1* - En caso de un estado CERRADO momentáneo del circuito 140, se transmitirá una secuencia preparatoria completa seguida de una secuencia de terminación completa.  
*Nota 2* - En caso de que exista el temporizador facultativo T1, la leyenda «DSL ABIERTO > 1s» deberá ser sustituida por «DSL ABIERTO > 1s o T1 expirado». T1 arranca en el estado 31.

FIGURA A-3/V.54

Diagrama de estados para circuitos punto a punto



a) Sin bloqueo en ETCD intermedio; bloqueado («1» o ABIERTO) en ETCD periférico.

Nota 1 - En caso de un estado CERRADO momentáneo del circuito 140, se transmitirá una secuencia preparatoria completa seguida de una secuencia de terminación completa.

Nota 2 - En caso de que exista el temporizador facultativo T1, la leyenda «DSL ABIERTO > 1s» deberá ser sustituida por «DSL ABIERTO > 1s o T1 expirado». T1 arranca en el estado 30.

Nota 3 - El estado del circuito PDT en el estado 30 puede depender de la configuración existente. Normalmente, el circuito PDT permanecerá inalterado al pasar del estado 0 al estado 30.

Nota 4 - Cuando es posible la interconexión del circuito 109 del ETCD I1 al circuito 105 del ETCD I2, se permite en el interfaz la misma condición que en el ETCD B periférico durante el bucle 2.

Nota 5 - El temporizador T2 se pone en marcha cuando se pasa por primera vez al estado 25, y se detiene al salirse al estado 26.

Nota 6 - El temporizador T3 se pone en marcha el pasarse al estado 27.

FIGURA A-4/V.54

Diagrama de estados para circuitos en cascada

## Referencias

- [1] Recomendación del CCITT *Influencia de los sistemas nacionales en la estabilidad, el eco para la persona que habla y el eco para la persona que escucha en las conexiones internacionales*, Tomo III, Rec. G.122.