



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

UIT-T

SECTOR DE NORMALIZACIÓN
DE LAS TELECOMUNICACIONES
DE LA UIT

G.823

(03/2000)

SERIE G: SISTEMAS Y MEDIOS DE TRANSMISIÓN,
SISTEMAS Y REDES DIGITALES

Redes digitales – Objetivos de calidad y disponibilidad

**Control de la fluctuación de fase y de la
fluctuación lenta de fase en las redes digitales
basadas en la jerarquía de 2048 kbit/s**

Recomendación UIT-T G.823

(Anteriormente Recomendación del CCITT)

RECOMENDACIONES UIT-T DE LA SERIE G
SISTEMAS Y MEDIOS DE TRANSMISIÓN, SISTEMAS Y REDES DIGITALES

CONEXIONES Y CIRCUITOS TELEFÓNICOS INTERNACIONALES	G.100–G.199
<i>SISTEMAS INTERNACIONALES ANALÓGICOS DE PORTADORAS</i>	
CARACTERÍSTICAS GENERALES COMUNES A TODOS LOS SISTEMAS ANALÓGICOS DE PORTADORAS	G.200–G.299
CARACTERÍSTICAS INDIVIDUALES DE LOS SISTEMAS TELEFÓNICOS INTERNACIONALES DE PORTADORAS EN LÍNEAS METÁLICAS	G.300–G.399
CARACTERÍSTICAS GENERALES DE LOS SISTEMAS TELEFÓNICOS INTERNACIONALES EN RADIOENLACES O POR SATÉLITE E INTERCONEXIÓN CON LOS SISTEMAS EN LÍNEAS METÁLICAS	G.400–G.449
COORDINACIÓN DE LA RADIOTELEFONÍA Y LA TELEFONÍA EN LÍNEA	G.450–G.499
<i>SISTEMAS DE TRANSMISIÓN DIGITAL</i>	
EQUIPOS TERMINALES	G.700–G.799
REDES DIGITALES	G.800–G.899
Generalidades	G.800–G.809
Objetivos de diseño para las redes digitales	G.810–G.819
Objetivos de calidad y disponibilidad	G.820–G.829
Funciones y capacidades de la red	G.830–G.839
Características de las redes con jerarquía digital síncrona	G.840–G.849
Gestión de red de transporte	G.850–G.859
Integración de los sistemas de satélite y radioeléctricos con jerarquía digital síncrona	G.860–G.869
Redes ópticas de transporte	G.870–G.879
SECCIONES DIGITALES Y SISTEMAS DIGITALES DE LÍNEA	G.900–G.999

Para más información, véase la Lista de Recomendaciones del UIT-T.

Recomendación UIT-T G.823

Control de la fluctuación de fase y de la fluctuación lenta de fase en las redes digitales basadas en la jerarquía de 2048 kbit/s

Resumen

Esta Recomendación UIT-T especifica los límites de red de la fluctuación de fase y la fluctuación lenta de fase máximas que no deberán ser superados y la tolerancia mínima de la fluctuación de fase y la fluctuación lenta de fase de los equipos, presente en cualquiera interfaz pertinente de transporte o sincronización basada en la jerarquía de 2048 kbit/s.

Los requisitos en materia de fluctuación de fase y fluctuación lenta de fase que se especifican en esta Recomendación UIT-T se han de cumplir para que sea posible el interfuncionamiento de los equipos de fabricantes diferentes y una calidad de funcionamiento de la red satisfactoria.

Orígenes

La Recomendación UIT-T G.823, revisada por la Comisión de Estudio 13 (1997-2000) del UIT-T, fue aprobada por el procedimiento de la Resolución 1 de la CMNT el 10 de marzo de 2000.

Palabras clave

Fluctuación de fase de salida, fluctuación lenta de fase de salida, límites de red, relojes, sincronización, temporización, tolerancia de fluctuación de fase de salida, tolerancia de fluctuación lenta de fase de salida.

PREFACIO

La UIT (Unión Internacional de Telecomunicaciones) es el organismo especializado de las Naciones Unidas en el campo de las telecomunicaciones. El UIT-T (Sector de Normalización de las Telecomunicaciones de la UIT) es un órgano permanente de la UIT. Este órgano estudia los aspectos técnicos, de explotación y tarifarios y publica Recomendaciones sobre los mismos, con miras a la normalización de las telecomunicaciones en el plano mundial.

La Conferencia Mundial de Normalización de las Telecomunicaciones (CMNT), que se celebra cada cuatro años, establece los temas que han de estudiar las Comisiones de Estudio del UIT-T, que a su vez producen Recomendaciones sobre dichos temas.

La aprobación de Recomendaciones por los Miembros del UIT-T es el objeto del procedimiento establecido en la Resolución 1 de la CMNT.

En ciertos sectores de la tecnología de la información que corresponden a la esfera de competencia del UIT-T, se preparan las normas necesarias en colaboración con la ISO y la CEI.

NOTA

En esta Recomendación, la expresión "Administración" se utiliza para designar, en forma abreviada, tanto una administración de telecomunicaciones como una empresa de explotación reconocida de telecomunicaciones.

PROPIEDAD INTELECTUAL

La UIT señala a la atención la posibilidad de que la utilización o aplicación de la presente Recomendación suponga el empleo de un derecho de propiedad intelectual reivindicado. La UIT no adopta ninguna posición en cuanto a la demostración, validez o aplicabilidad de los derechos de propiedad intelectual reivindicados, ya sea por los miembros de la UIT o por terceros ajenos al proceso de elaboración de Recomendaciones.

En la fecha de aprobación de la presente Recomendación, la UIT no ha recibido notificación de propiedad intelectual, protegida por patente, que puede ser necesaria para aplicar esta Recomendación. Sin embargo, debe señalarse a los usuarios que puede que esta información no se encuentre totalmente actualizada al respecto, por lo que se les insta encarecidamente a consultar la base de datos sobre patentes de la TSB.

© UIT 2001

Es propiedad. Ninguna parte de esta publicación puede reproducirse o utilizarse, de ninguna forma o por ningún medio, sea éste electrónico o mecánico, de fotocopia o de microfilm, sin previa autorización escrita por parte de la UIT.

ÍNDICE

	Página
1 Alcance	1
2 Referencias.....	2
3 Definiciones	3
4 Abreviaturas.....	3
5 Límites de red para interfaces de tráfico	4
5.1 Límites de red para fluctuación de fase de salida en interfaces de tráfico	4
5.2 Límites de red para fluctuación lenta de fase de salida en interfaces de tráfico	6
5.2.1 Límite de la fluctuación lenta de fase de salida en una interfaz a 2048 kbit/s	7
5.2.2 Límite de la fluctuación lenta de fase de salida de una interfaz a 34 368 kbit/s	7
5.2.3 Límite de la fluctuación lenta de fase de salida de una interfaz a 139 264 kbit/s	8
6 Límites de red para interfaces de sincronización	9
6.1 Límites de red para fluctuación de fase de salida en interfaces de sincronización	9
6.2 Límites de red para fluctuación lenta de fase de salida en interfaces de sincronización	10
6.2.1 Límite de la fluctuación lenta de fase de salida de una interfaz PRC.....	11
6.2.2 Límite de la fluctuación lenta de fase de salida de una interfaz SSU.....	12
6.2.3 Límite de la fluctuación lenta de fase de salida de una interfaz SEC.....	14
6.2.4 Límite de la fluctuación lenta de fase de salida de interfaz de sincronización de la PDH	15
7 Tolerancia de fluctuación de fase y fluctuación lenta de fase de interfaces de red.....	17
7.1 Tolerancia de fluctuación de fase y fluctuación lenta de fase de interfaces de tráfico	17
7.1.1 Tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 64 kbit/s	18
7.1.2 Tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 2048 kbit/s	19
7.1.3 Tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 8448 kbit/s	20
7.1.4 Tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 34 368 kbit/s	21
7.1.5 Tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 139 264 kbit/s	22
7.2 Tolerancia de fluctuación de fase y fluctuación lenta de fase de las interfaces de sincronización	23

	Página
Anexo A – Modelo de red que fundamenta el límite de red de sincronización.....	24
A.1 Introducción	24
A.2 Consideraciones relativas al modelo de red.....	24
A.3 Información relativa a las simulaciones.....	27
Anexo B – Modelo de referencia de fluctuación lenta de fase de red y parámetros	29
B.1 Modelo de referencia de fluctuación lenta de fase para interfaces de tráfico	29
B.1.1 Conexión PDH asíncrona	29
B.1.2 Conexión PDH síncrona	29
B.1.3 Especificación de la fluctuación lenta de fase mediante el parámetro MRTIE.....	30
B.2 Modelo de referencia de fluctuación lenta de fase para interfaces de sincronización	30
B.2.1 Especificación de la fluctuación lenta de fase mediante los parámetros MTIE y TDEV	32
Apéndice I – Consideraciones relativas a los límites de fluctuación lenta de fase para redes de transporte de la SDH.....	32
I.1 Introducción	32
I.1.1 Modelo de referencia de fluctuación lenta de fase para SDH.....	32
I.1.2 Fuentes de fluctuación lenta de fase	33
I.1.3 Efectos limitadores de la acumulación de fluctuación lenta de fase.....	34
I.1.4 Configuración de la red y calidad de funcionamiento	34
I.1.5 Correlación de fuentes de fluctuación lenta de fase	34
I.1.6 Condiciones de la red para los límites de la fluctuación lenta de fase de salida.....	35
I.2 Obtención de los límites de la especificación de la fluctuación lenta de fase	35
I.2.1 Límites de la especificación de la fluctuación lenta de fase	36
Apéndice II – Métodos de medición de la fluctuación lenta de fase de salida	37
II.1 Interfaces de sincronización.....	37
II.1.1 Señales síncronas	37
II.2 Interfaces de tráfico.....	38
II.2.1 Señales síncronas (velocidades binarias de la PDH)	38
II.2.2 Señales asíncronas (velocidades binarias de la PDH)	38
Apéndice III – Directrices para la medición de la tolerancia de la fluctuación de fase y la fluctuación lenta de fase de entrada de las interfaces de los equipos.....	40

Introducción y antecedentes

En una red digital, la fluctuación de fase y la fluctuación lenta de fase se acumulan en los trayectos de transmisión de acuerdo con las características de generación y transferencia de dichas fluctuaciones correspondientes a cada equipo interconectado. Los equipos pueden ser, por ejemplo, multiplexores/demultiplexores de diferentes tipos, transconectores, relojes y sistemas de línea.

Una fluctuación de fase y fluctuación lenta de fase excesivas pueden perjudicar tanto a las señales digitales (por ejemplo, por la generación de bits erróneos, los deslizamientos y otras anomalías) como a las analógicas (por ejemplo, modulación de fase no deseada de la señal transmitida). Las consecuencias de esa degradación dependerán, por lo general, del servicio que en concreto se esté llevando y del equipo de terminación o adaptación que interviene.

Es necesario por tanto fijar los límites del valor máximo de la fluctuación de fase y la fluctuación lenta de fase y fijar la correspondiente tolerancia mínima de ambas fluctuaciones en las interfaces de red, para garantizar una calidad adecuada de las señales transmitidas y para que los equipos se puedan diseñar de manera conveniente. Los límites de red son independientes del servicio que se lleve en cada momento.

Recomendación UIT-T G.823

Control de la fluctuación de fase y de la fluctuación lenta de fase en las redes digitales basadas en la jerarquía de 2048 kbit/s

1 Alcance

Esta Recomendación UIT-T especifica los parámetros pertinentes y los valores limitadores de los mismos que permiten controlar de manera satisfactoria la magnitud de la fluctuación de fase y la fluctuación lenta de fase presentes en las interfaces de nodo de red (NNI, *network mode interfaces*) de la jerarquía digital plesiócrona (PDH, *plesiochronous digital hierarchy*) y en las redes de sincronización basadas en la velocidad binaria jerárquica de primer nivel de 2048 kbit/s.

La presente Recomendación UIT-T especifica también los requisitos en materia de fluctuación de fase y fluctuación lenta de fase de las interfaces usuario-red (UNI, *user-network interfaces*) de la PDH. Terminales o servicios particulares pueden tener, no obstante, requisitos adicionales en cuanto a fluctuación de fase y fluctuación lenta de fase, en cuyo caso deberán aplicarse las Recomendaciones UIT-T pertinentes.

Los requisitos de las NNI de la PDH y las redes de sincronización basadas en la velocidad binaria jerárquica de primer nivel de 1544 kbit/s se especifican en la Recomendación UIT-T G.824 y los requisitos de las NNI de la jerarquía digital síncrona (SDH, *synchronous digital hierarchy*) se especifican en la Recomendación UIT-T G.825.

Los requisitos a propósito de la fluctuación de fase y la fluctuación lenta de fase especificados en esta Recomendación UIT-T se aplican a las interfaces con independencia del mecanismo de transporte subyacente (redes PDH, SDH o ATM, por ejemplo).

Los requisitos que ha de satisfacer una interfaz en relación con la fluctuación de fase y la fluctuación lenta de fase difieren en función de la utilización de la señal en la interfaz, a saber, para transporte de tráfico y/o para sincronización. Los requisitos de las interfaces tanto de tráfico como de sincronización se especifican en esta Recomendación UIT-T en las cláusulas correspondientes.

Una red de sincronización que se atenga a los límites de red de fluctuación de fase y fluctuación lenta de fase especificados en esta Recomendación UIT-T servirá para sincronizar redes de la SDH y redes telefónicas públicas conmutadas (RTPC).

La presente Recomendación UIT-T especifica también los requisitos de fluctuación de fase y fluctuación lenta de fase de las interfaces que utilizan estructuras de trama genéricas a velocidades de la PDH, definidas en la Recomendación UIT-T G.832.

Las características eléctricas de las interfaces pertinentes de red de la PDH se definen en la Recomendación UIT-T G.703.

El criterio respecto al control de la fluctuación de fase y la fluctuación lenta de fase de esta Recomendación UIT-T se basa en la necesidad de:

- a) especificar un límite máximo de fluctuación de fase y fluctuación lenta de fase de la red que no deberá ser sobrepasado en ninguna interfaz pertinente;
- b) especificar una tolerancia mínima de fluctuación de fase y fluctuación lenta de fase de los equipos que deberá proporcionar cualquier interfaz pertinente;
- c) establecer un marco coherente para la especificación de tipos particulares de equipos digitales; y

- d) proporcionar información suficiente y directrices a los organismos que se ocupen de medir y estudiar las características de fluctuación de fase y fluctuación lenta de fase en cualquier configuración de red.

2 Referencias

Las siguientes Recomendaciones del UIT-T y otras referencias contienen disposiciones que, mediante su referencia en este texto, constituyen disposiciones de la presente Recomendación. Al efectuar esta publicación, estaban en vigor las ediciones indicadas. Todas las Recomendaciones y otras referencias son objeto de revisiones por lo que se preconiza que los usuarios de esta Recomendación investiguen la posibilidad de aplicar las ediciones más recientes de las Recomendaciones y otras referencias citadas a continuación. Se publica periódicamente una lista de las Recomendaciones UIT-T actualmente vigentes.

- Recomendación UIT-T G.703 (1998), *Características físicas y eléctricas de las interfaces digitales jerárquicas*.
- Recomendación UIT-T G.707 (1996), *Interfaz de nodo de red para la jerarquía digital síncrona*.
- Recomendación UIT-T G.783 (1997), *Características de los bloques funcionales del equipo de la jerarquía digital síncrona*.
- Recomendación UIT-T G.803 (2000), *Arquitecturas de redes de transporte basadas en la jerarquía digital síncrona*.
- Recomendación UIT-T G.810 (1996), *Definiciones y terminología para redes de sincronización*.
- Recomendación UIT-T G.811 (1997), *Características de temporización de los relojes de referencia primarios*.
- Recomendación UIT-T G.812 (1998), *Requisitos de temporización de relojes subordinados adecuados para utilización como relojes de nodo en redes de sincronización*.
- Recomendación UIT-T G.813 (1996), *Características de temporización de relojes subordinados de equipos de la jerarquía digital síncrona*.
- Recomendación CCITT G.822 (1988), *Objetivos de tasa de deslizamientos controlados en una conexión digital internacional*.
- Recomendación UIT-T G.824 (2000), *Control de la fluctuación de fase y de la fluctuación lenta de fase en las redes digitales basadas en la jerarquía de 1544 kbit/s*.
- Recomendación UIT-T G.825 (2000) *Control de la fluctuación de fase y de la fluctuación lenta de fase en las redes digitales basadas en la jerarquía digital síncrona*.
- Recomendación UIT-T G.832 (1998), *Transporte de elementos de la jerarquía digital síncrona para redes de la jerarquía digital plesiócrona – Estructuras de trama y de multiplexión*.
- Recomendación UIT-T O.150 (1996), *Requisitos generales para la instrumentación de mediciones de la calidad de funcionamiento de equipos de transmisión digital*.
- Recomendación UIT-T O.171 (1997), *Aparato de medida de la fluctuación de fase y de la fluctuación lenta de fase de la temporización para sistemas digitales basados en la jerarquía digital plesiócrona*.
- Recomendación UIT-T O.172 (1999), *Aparato de medida de la fluctuación de fase y de la fluctuación lenta de fase de la temporización para sistemas digitales basados en la jerarquía digital síncrona*.

3 Definiciones

En esta Recomendación UIT-T se definen los términos siguientes.

La Recomendación UIT-T G.810 contiene otras definiciones relacionadas con las redes de sincronización, y en la Recomendación UIT-T G.803 se describen los principios de la arquitectura de las redes de sincronización.

En los anexos A y B se da información sobre los modelos de referencia de la fluctuación lenta de fase utilizados en esta Recomendación UIT-T.

3.1 interfaz síncrona: Interfaz que proporciona una señal de salida con frecuencia sincronizada normalmente con referencia a un PRC.

3.2 interfaz asíncrona: Interfaz que proporciona una señal de salida con frecuencia no sincronizada con referencia a un PRC y que cumple los requisitos de desplazamiento de frecuencia indicados en la Recomendación UIT-T G.703.

3.3 interfaz de tráfico: Interfaz que puede ser asíncrona o síncrona y cuyos límites de fluctuación de fase fluctuación lenta de fase de red se especifican en esta Recomendación UIT-T utilizando el parámetro máximo error relativo en el intervalo de tiempo (MRTIE). En la presente Recomendación UIT-T se especifica también la tolerancia de fluctuación de fase y fluctuación lenta de fase. Esta categoría de interfaces puede subdividirse aún en otras subcategorías, a saber:

- a) Interfaces que no pueden proporcionar sincronización, ni hace falta que lo hagan. Ejemplo de las mismas serían las interfaces que soporten solamente señales PDH a 34 368 ó 139 264 kbit/s de acuerdo con la Recomendación UIT-T G.703.
- b) Interfaces que no pueden proporcionar sincronización al nivel de calidad de funcionamiento definido, pero que se utilizan no obstante para proporcionar temporización a otros elementos de red, tales como equipos terminales, concentradores distantes, etc. Ejemplos de esta subcategoría son aquéllas interfaces que soportan señales PDH a 2048, 34 368 y 139 264 kbit/s transportadas en la SDH, a las que se les puede aplicar una justificación de puntero. Según la Recomendación UIT-T G.803, estas interfaces no se deben utilizar para sincronización.
- c) Interfaces que sí pueden proporcionar sincronización al nivel de calidad de funcionamiento definido, en cuyo caso se dice que son interfaces de sincronización. Un ejemplo al respecto sería una interfaz de sincronización que funcionara a 2048 kbit/s. En esta subcategoría cabe incluir además las interfaces que utilizan estructuras de trama genéricas a velocidades de la PDH definidas en la Recomendación UIT-T G.832.

3.4 interfaz de sincronización: Interfaz síncrona cuyos límites de fluctuación lenta de fase de red se especifican utilizando los parámetros máximo error en el intervalo de tiempo (MTIE) y desviación de tiempo (TDEV) con valores dados en esta Recomendación UIT-T. La tolerancia de fluctuación de fase y fluctuación lenta de fase de los puertos de equipos de reloj se especifican en otras Recomendaciones (véase 7.2).

4 Abreviaturas

En esta Recomendación UIT-T se utilizan las siguientes siglas. En la Recomendación UIT-T G.810 se dan abreviaturas relativas a las redes de sincronización.

ATM	Modo de transferencia asíncrono (<i>asynchronous transfer mode</i>)
AU-n	Unidad administrativa, nivel n (<i>administrative unit, level n</i>)
CLK	Reloj (<i>clock</i>)
CMI	Inversión de marca codificada (<i>coded mark inversion</i>)

LPF	Filtro paso bajo (<i>low-pass filter</i>)
MRTIE	Máximo error relativo en el intervalo de tiempo (<i>maximum relative time interval error</i>)
MS-AIS	Señal de indicación de alarma de sección múltiplex (<i>multiplex section alarm indication signal</i>)
MTIE	Máximo error en el intervalo de tiempo (<i>maximum time interval error</i>)
NE	Elemento de red (<i>network element</i>)
NNI	Interfaz de nodo de red (<i>network node interface</i>)
PDH	Jerarquía digital plesiócrona (<i>plesiochronous digital hierarchy</i>)
PLL	Bucle de enganche en fase (<i>phase locked loop</i>)
ppm	Partes por millón
PRBS	Secuencia binaria pseudoaleatoria (<i>pseudo-random binary sequence</i>)
PRC	Reloj de referencia primario (<i>primary reference clock</i>)
RMS	Valor cuadrático medio (<i>root mean square</i>); valor eficaz
RTIE	Error relativo en el intervalo de tiempo (<i>relative time interval error</i>)
RTPC	Red telefónica pública conmutada
SDH	Jerarquía digital síncrona (<i>synchronous digital hierarchy</i>)
SEC	Reloj de equipo de SDH (<i>SDH equipment clock</i>)
SSU	Unidad de suministro de sincronización (<i>synchronization supply unit</i>)
STM-N	Módulo de transporte síncrono, nivel N (<i>synchronous transport module, level N</i>)
TDEV	Desviación de tiempo (<i>time deviation</i>)
TIE	Error en el intervalo de tiempo (<i>time interval error</i>)
TU-m	Unidad afluyente, nivel m (<i>tributary unit, level m</i>)
UI	Intervalo unitario (<i>unit interval</i>)
UIpp	Intervalo unitario, cresta a cresta (<i>unit interval, peak-to-peak</i>)
UIT-T	Unión Internacional de Telecomunicaciones – Sector de Normalización de las Telecomunicaciones
UNI	Interfaz usuario-red (<i>user-network interface</i>)
UTC	Tiempo Universal Coordinado (<i>universal time coordinated</i>)
VC-n	Contenedor virtual, nivel n (<i>virtual container, level n</i>)

5 Límites de red para interfaces de tráfico

5.1 Límites de red para fluctuación de fase de salida en interfaces de tráfico

Los límites indicados en esta cláusula representan los niveles máximos permitidos de fluctuación de fase en las interfaces dentro de una red digital. La fluctuación de fase medida en un intervalo de 60 segundos no deberá superar los límites especificados en el cuadro 1, cuando se utilicen los filtros de medición especificados.

Existe una estrecha relación entre límites de red y tolerancia de entrada, de tal manera que las frecuencias de corte del filtro de medición de la fluctuación de fase a las que se hace referencia en

esta cláusula tienen los mismos valores que las frecuencias de esquina de las plantillas de tolerancia de fluctuación de fase utilizadas en 7.1. El apéndice I/G.825 contiene más información a propósito de esta relación.

Los límites dados en el cuadro 1 deben cumplirse en todas las condiciones de funcionamiento y cualquiera que sea el número de equipos que precedan a la interfaz. Por lo general, esos límites de red son compatibles con la tolerancia mínima de fluctuación de fase que ha de estar presente en todos los puertos de entrada de los equipos.

La descripción funcional de la medición de la fluctuación de fase de salida en la interfaz digital figura en la Recomendación UIT-T O.172.

Los filtros de medición paso alto del cuadro 1 tienen una característica de primer orden y un régimen de decremento de 20 dB/década. Los filtros de medición paso bajo tienen una característica Butterworth fundamentalmente plana y un régimen de decremento de -60 dB/década. En la Recomendación UIT-T O.172 se especifica con más detalle la respuesta en frecuencia de la función de medición de la fluctuación de fase, por ejemplo, a propósito de la precisión del filtro de medición y de los polos de filtro adicionales que se admiten.

La instrumentación conforme a las Recomendaciones UIT-T O.172 y O.171 es la apropiada para la medición de la fluctuación de fase en sistemas de la SDH y la PDH, respectivamente.

NOTA – La Recomendación UIT-T O.172 incluye especificaciones de aparatos de prueba para la medición de las señales tributarias SDH cuyas velocidades binarias corresponden a la PDH, siendo los requisitos de los aparatos de prueba más estrictos que los relacionados solamente con los sistemas PDH. En las interfaces PDH de los sistemas SDH debe utilizarse, por consiguiente, la instrumentación conforme a la Recomendación UIT-T O.172.

Cuadro 1/G.823 – Fluctuación de fase máxima permitida en interfaces de tráfico

Interfaz	Anchura de banda de medición, frecuencias (Hz) a -3 dB	Amplitud cresta a cresta (UIpp) (nota 3)
64 kbit/s (nota 1)	20 a 20 k	0,25
	3 k a 20 k	0,05
2048 kbit/s	20 a 100 k	1,5
	18 k a 100 k (nota 2)	0,2
8448 kbit/s	20 a 400 k	1,5
	3 k a 400 k (nota 2)	0,2
34 368 kbit/s	100 a 800 k	1,5
	10 k a 800 k	0,15
139 264 kbit/s	200 a 3,5 M	1,5
	10 k a 3,5 M	0,075

Cuadro 1/G.823 – Fluctuación de fase máxima permitida en interfaces de tráfico (*fin*)

NOTA 1 – Para la interfaz codireccional solamente.

NOTA 2 – En el caso de interfaces a 2048 kbit/s y 8448 kbit/s dentro de la red de un operador, se puede especificar que la frecuencia de corte paso alto sea de 700 Hz (en vez de 18 kHz) y de 80 kHz (en vez de 3 kHz) respectivamente. Sin embargo, en las interfaces situadas entre redes de operadores diferentes, los valores aplicables son los del cuadro a menos que las partes que intervienen acuerden otra cosa.

NOTA 3 –

64 kbit/s 1 UI = 15.6 μ s

2048 kbit/s 1 UI = 488 ns

8448 kbit/s 1 UI = 118 ns

34 368 kbit/s 1 UI = 29,1 ns

139 264 kbit/s 1 UI = 7,18 ns.

5.2 Límites de red para fluctuación lenta de fase de salida en interfaces de tráfico

La aplicación prevista de las especificaciones relativas al máximo error relativo en el intervalo de tiempo (MRTIE, *maximum relative time interval error*) que se dan en esta subcláusula son las interfaces tanto asíncronas como síncronas de la PDH. En las figuras B.1 y B.2 pueden verse configuraciones de red de referencia para el caso de conexión asíncrona y de conexión síncrona, respectivamente. Si las interfaces son asíncronas, se permite un desplazamiento de frecuencia dentro de los límites especificados en la Recomendación UIT-T G.703, además de la fluctuación lenta de fase indicada en las subcláusulas que siguen.

Es preciso que, dentro de una red sincronizada, los equipos digitales de los nodos acepten las desviaciones de fase permitidas de la señal entrante, es decir, que en condiciones sincronizadas normales no se produzcan degradaciones.

No obstante, habrá que reconocer que, como resultado de un cierto deterioro de la calidad de funcionamiento o bien por condiciones de fallo, acciones de mantenimiento u otros eventos, la diferencia de fase entre la señal entrante y la señal de temporización interna del equipo de terminación puede sobrepasar la tolerancia de fluctuación de fase y fluctuación lenta de fase del equipo, lo que quizá provoque eventos anormales, tales como deslizamientos o ráfagas de errores en los bits.

Además, en un nodo conectado a una red sincronizada independientemente (o cuando se utilice el funcionamiento plesiócrono en las redes nacionales), la diferencia de fase entre la señal entrante y la señal de temporización interna del equipo de terminación puede sobrepasar algunas veces la tolerancia de fluctuación lenta de fase del equipo, en cuyo caso es posible que se produzca una anomalía, por ejemplo, un deslizamiento de bits. La tasa máxima de deslizamientos controlados permitida por término medio a largo plazo, resultante de este mecanismo, se deduce de la calidad de funcionamiento del reloj definida en la Recomendación UIT-T G.811, es decir, no más de un deslizamiento en 70 días.

NOTA – Las especificaciones relativas a la fluctuación lenta de fase definidas en las subcláusulas que siguen son coherentes con la obtención de los límites de red que se describe en el apéndice I para el caso de redes de transporte de la SDH.

Los requisitos para la medición de la fluctuación lenta de fase (por ejemplo, el tiempo de muestreo y el intervalo de medición) en relación con los parámetros MTIE, MRTIE y TDEV, la característica del filtro de medición de la fluctuación lenta de fase de 10 Hz y la descripción funcional de la medición de la fluctuación lenta de fase de salida figuran en la Recomendación UIT-T O.172.

La instrumentación conforme a la Recomendación UIT-T O.172 es la apropiada para la medición de los parámetros de fluctuación lenta de fase.

En el apéndice II se describen los métodos utilizados para la medición del parámetro MRTIE.

5.2.1 Límite de la fluctuación lenta de fase de salida en una interfaz a 2048 kbit/s

El nivel máximo de la fluctuación lenta de fase que puede existir en una interfaz de red a 2048 kbit/s, expresado en forma de MRTIE, no deberá superar el límite indicado en el cuadro 2. En la figura 1 se ilustra la especificación global resultante.

Cuadro 2/G.823 – Límite de la fluctuación lenta de fase de salida de una interfaz a 2048 kbit/s

Intervalo de observación τ (seg)	Requisito de MRTIE (μ s)
$0,05 < \tau \leq 0,2$	46τ
$0,2 < \tau \leq 32$	9
$32 < \tau \leq 64$	$0,28 \tau$
$64 < \tau \leq 1\ 000$ (nota)	18

NOTA – Para la configuración asíncrona (véase la figura B.1), el intervalo de observación máximo que se ha de considerar es de 80 segundos.

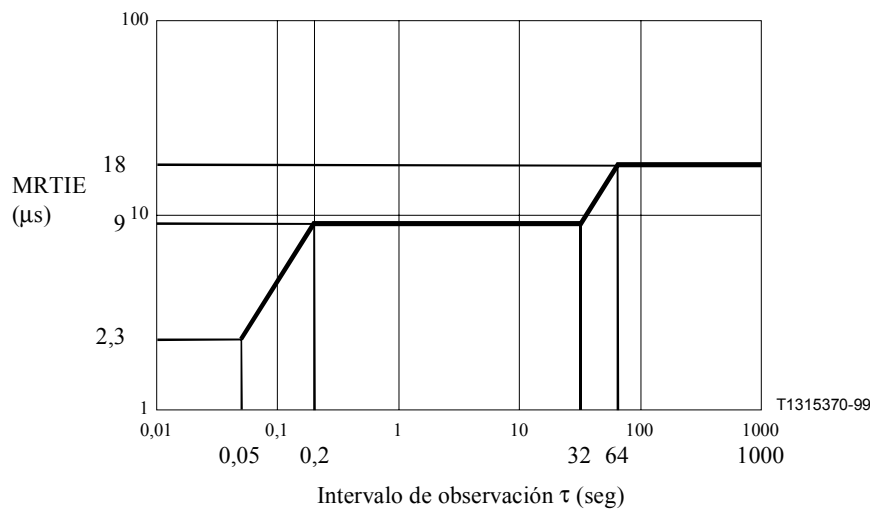


Figura 1/G.823 – Límite de la fluctuación lenta de fase de salida de una interfaz a 2048 kbit/s

5.2.2 Límite de la fluctuación lenta de fase de salida de una interfaz a 34 368 kbit/s

El nivel máximo de la fluctuación lenta de fase que puede existir en una interfaz de red a 34 368 kbit/s, expresado en forma de MRTIE, no deberá superar el límite indicado en el cuadro 3. En la figura 2 se ilustra la especificación global resultante.

NOTA – Las señales a 34 368 kbit/s se pueden entamar tal como se indica en la Recomendación UIT-T G.832.

Cuadro 3/G.823 – Límite de la fluctuación lenta de fase de salida de una interfaz a 34 368 kbit/s

Intervalo de observación τ (seg)	Requisito de MRTIE (μs)
$0,05 < \tau \leq 0,073$	14τ
$0,073 < \tau \leq 2,5$	1
$2,5 < \tau \leq 10$	$0,4 \tau$
$10 < \tau \leq 80$	4

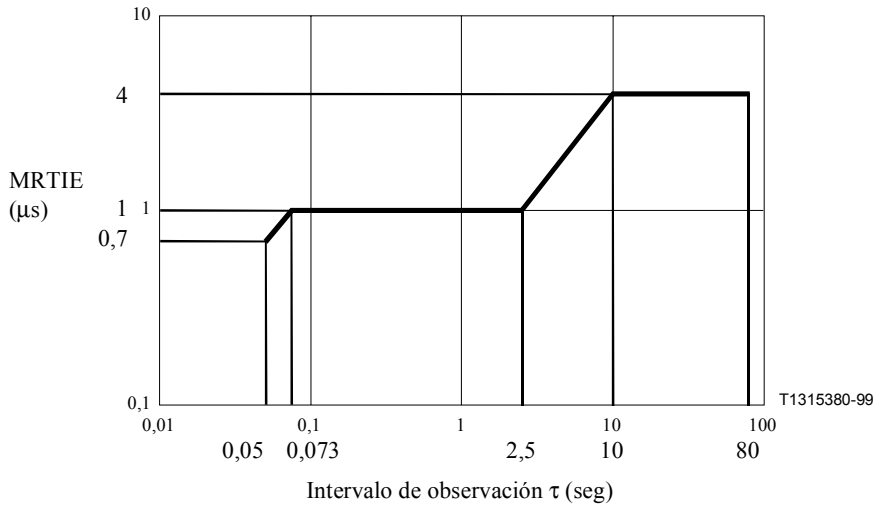


Figura 2/G.823 – Límite de la fluctuación lenta de fase de salida de una interfaz a 34 368 kbit/s

5.2.3 Límite de la fluctuación lenta de fase de salida de una interfaz a 139 264 kbit/s

El nivel máximo de la fluctuación lenta de fase que puede existir en una interfaz de red a 139 264 kbit/s, expresado en forma de MRTIE, no deberá superar el límite indicado en el cuadro 4. En la figura 3 se ilustra la especificación global resultante.

NOTA – Las señales a 139 264 kbit/s se pueden entamar de acuerdo con la Recomendación UIT-T G.832.

Cuadro 4/G.823 – Límite de la fluctuación lenta de fase de salida de una interfaz a 139 264 kbit/s

Intervalo de observación τ (seg)	Requisito de MRTIE (μs)
$0,05 < \tau \leq 0,15$	$6,8 \tau$
$0,15 < \tau \leq 2,5$	1
$2,5 < \tau \leq 10$	$0,4 \tau$
$10 < \tau \leq 80$	4

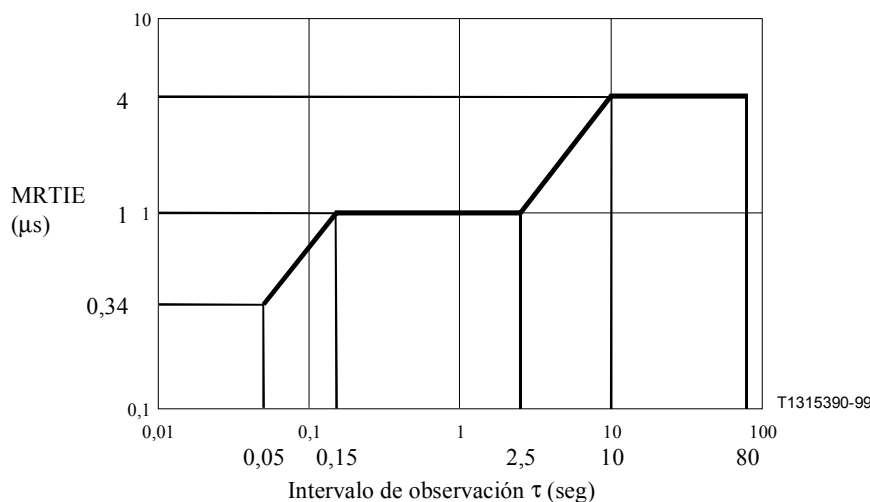


Figura 3/G.823 – Límite de la fluctuación lenta de fase de salida de una interfaz a 139 264 kbit/s

6 Límites de red para interfaces de sincronización

La especificación de límites de red para interfaces de sincronización tiene por objeto, sobre todo, reflejar los resultados de un análisis teórico de la acumulación en el caso más desfavorable de la fluctuación de fase y la fluctuación lenta de fase en una red de sincronización. Los valores correspondientes se pueden utilizar a continuación para especificar los requisitos de tolerancia de los equipos de sincronización.

No obstante, también ha de ser posible verificar mediante mediciones efectuadas en una red real que la fluctuación de fase y la fluctuación lenta de fase de determinada interfaz no superan los límites especificados. La ubicación de la interfaz en la cadena de sincronización de esa red determina el margen que cabe esperar con respecto a los límites de red.

Como se muestra en la figura B.3, una SSU puede recibir su temporización vía distribución de la SDH o la PDH. El límite de red a la salida de esas cadenas de distribución representa el valor de la fluctuación de fase y la fluctuación lenta de fase que puede estar presente a la entrada de una SSU. Puesto que se permite más fluctuación de fase en las interfaces de la PDH que en las del módulo de transporte síncrono de nivel N (STM-N, *synchronous transport module, level N*), el límite de red para las salidas de distribución de la PDH representa el caso más desfavorable que la SSU deberá tolerar a su entrada.

La tolerancia de fluctuación de fase y fluctuación lenta de fase de un SEC deberá ser de al menos el valor de la fluctuación de fase y la fluctuación lenta de fase a la entrada del último SEC de una cadena de sincronización. La contribución del último SEC de la cadena al límite de red a las salidas de los SEC (que es el valor de la fluctuación de fase y la fluctuación lenta de fase que cabe esperar a la salida del último SEC de la cadena) es pequeña, por lo que el límite de red en la interfaz de salida del SEC se puede utilizar como requisito de tolerancia de fluctuación de fase y fluctuación lenta de fase de un SEC.

6.1 Límites de red para fluctuación de fase de salida en interfaces de sincronización

Los valores máximos permisibles de los componentes del ruido a alta frecuencia de una señal de temporización se especifican con los límites de red de fluctuación de fase que se indican en el cuadro 5. Esos límites de red son compatibles con la tolerancia mínima de fluctuación de fase que es preciso que proporcionen los puertos de entrada de los equipos de reloj. Los límites del cuadro 5

deberán cumplirse cualesquiera que sean las condiciones de funcionamiento en las interfaces de sincronización a 2048 kbit/s y 2048 kHz.

La fluctuación de fase medida en un intervalo de 60 segundos no deberá superar los límites establecidos cuando se utilicen los filtros de medición especificados.

En la Recomendación UIT-T O.172 figura la descripción funcional de la medición de la fluctuación de fase de salida en una interfaz digital. En 5.1 se definen otros requisitos relativos a la medición de la fluctuación de fase.

Cuadro 5/G.823 – Fluctuación de fase máxima permisible en interfaces de sincronización

Interfaz de salida	Anchura de banda de medición, frecuencias a -3 dB (Hz)	Amplitud cresta a cresta (UIpp)
PRC	20 a 100 k	0,05
SSU	20 a 100 k	0,05
SEC	20 a 100 k	0,5
	49 a 100 k	0,2
Sincronización de la PDH	20 a 100 k	1,5
	18 k a 100 k	0,2
NOTA – En el caso de interfaces de sincronización a 2048 kbit/s y 2048 kHz, UIpp se refiere al inverso de la frecuencia de reloj.		

6.2 Límites de red para fluctuación lenta de fase de salida en interfaces de sincronización

A frecuencias muy bajas, las redes de sincronización son transparentes a la fluctuación lenta de fase. En consecuencia, dos señales recibidas en el mismo nodo que reciben su temporización de la misma fuente, pero por diferentes trayectos, pueden tener en el caso más desfavorable una desviación de fase opuesta. La tolerancia de fluctuación lenta de fase mínima en la gama de frecuencias en la que los equipos del sistema resultan afectados por la variación de fase diferencial entre dos entradas es mayor, por tanto, que el límite de red para una fluctuación lenta de fase absoluta. Sólo la variación de fase que se produce en la entrada de sincronización seleccionada repercute, por tanto, en la calidad de funcionamiento de un reloj. Por ello, en las subcláusulas que siguen, se pueden utilizar directamente los límites de red absolutos para especificar la tolerancia de fluctuación lenta de fase de la SSU y el SEC.

Los requisitos en cuanto a límites de red de TDEV se deducen por simulación, teniendo en cuenta el presupuesto de fluctuación lenta de fase de 18 μ s y los requisitos de la Recomendación G.822 (en el anexo A se da más información). Ahora bien, una amplia fluctuación lenta de fase diurna con un periodo de un día y característica sinusoidal puede hacer que el límite de red de TDEV (en interfaces SSU, SEC o PDH) sea superado, incluso si se cumple el requisito correspondiente de MTIE. Esto se debe a que el parámetro TDEV no filtra de manera estricta los componentes sinusoidales de la fluctuación lenta de fase.

Del gran número de características de temporización de que se dispone, se ha seleccionado un subconjunto para limitar tanto la normalización como el esfuerzo de verificación operativa. Se considera que las características seleccionadas proporcionan suficiente información como para asegurar un funcionamiento satisfactorio de las redes de la SDH y las RTPC.

Los requisitos para la medición de la fluctuación lenta de fase (por ejemplo, el tiempo de muestreo y el intervalo de medición) en relación con los parámetros MTIE y TDEV, la característica del filtro de

medición de fluctuación lenta de fase de 10 Hz y la descripción funcional de la medición de la fluctuación lenta de fase de salida figuran en la Recomendación O.172.

La instrumentación conforme a la Recomendación UIT-T O.172 es la apropiada para la medición de los parámetros de la fluctuación lenta de fase.

En el apéndice II se describen los métodos utilizados para la medición del parámetro MTIE.

6.2.1 Límite de la fluctuación lenta de fase de salida de una interfaz PRC

En el cuadro 6 se da el límite de red para fluctuación lenta de fase en la interfaz de salida de un PRC, expresado en forma de MTIE. En la figura 4 se ilustra la especificación global resultante.

Cuadro 6/G.823 – Límite de red para fluctuación lenta de fase en interfaces PRC expresado en MTIE

Intervalo de observación τ (seg)	Requisito de MTIE (ns)
$0,1 < \tau \leq 1\ 000$	$25 + 0,275 \tau$
$\tau > 1\ 000$	$290 + 0,01 \tau$

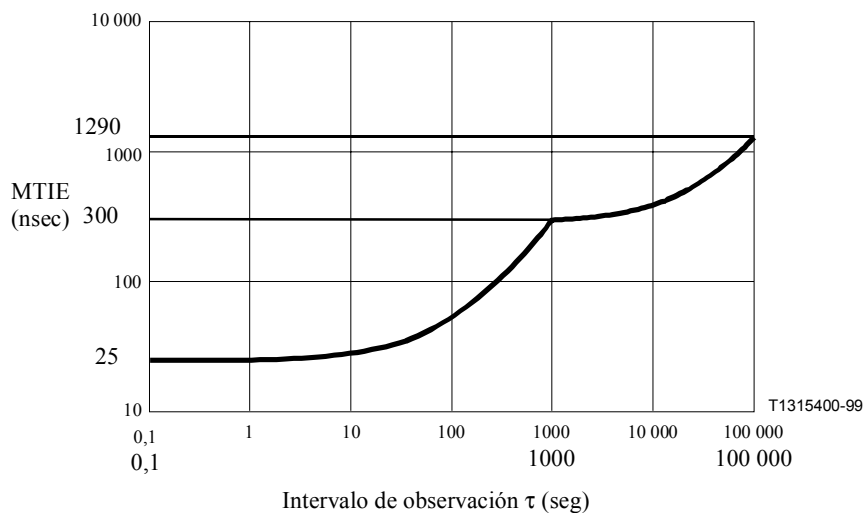


Figura 4/G.823 – Límite de red para fluctuación lenta de fase (MTIE) en interfaces PRC

En el cuadro 7 se da el límite de red para fluctuación lenta de fase en la interfaz de salida de un PRC, expresado en forma de TDEV. En la figura 5 se ilustra la especificación global resultante.

Cuadro 7/G.823 – Límite de red para fluctuación lenta de fase en interfaces PRC expresado en TDEV

Intervalos de observación τ (seg)	Requisito de TDEV (ns)
$0,1 < \tau \leq 100$	3
$100 < \tau \leq 1\ 000$	$0,03 \tau$
$1000 < \tau \leq 10\ 000$	30
$10\ 000 < \tau \leq 1\ 000\ 000$	$27 + 0,000\ 3 \tau$

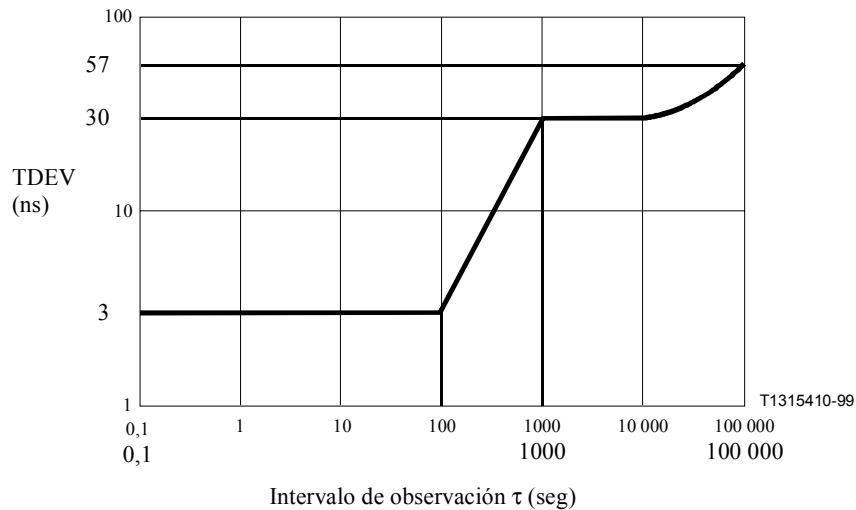


Figura 5/G.823 – Límite de red para fluctuación lenta de fase (TDEV) en interfaces PRC

6.2.2 Límite de la fluctuación lenta de fase de salida de una interfaz SSU

En el cuadro 8 se da el límite de red para fluctuación lenta de fase en la interfaz de salida de una SSU, expresado en forma de MTIE. En la figura 6 se ilustra la especificación global resultante.

NOTA – Los valores están referidos al UTC, es decir, incluyen la fluctuación lenta de fase del PRC.

Cuadro 8/G.823 – Límite de red para fluctuación lenta de fase en interfaces SSU expresado en MTIE

Intervalo de observación τ (seg)	Requisito de MTIE (ns)
$0,1 < \tau \leq 2,5$	25
$2,5 < \tau \leq 200$	10τ
$200 < \tau \leq 2000$	2000
$\tau > 2000$	$433 \tau^{0,2} + 0,01 \tau$

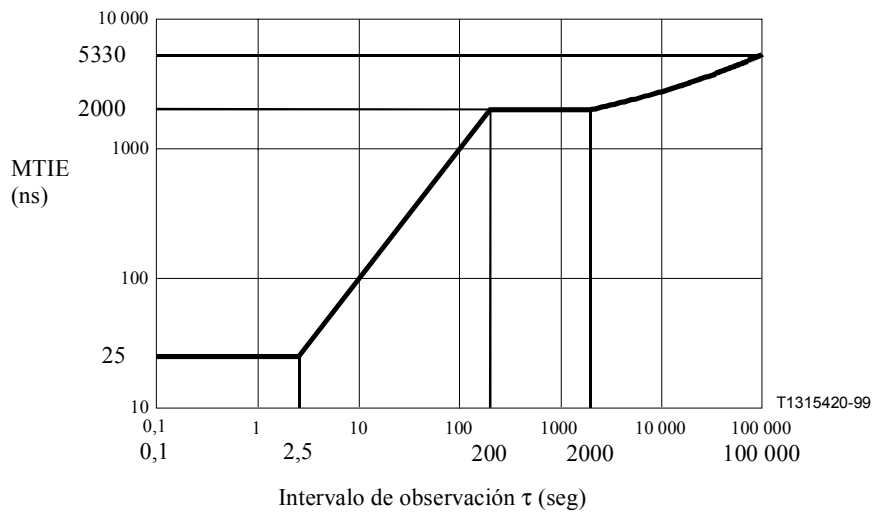


Figura 6/G.823 – Límite de red para fluctuación lenta de fase (MTIE) en interfaces SSU

En el cuadro 9 se da el límite de red para fluctuación lenta de fase en la interfaz de salida de una SSU, expresado en forma de TDEV. En la figura 7 se ilustra la especificación global resultante.

Cuadro 9/G.823 – Límite de red para fluctuación lenta de fase en interfaces SSU expresado en TDEV

Intervalo de observación τ (seg)	Requisito de TDEV (ns)
$0,1 < \tau \leq 4,3$	3
$4,3 < \tau \leq 100$	$0,7 \tau$
$100 < \tau \leq 1\ 000\ 000$	$58 + 1,2 \tau^{0,5} + 0,000\ 3 \tau$

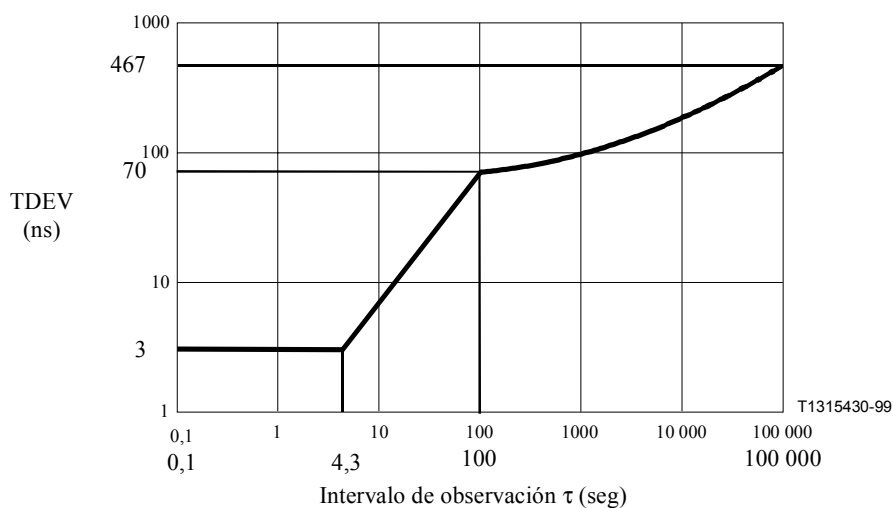


Figura 7/G.823 – Límite de red para fluctuación lenta de fase (TDEV) en interfaces SSU

6.2.3 Límite de la fluctuación lenta de fase de salida de una interfaz SEC

En el cuadro 10 se da el límite de red para fluctuación lenta de fase en la interfaz de salida de un SEC, expresado en forma de MTIE. En la figura 8 se ilustra la especificación global resultante.

NOTA – Los valores están referidos al UTC, es decir, incluyen la fluctuación lenta de fase del PRC.

Cuadro 10/G.823 – Límite de red para fluctuación lenta de fase en interfaces SEC expresado en MTIE

Intervalo de observación τ (seg)	Requisito de MTIE (ns)
$0,1 < \tau \leq 2,5$	250
$2,5 < \tau \leq 20$	100τ
$20 < \tau \leq 2000$	2000
$\tau > 2000$	$433 \tau^{0,2} + 0,01 \tau$

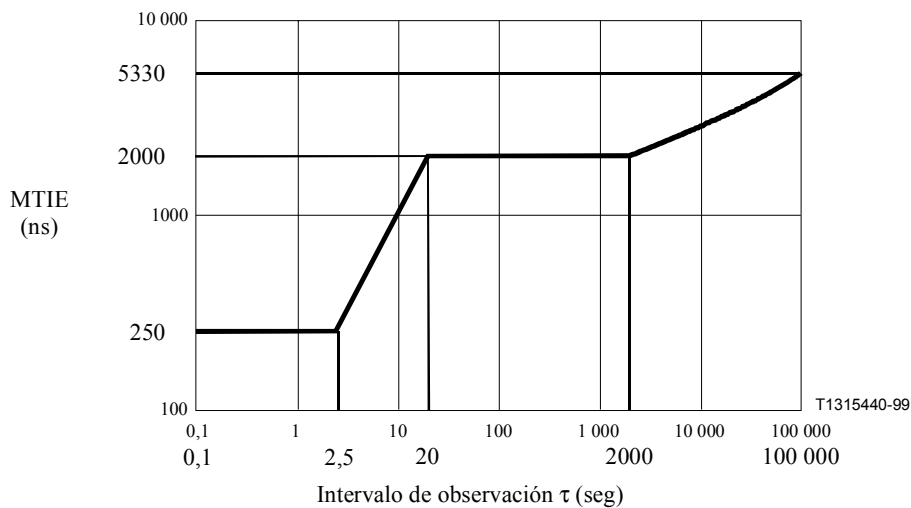


Figura 8/G.823 – Límite de red para fluctuación lenta de fase (MTIE) en interfaces SEC

En el cuadro 11 se da el límite de red para fluctuación lenta de fase en la interfaz de salida de un SEC, expresado en forma de TDEV. En la figura 9 se ilustra la especificación global resultante.

Cuadro 11/G.823 – Límite de red para fluctuación lenta de fase en interfaces SEC expresado en TDEV

Intervalo de observación τ (seg)	Requisito de TDEV (ns)
$0,1 < \tau \leq 17,14$	12
$17,14 < \tau \leq 100$	$0,7 \tau$
$100 < \tau \leq 1\,000\,000$	$58 + 1,2 \tau^{0,5} + 0,000\,3 \tau$

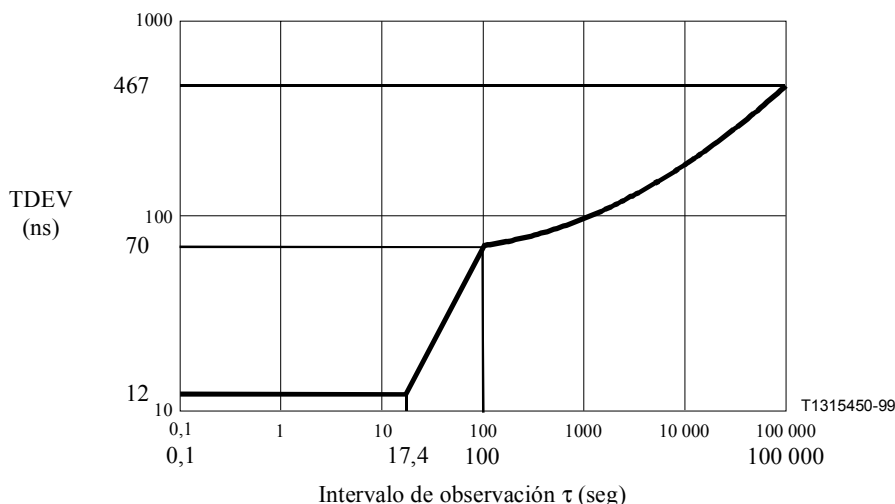


Figura 9/G.823 – Límite de red para fluctuación lenta de fase (TDEV) en interfaces SEC

6.2.4 Límite de la fluctuación lenta de fase de salida de interfaz de sincronización de la PDH

En el cuadro 12 se da el límite de red para fluctuación lenta de fase en una interfaz de salida de sincronización de la PDH, expresado en forma de MTIE. En la figura 10 se ilustra la especificación global resultante.

NOTA 1 – Si se utiliza una señal a 34 368 kbit/s o 139 264 kbit/s entramada de acuerdo con la Recomendación UIT-T G.832 como interfaz de sincronización, el límite de la fluctuación lenta de fase de salida queda en estudio.

Cuadro 12/G.823 – Límite de red para fluctuación lenta de fase en interfaces de sincronización de la PDH expresado en MTIE

Intervalo de observación τ (seg)	Requisito de MTIE (ns)
$0,1 < \tau \leq 7,3$	732
$7,3 < \tau \leq 20$	100τ
$20 < \tau \leq 2000$	2000
$\tau > 2000$	$433 \tau^{0,2} + 0,01 \tau$

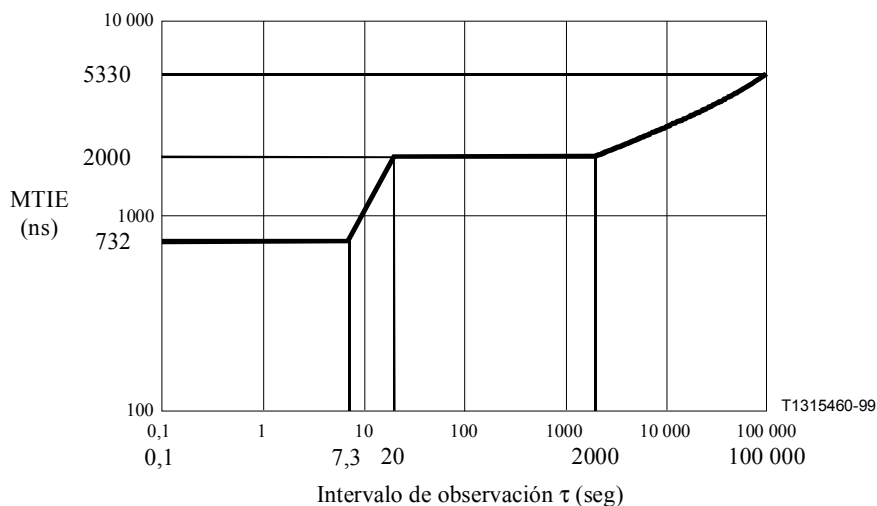


Figura 10/G.823 – Límite de red para fluctuación lenta de fase (MTIE) en interfaces de sincronización de la PDH

En el cuadro 13 se da el límite de red para fluctuación lenta de fase en una interfaz de salida de sincronización de la PDH, expresado en forma de TDEV. En la figura 11 se ilustra la especificación global resultante.

NOTA 2 – Si se utiliza una señal a 34 368 kbit/s o 139 264 kbit/s entramada de acuerdo con la Recomendación UIT-T G.832 como interfaz de sincronización, el límite de la fluctuación lenta de fase de salida queda para un estudio ulterior.

Cuadro 13/G.823 – Límite de red para fluctuación lenta de fase en interfaces de sincronización de la PDH expresado en TDEV

Intervalo de observación τ (seg)	Requisito de TDEV (ns)
$0,1 < \tau \leq 48$	34
$48 < \tau \leq 100$	$0,7 \tau$
$100 < \tau \leq 1\ 000\ 000$	$58 + 1,2 \tau^{0,5} + 0,000\ 3 \tau$

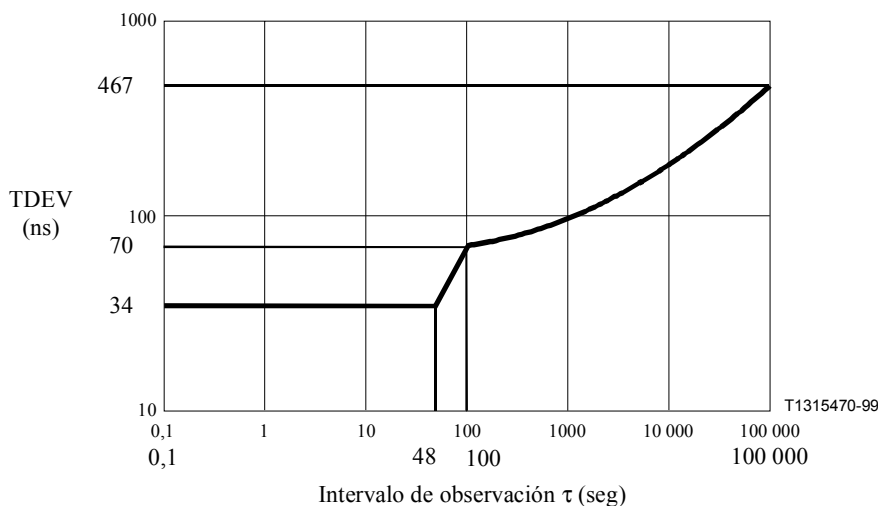


Figura 11/G.823 – Límite de red para fluctuación lenta de fase (TDEV) en interfaces de sincronización de la PDH

7 Tolerancia de fluctuación de fase y fluctuación lenta de fase de interfaces de red

7.1 Tolerancia de fluctuación de fase y fluctuación lenta de fase de interfaces de tráfico

Para asegurar que, en general, cualquier equipo puede ser conectado a cualquier interfaz apropiada dentro de una red, es necesario hacer que los puertos de entrada de los equipos de todo tipo sean capaces de aceptar niveles de fluctuación de fase y de fluctuación lenta de fase de hasta por lo menos los límites mínimos definidos en las subcláusulas que siguen.

La tolerancia de fluctuación de fase y fluctuación lenta de fase de una interfaz PDH indica el nivel mínimo de ruido de fase que el puerto de entrada aceptará, en tanto en cuanto:

- no cause ninguna alarma;
- no cause ningún deslizamiento; y
- no cause ningún error en los bits.

Los puertos de entrada digitales de todos los equipos deberán tolerar una señal digital que tenga:

- características eléctricas de acuerdo con los requisitos de la Recomendación UIT-T G.703;
- un desplazamiento de frecuencia constante (con respecto al valor nominal) dentro de la gama definida en el cuadro 14;
- una tasa de cambio de la frecuencia de por lo menos hasta 1 ppm/minuto para interfaces a 2048 kbit/s y de por lo menos hasta 0,5 ppm/minuto para interfaces a 34 368 kbit/s y 139 264 kbit/s; y
- una desviación de fase sinusoidal cuya relación amplitud-frecuencia sea tal como se define en las subcláusulas que siguen.

En principio, estos requisitos deberán cumplirse con independencia de la información que contenga la señal digital. Sin embargo, a efectos de prueba, el contenido de la señal con modulación de fluctuación de fase y fluctuación lenta de fase deberá ser una secuencia de prueba estructurada según se define en las subcláusulas que siguen.

Al especificar o evaluar la tolerancia de una interfaz, cabe distinguir dos condiciones de funcionamiento del equipo:

- funcionamiento no sincronizado, en el que el equipo receptor no es temporizado desde una fuente síncrona con la interfaz objeto de consideración. En este caso, lo que interesa es la

capacidad del equipo de aceptar variaciones de fase en la señal entrante (en términos de circuitos de recuperación de reloj y memorias tampón de sincronizador/desincronizador); y

- b) funcionamiento sincronizado, en el que el equipo receptor es temporizado desde una fuente síncrona con la interfaz objeto de consideración. En este caso, también interesa el tamaño y el funcionamiento de la memoria tampón de deslizamientos.

A menos que se indique otra cosa, las especificaciones de la tolerancia en las subcláusulas que siguen son aplicables tanto en condiciones de funcionamiento no sincronizado como de funcionamiento sincronizado.

La especificación de la amplitud de fase cresta a cresta por encima de 10 Hz refleja la magnitud de la fluctuación de fase máxima permisible en una red digital. No obstante, la especificación por debajo de 10 Hz no pretende representar la fluctuación lenta de fase máxima permisible que pudiera producirse en la práctica. Por debajo de 10 Hz, los límites se establecen de manera que, cuando sea necesario, la provisión de este nivel de capacidad de almacenamiento en memoria tampón a la entrada de un equipo facilite la aceptación de la fluctuación lenta de fase generada en gran parte de las conexiones reales.

Por motivo de conveniencia de la prueba, la tolerancia requerida se define en términos de amplitud cresta a cresta y frecuencia de la fluctuación de fase sinusoidal que modula una secuencia de prueba digital. Es importante tener en cuenta que esta condición de prueba no se considera representativa, por sí misma, del tipo de fluctuación de fase que se produce en la práctica en una red.

En el apéndice III se dan indicaciones sobre la configuración de medición de la tolerancia de fluctuación de fase y fluctuación lenta de fase en sistemas de la PDH.

La instrumentación conforme a la Recomendación UIT-T O.171 es la apropiada para la generación de fluctuación de fase y fluctuación lenta de fase en sistemas de la PDH.

Cuadro 14/G.823 – Desplazamiento máximo de frecuencia en interfaces de tráfico

Interfaz	Desplazamiento máximo de frecuencia (\pmppm)	Ejemplo de aplicación
64 kbit/s	0	Conmutación de canal de entrada
2048 kbit/s	0	Conmutación, transconexión 1/0
	4,6	Establecimiento de correspondencia síncrona de bytes con la SDH
	50	PDH, establecimiento de correspondencia asíncrona con la SDH
8448 kbit/s	30	PDH
34 368 kbit/s	20	PDH, establecimiento de correspondencia asíncrona con la SDH
	4,6	Señal definida en la Recomendación UIT-T G.832
139 264 kbit/s	15	PDH, establecimiento de correspondencia asíncrona con la SDH
	4,6	Señal definida en la Recomendación UIT-T G.832
NOTA – Los valores de desplazamiento de frecuencia concuerdan con los de las Recomendaciones UIT-T G.703 y G.813.		

7.1.1 Tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 64 kbit/s

El nivel de fluctuación de fase y fluctuación lenta de fase que puede aceptar una interfaz de red codireccional a 64 kbit/s, expresado en amplitud de fase sinusoidal cresta a cresta, debe superar los valores dados en el cuadro 15. En la figura 12 se ilustra la especificación global resultante. La

secuencia de prueba que se ha de utilizar es una PRBS de longitud $2^{11} - 1$, definida en la Recomendación UIT-T O.150.

Cuadro 15/G.823 – Requisito mínimo de tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 64 kbit/s

Frecuencia f (Hz)	Requisito (amplitud de fase cresta a cresta)
$12 \mu < f \leq 4,3$	18 μ s
$4,3 < f \leq 20$	$77 f^{-1} \mu$ s
$20 < f \leq 600$	0,25 UI
$600 < f \leq 3 \text{ k}$	$150 f^{-1} \text{ UI}$
$3 \text{ k} < f \leq 20 \text{ k}$	0,05 UI
NOTA – 1 UI = 15,6 μ s	

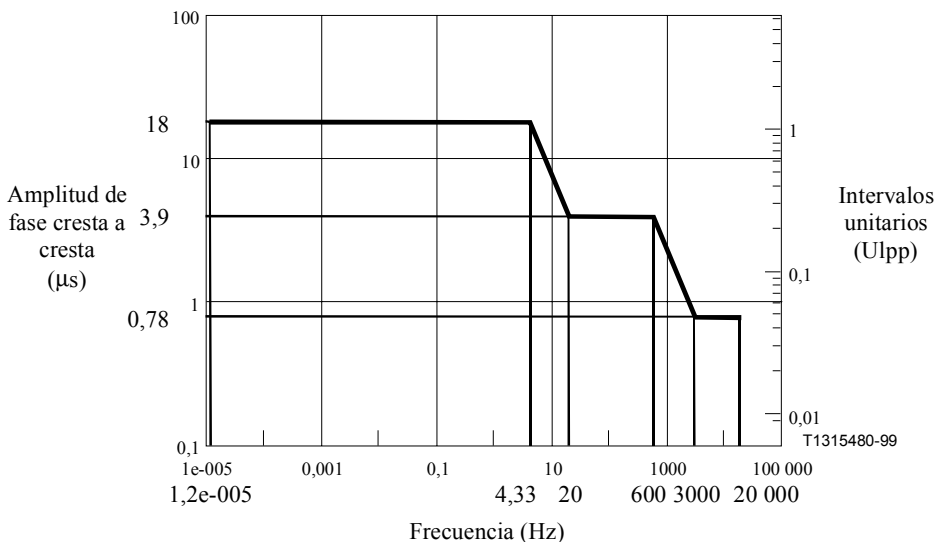


Figura 12/G.823 – Límite de tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 64 kbit/s

7.1.2 Tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 2048 kbit/s

El nivel de fluctuación de fase y fluctuación lenta de fase que puede aceptar una interfaz de red a 2048 kbit/s, expresado en amplitud de fase sinusoidal cresta a cresta, debe superar los valores dados en el cuadro 16. En la figura 13 se ilustra la especificación global resultante. La secuencia de prueba que se ha de utilizar es una PRBS de longitud $2^{15} - 1$, definida en la Recomendación UIT-T O.150.

Cuadro 16/G.823 – Requisito mínimo de tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 2048 kbit/s

Frecuencia f (Hz)	Requisito (amplitud de fase cresta a cresta)
$12 \mu < f \leq 4,88 \text{ m}$	18 μs
$4,88 \text{ m} < f \leq 10 \text{ m}$	$0,088 f^{-1} \mu\text{s}$
$10 \text{ m} < f \leq 1,67$	8,8 μs
$1,67 < f \leq 20$	$15 f^{-1} \mu\text{s}$
$20 < f \leq 2,4 \text{ k}$ (nota 1)	1,5 UI
$2,4 \text{ k} < f \leq 18 \text{ k}$ (nota 1)	$3,6 \times 10^3 f^{-1} \text{ UI}$
$18 \text{ k} < f \leq 100 \text{ k}$ (nota 1)	0,2 UI

NOTA 1 – En el caso de interfaces a 2048 kbit/s dentro de la red de un operador, se puede especificar que la frecuencia sea de 93 Hz (en vez de 2,4 kHz) y de 700 Hz (en vez de 18 kHz). Sin embargo, en las interfaces situadas entre redes de operadores diferentes, los valores aplicables son los del cuadro a menos que las partes que intervienen acuerden otra cosa.

NOTA 2 – 1 UI = 488 ns.

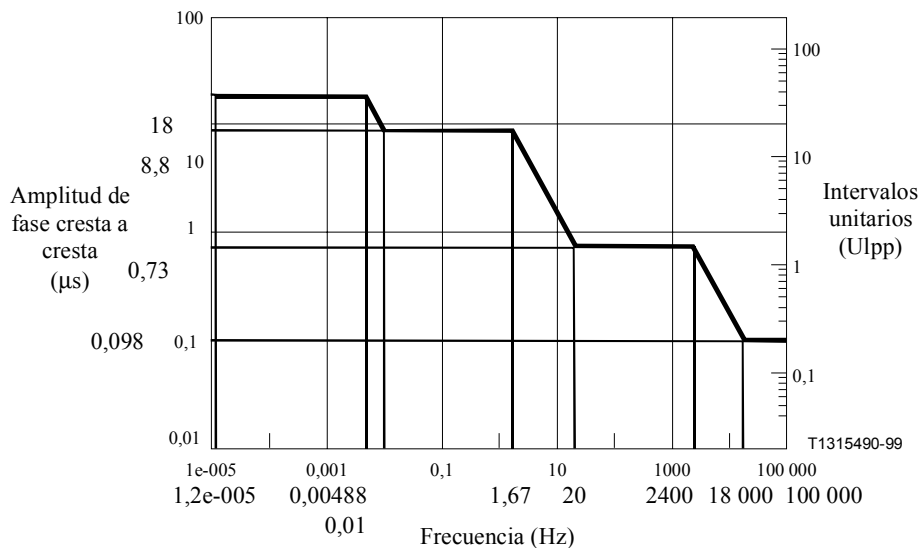


Figura 13/G.823 – Límite de tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 2048 kbit/s

7.1.3 Tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 8448 kbit/s

El nivel de fluctuación de fase y fluctuación lenta de fase que puede aceptar una interfaz de red a 8448 kbit/s, expresado en amplitud de fase sinusoidal cresta a cresta, debe superar los valores dados en el cuadro 17. En la figura 14 se ilustra la especificación global resultante. La secuencia de prueba que se ha de utilizar es una PRBS de longitud $2^{15} - 1$, definida en la Recomendación UIT-T O.150.

NOTA – Los requisitos en cuanto a tolerancia para frecuencias por debajo de 20 Hz no se definen porque en la Recomendación UIT-T G.707 no se ha definido la correspondencia de la señal a 8448 kbit/s para redes de la SDH.

Cuadro 17/G.823 – Requisito mínimo de tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 8448 kbit/s

Frecuencia f (Hz)	Requisito (amplitud de fase cresta a cresta)
20 < f ≤ 400 (nota 1)	1,5 UI
400 < f ≤ 3 k (nota 1)	600 f ⁻¹ UI
3 k < f ≤ 400 k (nota 1)	0,2 UI

NOTA 1 – En el caso de interfaces a 8448 kbit/s dentro de la red de un operador, se puede especificar que la frecuencia sea de 10,7 kHz (en vez de 400 Hz) y de 80 kHz (en vez de 3 kHz). Sin embargo, en las interfaces situadas entre redes de operadores diferentes, los valores aplicables son los del cuadro a menos que las partes que intervienen acuerden otra cosa.

NOTA 2 – 1 UI = 118 ns.

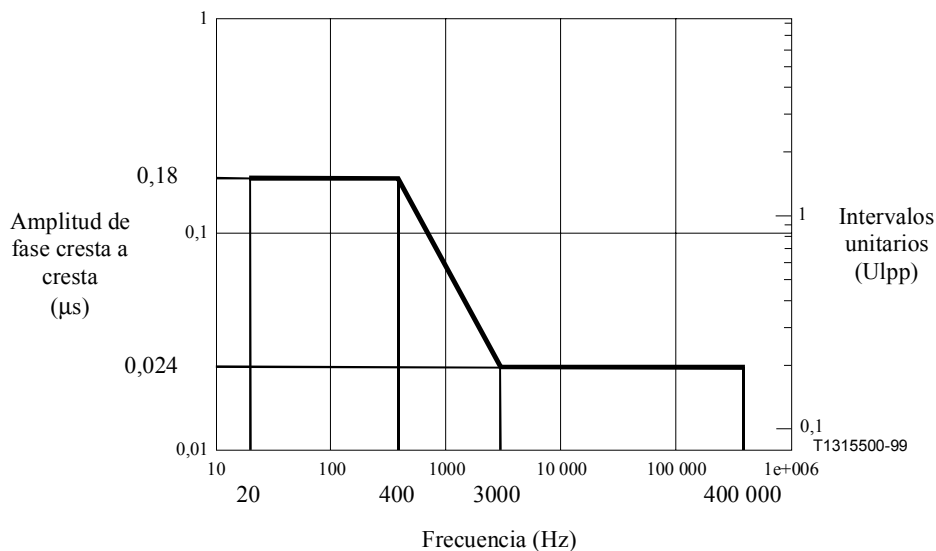


Figura 14/G.823 – Límite de tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 8448 kbit/s

7.1.4 Tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 34 368 kbit/s

El nivel de fluctuación de fase y fluctuación lenta de fase que pueda aceptar una interfaz de red a 34 368 kbit/s, expresado en amplitud de fase sinusoidal cresta a cresta, debe superar los valores dados en el cuadro 18. En la figura 15 se ilustra la especificación global resultante. La secuencia de prueba que se ha de utilizar es una PRBS de longitud $2^{23} - 1$, definida en la Recomendación UIT-T O.150; en el caso de señales que se atienen a la Recomendación UIT T G.832, la secuencia de prueba a utilizar queda en estudio.

Cuadro 18/G.823 – Requisito mínimo de tolerancia de fluctuación de fase y fluctuación lenta de fase a 34 368 kbit/s

Frecuencia f (Hz)	Requisito (amplitud de fase cresta a cresta)
$10 \text{ m} < f \leq 32 \text{ m}$	$4 \mu\text{s}$
$32 \text{ m} < f \leq 130 \text{ m}$	$0,13 f^{-1} \mu\text{s}$
$130 \text{ m} < f \leq 4,4$	$1 \mu\text{s}$
$4,4 < f \leq 100$	$4,4 f^{-1} \mu\text{s}$
$100 < f \leq 1 \text{ k}$	$1,5 \text{ UI}$
$1 \text{ k} < f \leq 10 \text{ k}$	$1,5 \times 10^3 f^{-1} \text{ UI}$
$10 \text{ k} < f \leq 800 \text{ k}$	$0,15 \text{ UI}$
NOTA – 1 UI = 29,1 ns.	

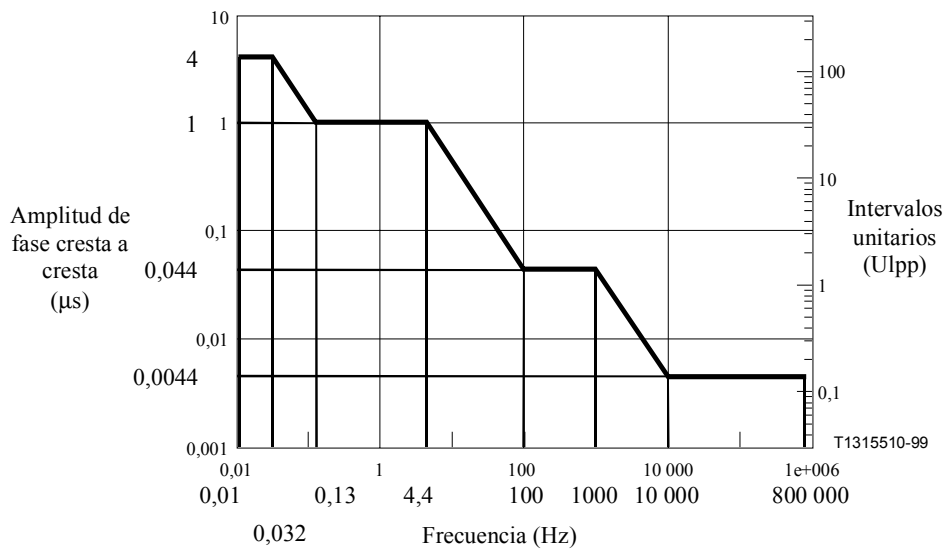


Figura 15/G.823 – Límite de tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada 34 368 kbit/s

7.1.5 Tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 139 264 kbit/s

El nivel de fluctuación de fase y fluctuación lenta de fase que puede aceptar una interfaz de red a 139 264 kbit/s, expresado en amplitud de fase sinusoidal cresta a cresta, debe superar los valores dados en el cuadro 19. En la figura 16 se ilustra la especificación global resultante. La secuencia de prueba que se ha de utilizar es una PRBS de longitud $2^{23} - 1$, definida en la Recomendación UIT-T O.150; en el caso de señales que se atienen a la Recomendación UIT-T G.832, la secuencia de prueba a utilizar queda en estudio.

Cuadro 19/G.823 – Requisito mínimo de tolerancia de fluctuación de fase y fluctuación lenta de fase a 139 264 kbit/s

Frecuencia f (Hz)	Requisito (amplitud de fase cresta a cresta)
$10 \text{ m} < f \leq 32 \text{ m}$	$4 \mu\text{s}$
$32 \text{ m} < f \leq 130 \text{ m}$	$0,13 f^{-1} \mu\text{s}$
$130 \text{ m} < f \leq 2,2$	$1 \mu\text{s}$
$2,2 < f \leq 200$	$2,2 f^{-1} \mu\text{s}$
$200 < f \leq 500$	$1,5 \text{ UI}$
$500 < f \leq 10 \text{ k}$	$750 f^{-1} \text{ UI}$
$10 \text{ k} < f \leq 3,5 \text{ M}$	$0,075 \text{ UI}$

NOTA – 1 UI = 7,18 ns.

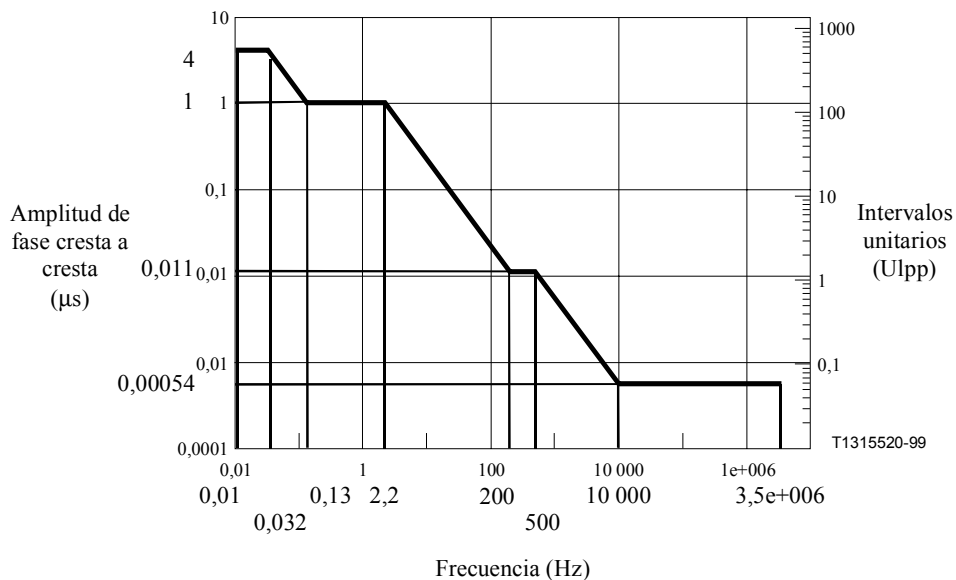


Figura 16/G.823 – Límite de tolerancia de fluctuación de fase y fluctuación lenta de fase de entrada a 139 264 kbit/s

7.2 Tolerancia de fluctuación de fase y fluctuación lenta de fase de las interfaces de sincronización

La tolerancia de fluctuación de fase y fluctuación lenta de fase de las interfaces de sincronización debe atenerse a las especificaciones de tolerancia de fluctuación de fase y fluctuación lenta de fase de los puertos de entrada de reloj tipo I de la Recomendación UIT-T G.812 (en el caso de los equipos que contienen una función SSU) y de la opción 1 de la Recomendación UIT-T G.813 (en el caso de los equipos que contienen una función SEC).

ANEXO A

Modelo de red que fundamenta el límite de red de sincronización

A.1 Introducción

El método de obtención de los límites de red se basa en simulaciones numéricas, efectuadas con un determinado modelo de red representativo de la red del "caso más desfavorable medio" desde el punto de vista de la sincronización. En el presente anexo se hace una descripción resumida de esa red de referencia y se exponen otras hipótesis que intervinieron en el establecimiento de los límites de red.

A.2 Consideraciones relativas al modelo de red

Los límites de red de sincronización constituyen un compromiso entre requisitos difícilmente compatibles, ya que es preciso armonizar las especificaciones de cada uno de los equipos con los criterios de calidad de funcionamiento aplicables a la red en su conjunto. El número de redes construidas y que pueden construirse casi no tiene límite, por lo que se necesita una red de referencia que sea "peor" que la gran mayoría de las redes reales desde el punto de vista de la sincronización. La lista que sigue es la relación de los elementos más importantes a tener en cuenta cuando se construye la red de referencia:

- a) el primero de ellos es la especificación de cada uno de los relojes que forman parte del camino de sincronización hacia un elemento de red: cuanto más ruido de fase se permita producir a cada reloj mayor será el límite de red. Las especificaciones del ruido se definen en las Recomendaciones UIT-T G.811, G.812 y G.813 para los PRC, las SSU y los SEC, respectivamente;
- b) el segundo elemento importante es la composición de la cadena de sincronización completa en términos de número de relojes de cada tipo (PRC, SSU o SEC) que se ponen en cascada y el orden de los mismos. La cadena de referencia de sincronización aludida se define en la Recomendación UIT-T G.803 y consta de 1 PRC seguido de 10 SSU y de 20 SEC (puede haber 40 SEC más entre las SSU, pero esto no influye en el problema de que se trata); y
- c) aparte del ruido generado por cada uno de los relojes, también son factores a tener en cuenta la fluctuación lenta de fase diurna y los transitorios de fase que se producen en los enlaces de sincronización. La hipótesis (conservadora) fue que entre dos SSU cualesquiera habrá por término medio un transitorio cada 25 días. Se supuso que la duración de cada transitorio sería de 1 μ s con polaridad aleatoria. Comparado con el efecto acumulativo del ruido de reloj y los transitorios, el efecto de la fluctuación lenta de fase diurna resulta irrelevante si el camino de sincronización transcurre sobre todo por cable óptico enterrado.

Los tres elementos anteriores determinan totalmente el límite de red para interfaces de sincronización. Ahora bien, se necesita además una red de datos de referencia para verificar si esos límites son coherentes con los requisitos de calidad de funcionamiento existentes.

Los aspectos más importantes de la arquitectura de la conexión de datos de referencia son los que influyen en la acumulación de la fluctuación lenta de fase de la señal de datos, es decir, el número de islas SDH en el enlace y el número de procesadores de puntero dentro de cada isla. La conexión de datos de referencia deberá ser representativa de cualquier enlace a 2048 kbit/s entre dos equipos que tengan terminación memoria tampón de deslizamientos (por ejemplo, dos conmutadores pasarela internacional). Esto es así porque un equipo con terminación memoria tampón de deslizamientos reajusta por completo la temporización de la señal. La conexión de datos de referencia se eligió de modo que constara de cuatro islas SDH, cada una de ellas con 8 procesadores de puntero de TU-12, en una conexión PDH por otra parte. En el modelo de red se establece también la hipótesis (conservadora) de que cada nodo que necesita temporización se sincroniza a través de una cadena independiente de sincronización del caso más desfavorable.

Por último, los requisitos de calidad de funcionamiento con respecto a los cuales se va a evaluar la fluctuación lenta de fase diferencial resultante en la memoria tampón de deslizamientos receptora se especifican en esta Recomendación UIT-T y en la Recomendación UIT-T G.822. La presente Recomendación UIT-T prescribe un máximo de 18 μ s de fluctuación lenta de fase de entrada diferencial durante un periodo de tiempo que se ha fijado en 24 horas. La Recomendación UIT-T G.822 especifica una tasa de deslizamientos superior a 0,3 por día (el 98,9% del tiempo) en la parte nacional de una conexión de referencia de 27 500 km. Se consideró que la parte nacional era la referencia adecuada para el modelo de red.

De los elementos de la lista indicada más arriba se deriva la red de referencia que se muestra en la figura A.1. El modelo incluye múltiples PRC para poder aplicarlo a trayectos de datos que atraviesan múltiples dominios de temporización de PRC.

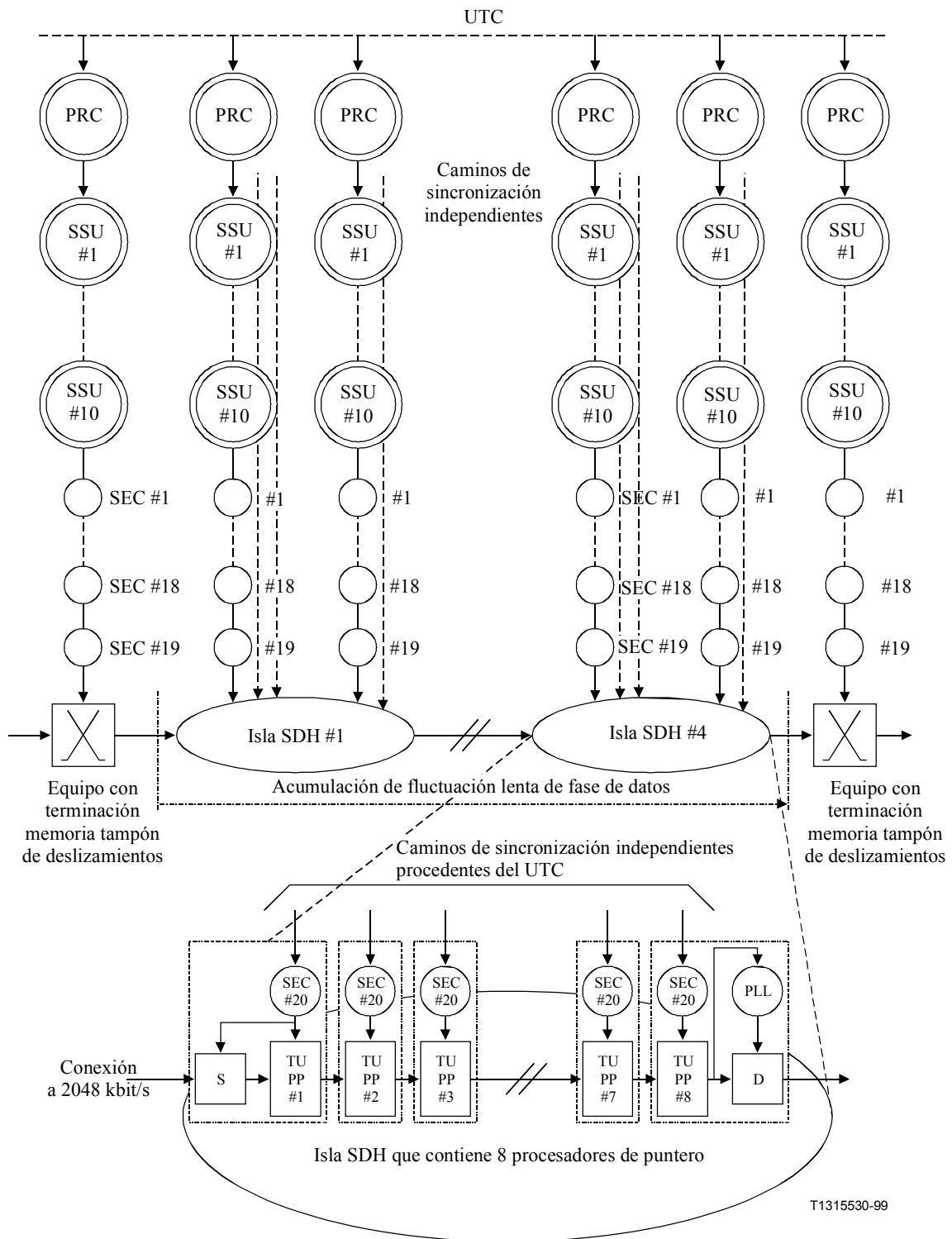


Figura A.1/G.823 – Modelo de red para acumulación de fluctuación lenta de fase de datos y reloj

La determinación de la fluctuación lenta de fase diferencial a la entrada del equipo con terminación memoria tampón de deslizamientos receptor, exige que se tengan en cuenta otros dos factores importantes no incluidos directamente en la simulación, pero para los que se han hecho atribuciones aparte en el presupuesto de fluctuación lenta de fase (véase también A.3):

- a) la fluctuación lenta de fase del establecimiento de la correspondencia de las señales a 2048 kbit/s con el VC-12; y

- b) la fluctuación lenta de fase diurna causada por influencias de tipo ambiental en las fibras ópticas que llevan las señales objeto de análisis.

A.3 Información relativa a las simulaciones

En la figura A.2 se describe de manera esquemática el modelo utilizado en las simulaciones para la generación de ruido en las entradas de reloj de todos los equipos SDH a lo largo del trayecto de datos y en el equipo con terminación memoria tampón de deslizamientos transmisor y receptor. El ruido intrínseco y los transitorios se generan separadamente. El ruido intrínseco de 1 PRC y 10 SSU seguidos de 20 SEC se basa en datos de las Recomendaciones UIT-T G.811, G.812 y G.813.

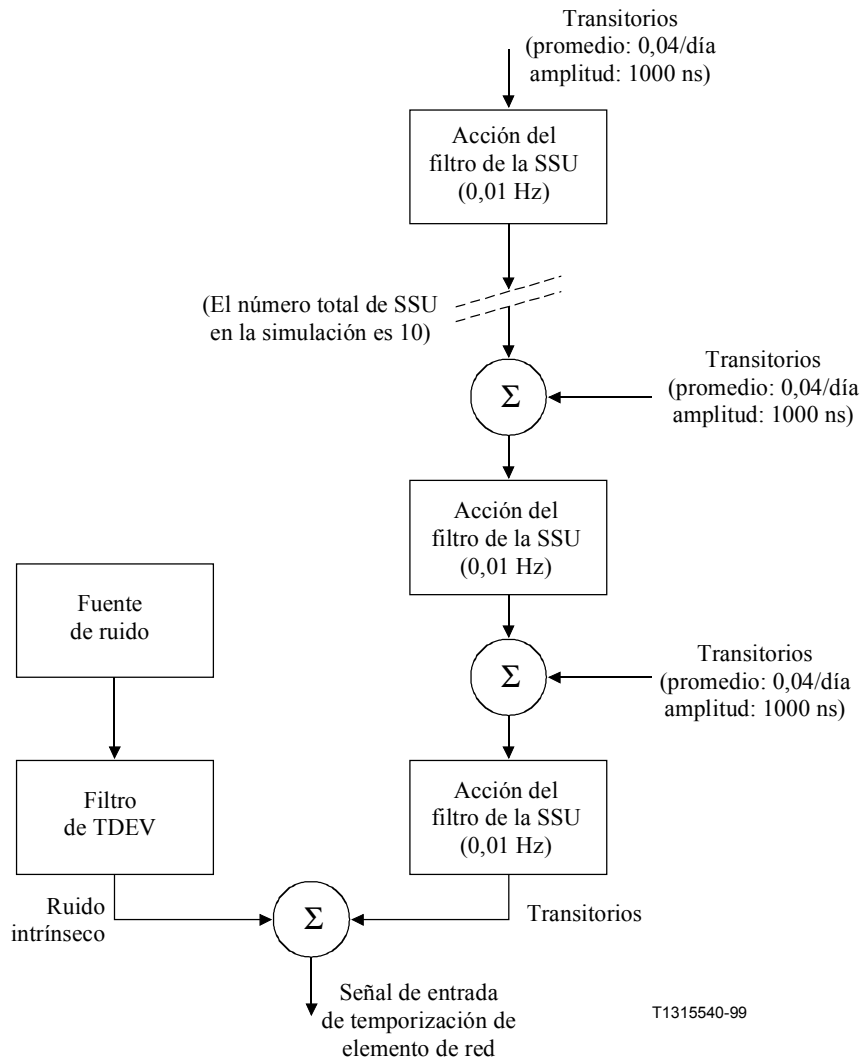


Figura A.2/G.823 – Generador de ruido de reloj en programa de simulación

A efectos de las simulaciones, se han de establecer algunas otras hipótesis para que la complejidad de aquéllas se mantenga a un nivel aceptable sin influir en los resultados de manera significativa:

- se supone que los almacenamientos elásticos de los procesadores de puntero de TU-12 son de dos bytes. Éste es el espacio de almacenamiento elástico mínimo prescrito por la Recomendación UIT-T G.783;
- se supone que el método de establecimiento de la correspondencia del tren de datos a 2048 kbit/s con el VC-12 es asíncrono;

- c) el relleno inicial de la memoria tampón de los almacenamientos elásticos de los procesadores de puntero de TU-12 es aleatorio con una distribución uniforme. Para eliminar el efecto de la distribución inicial, se descartaron los primeros 50 000 puntos de cada ciclo de simulación;
- d) se supone que el incremento de tiempo entre puntos de fases subsiguientes es de 1 segundo; y
- e) no se han tenido en cuenta los filtros desincronizadores, ya que no influyen en los efectos a largo plazo, que son importantes cuando se evalúa la fluctuación lenta de fase y la tasa de deslizamientos.

Algunos factores no incluidos en las simulaciones son:

- f) la fluctuación lenta de fase diurna debida al influjo del medio ambiente en las fibras ópticas que llevan las señales de datos objeto del análisis, que no se ha tenido en cuenta. Este efecto se contabiliza separadamente, atribuyéndole 1 μ s del presupuesto de fluctuación lenta de fase. Esa cifra se basa en un enlace de fibra óptica de 6000 km, sometido a un cambio de temperatura de 2°C y con un coeficiente de temperatura de 85 ps/km/°C;
- g) no se ha incluido la fluctuación lenta de fase del establecimiento de la correspondencia de las señales a 2048 kbit/s con el VC-12, pero sí se tuvo en cuenta después, atribuyendo 2 μ s del presupuesto de fluctuación lenta de fase en previsión de ese efecto. La cifra indicada se basa en que la fluctuación lenta de fase del establecimiento de la correspondencia con el VC-12 es de al menos 2 UI por isla. Se supone que los procesos de fluctuación lenta de fase no están correlacionados, por lo que se pueden agregar valores eficaces. Para cuatro islas se atribuye un presupuesto de fluctuación lenta de fase de 4 UI (lo que corresponde a 2 μ s a 2048 kbit/s);
- h) se ha prescindido del procesamiento de punteros de la AU-4, porque sería muy complejo incluirlo en la simulación y porque su contribución no es significativa; e
- i) se ha considerado también poco importante la fluctuación lenta de fase causada por la multiplexión de la PDH y los equipos de línea que forman parte de la conexión de referencia, y no se ha tenido en cuenta en las simulaciones.

De las atribuciones indicadas más arriba se deduce la siguiente distribución del presupuesto de 18 μ s:

Fluctuación lenta de fase diurna debida a efectos medioambientales:	1 μ s
Fluctuación lenta de fase del establecimiento de la correspondencia debida a su aplicación asíncrona a señales a 2048 kbit/s:	2 μ s
Fluctuación lenta de fase causada por el ruido de reloj y los transitorios:	15 μ s
Total:	18 μ s

Las simulaciones efectuadas con el modelo de red de la figura A.1 muestran que la fluctuación lenta de fase diferencial a la entrada de la memoria tampón de deslizamientos receptora causada por el ruido de reloj es de 12,6 μ s en un periodo de 24 horas (MTIE medio en 40 ciclos de simulación de 800 000 segundos). La tasa de deslizamientos correspondiente es de 0,016 deslizamientos/día por término medio.

Las hipótesis anteriores y el modelo de red llevan, por tanto, a un conjunto coherente de especificaciones.

ANEXO B

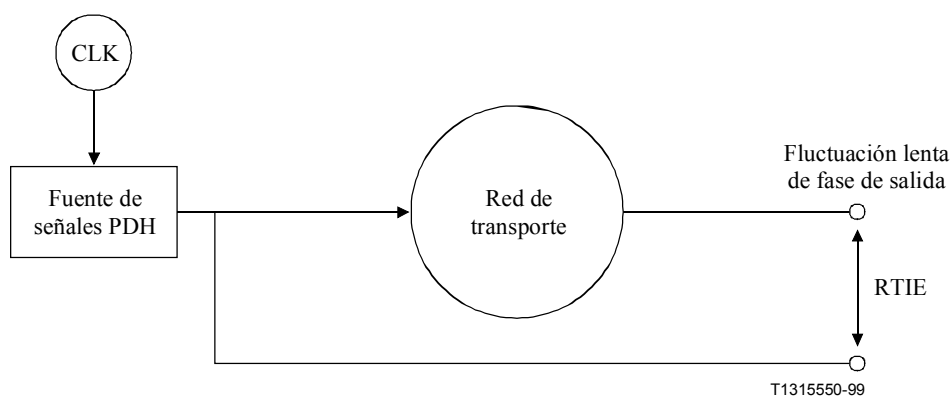
Modelo de referencia de fluctuación lenta de fase de red y parámetros

B.1 Modelo de referencia de fluctuación lenta de fase para interfaces de tráfico

La fluctuación lenta de fase se especifica y se mide siempre como un error relativo en el intervalo de tiempo (RTIE, *relative time interval error*) entre la señal que interesa y algún reloj de referencia. Sin embargo, el reloj de referencia en relación con el cual se especifica o se mide el RTIE depende del tipo de señal de que se trate. A los efectos de la presente Recomendación UIT-T, cabe distinguir dos casos que se describen en B.1.1 y B.1.2.

B.1.1 Conexión PDH asíncrona

La referencia apropiada para la especificación de la fluctuación lenta de fase de salida de señales PDH asíncronas es la propia fuente de señales. A efectos de medición, puesto que normalmente no se puede utilizar esa fuente como reloj de referencia, cabe reemplazarla por una versión convenientemente procesada de la señal de salida. El apéndice II contiene más información sobre este tema. En la figura B.1 se ilustra el modelo de referencia.

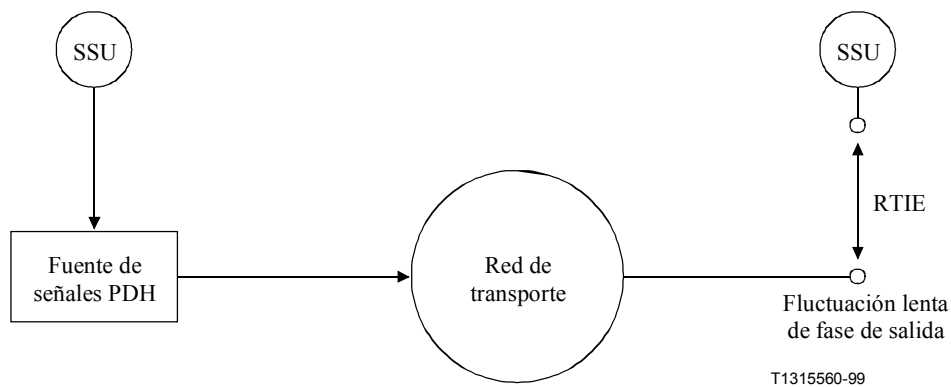


NOTA – El desplazamiento de frecuencia del CLK se atiene a las especificaciones de velocidad binaria de la Recomendación UIT-T G.703.

Figura B.1/G.823 – Modelo de referencia de fluctuación lenta de fase para conexión PDH asíncrona

B.1.2 Conexión PDH síncrona

La referencia apropiada para la especificación de la fluctuación lenta de fase de salida de señales PDH síncronas (es decir, la mayoría de las señales a 2048 kbit/s así como señales entramadas de acuerdo con la Recomendación UIT-T G.832) es la referencia de reloj de red utilizada en la terminación de señales PDH. Esto significa que se ha de añadir la fluctuación lenta de fase de dos redes de distribución de reloj de referencia a la fluctuación lenta de fase de salida generada por la red de transporte. En la figura B.2 se ilustra el modelo de referencia.



NOTA 1 – Las salidas de las SSU se atienen al limite de fluctuación lenta de fase de red de 6.2.2.
 NOTA 2 – Ambas SSU están sincronizadas con referencia a un PRC.

Figura B.2/G.823 – Modelo de referencia de fluctuación lenta de fase para conexión PDH síncrona

Las fuentes de fluctuación lenta de fase que contribuyen a la fluctuación lenta de fase total de salida son diferentes en los casos asíncrono y síncrono, sin embargo, los RTIE resultantes no difieren mucho. Debido a la falta de efectos correlacionadores, y hablando en términos estadísticos, la fluctuación lenta de fase de la red de transporte es la fuente dominante cuando se compara con la fluctuación lenta de fase de la red de sincronización. Por ello, se han fijado los mismos límites de red para ambos casos en las especificaciones sobre fluctuación lenta de fase de salida de 5.2.

B.1.3 Especificación de la fluctuación lenta de fase mediante el parámetro MRTIE

En las especificaciones normalizadas se utilizan varios parámetros para especificar la fluctuación lenta de fase, por ejemplo, el MTIE y el TDEV. A los efectos de la presente Recomendación UIT-T, se ha seleccionado el MRTIE (máximo error relativo en el intervalo de tiempo) para las interfaces de tráfico porque es el que más facilita el establecimiento consiguiente de las especificaciones relativas a la calidad de funcionamiento de los equipos.

En el caso de cargas netas asíncronas (véase la figura B.1), el MRTIE especifica la fluctuación lenta de fase acumulada por la red con respecto a la fase de la señal de entrada. Es el parámetro adecuado ya que la información que proporciona sirve para diseñar el filtro requerido en cualquier filtrado de señales de reloj de la señal transportada a fin de conseguir la estabilidad necesaria de la fase de la carga neta.

En el caso de cargas netas síncronas (véase la figura B.2), el MRTIE especifica la fluctuación lenta de fase de la salida de la carga neta con respecto a la fase del reloj de una memoria tampón de entrada (situada, por ejemplo, en una central). Es el parámetro adecuado ya que la información que proporciona sirve para establecer el tamaño de la memoria tampón.

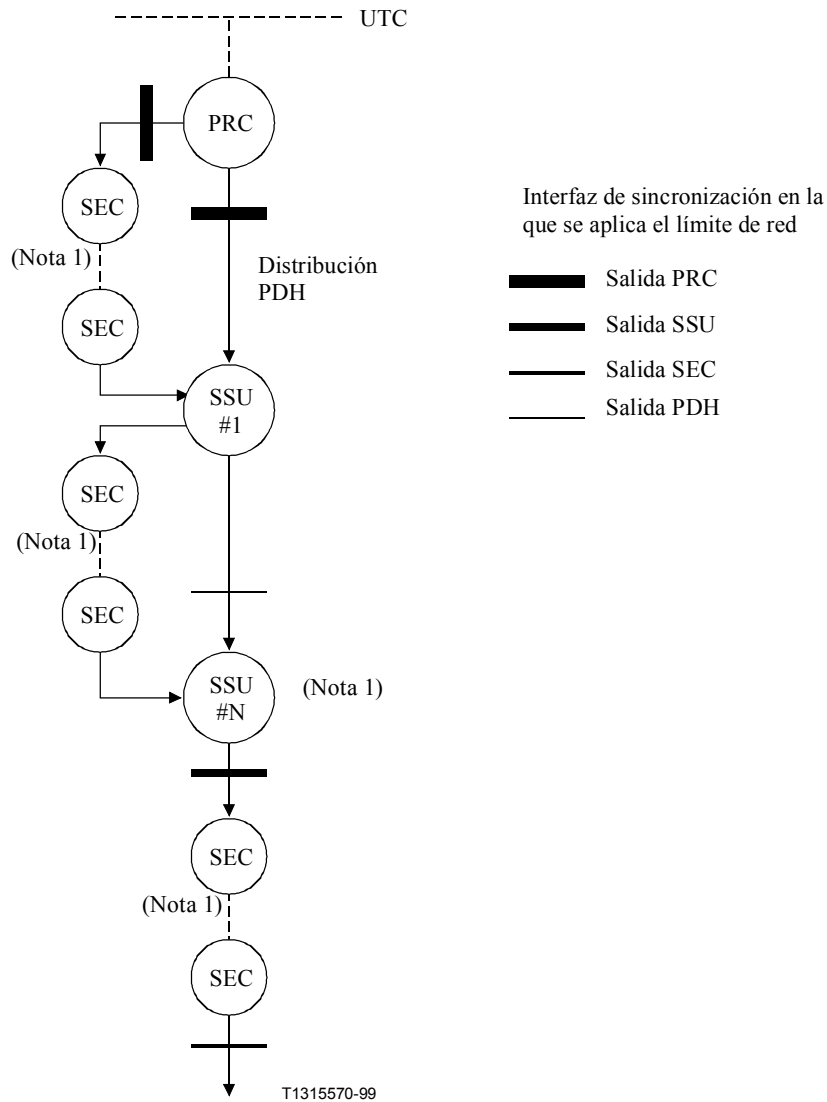
En el apéndice II se describen los métodos utilizados para la medición del parámetro MRTIE.

B.2 Modelo de referencia de fluctuación lenta de fase para interfaces de sincronización

Las interfaces de sincronización especificadas en la presente Recomendación UIT-T se ilustran en la figura B.3. Dicha figura es una versión ampliada de la figura 8-5/G.803, que muestra ejemplos de las interfaces físicas reales que pueden existir en las redes de sincronización. En la figura B.3 se indica el Tiempo Universal Coordinado (UTC, *Universal Time Coordinated*) como la referencia con respecto a la cual se especifican todos los límites de red. No hay ninguna entidad física o interfaz asociada con el UTC, por la propia definición del mismo.

Se pueden utilizar dos métodos alternativos de distribución de sincronización entre unidades de suministro de sincronización (SSU, *synchronization supply unit*), y entre un reloj de referencia primario (PRC, *primary reference clock*) y las SSU:

- a) la distribución SDH, que utiliza la capa de sección SDH y puede ser una concatenación de secciones con al menos 20 elementos de red de la SDH intermedios, conteniendo cada uno de ellos un reloj de equipo SDH (SEC, *SDH equipment clock*); y
- b) la distribución PDH, que utiliza un trayecto PDH a 2048 kbit/s que puede atravesar varias etapas de multiplexión PDH intermedias y sistemas de línea PDH. Esto último no se muestra explícitamente, porque dichas etapas y dichos sistemas no contienen los relojes a los que se refiera la presente Recomendación UIT-T.



NOTA 1 – El número máximo de relojes de SSU y SEC de estas cadenas se define en la Recomendación UIT-T G.803.
 NOTA 2 – La función PRC se define en la Recomendación UIT-T G.811.
 NOTA 3 – La función SSU se define en la Recomendación UIT-T G.812 (Tipo I).
 NOTA 4 – La función SEC se define en la Recomendación UIT-T G.813 (Opción 1).

Figura B.3/G.823 – Cadena de referencia de sincronización que muestra dónde se aplican los límites de red

De acuerdo con la figura B.3, es posible distinguir cuatro tipos de interfaces de sincronización en la red de sincronización:

- a) interfaces de sincronización en las salidas PRC;
- b) interfaces de sincronización en las salidas SSU;
- c) interfaces de sincronización en las salidas SEC; y
- d) interfaces de sincronización en la salida de distribución PDH.

Es por ello por lo que la presente Recomendación UIT-T proporciona, en 6.2, cuatro conjuntos de requisitos de límites de red, uno por cada tipo de interfaces.

B.2.1 Especificación de la fluctuación lenta de fase mediante los parámetros MTIE y TDEV

Los dos parámetros de temporización elegidos para caracterizar los transitorios y el ruido de baja frecuencia en una interfaz de sincronización son el MTIE (máximo error en el intervalo de tiempo) y el TDEV (desviación de tiempo). En la Recomendación UIT-T G.810 figuran las definiciones detalladas del MTIE y el TDEV.

El parámetro MTIE se considera de utilidad para reflejar los transitorios de fase en una señal de temporización, ya que refleja la variación de fase máxima de una señal de ese tipo durante un periodo de tiempo. No sirve, sin embargo, para mostrar el ruido subyacente en la señal de temporización, debido a su sensibilidad a los transitorios de fase. El parámetro TDEV caracteriza mejor el ruido aleatorio, ya que es un estimador de valor eficaz (RMS) más bien que un estimador de crestas.

El TDEV tiende a eliminar los transitorios de una señal de temporización, y es por tanto un mejor estimador de los procesos de ruido subyacente. En sentido estricto, deberían eliminarse los transitorios y los componentes periódicos de los datos antes de calcular el TDEV. No conviene hacerlo, no obstante, cuando se efectúan mediciones en interfaces de red, ya que no se conocen *a priori* los tipos de perturbaciones a que ha sido sometida la señal de temporización. Esto significa que no puede garantizarse que las desviaciones de tiempo obtenidas procesando los datos de fase en bruto reflejen con precisión los procesos de ruido aleatorio de una señal de temporización en una interfaz de red, aunque sí pueden proporcionar una buena estimación al respecto (véase B.3/G.810).

APÉNDICE I

Consideraciones relativas a los límites de fluctuación lenta de fase para redes de transporte de la SDH

I.1 Introducción

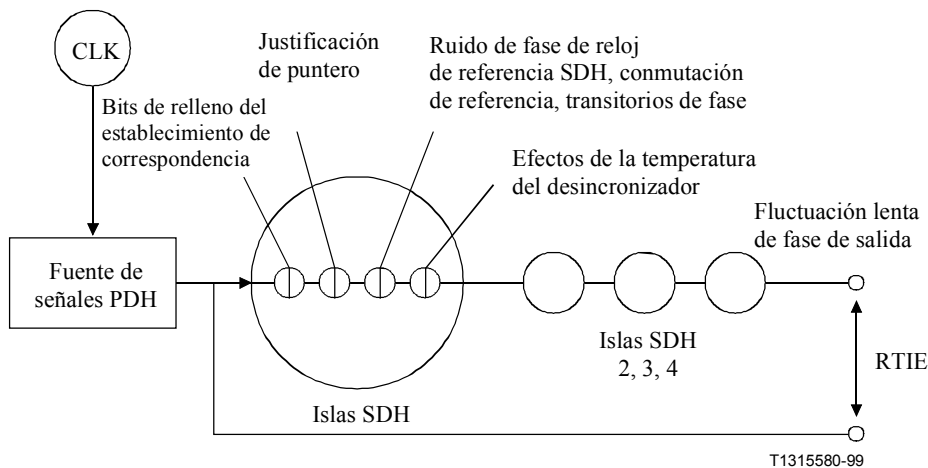
La información de este apéndice tiene por objeto ayudar a comprender la obtención de los límites de fluctuación lenta de fase de una red y las tolerancias de fluctuación lenta de fase de entrada de las interfaces de tráfico especificadas en la presente Recomendación UIT-T.

I.1.1 Modelo de referencia de fluctuación lenta de fase para SDH

Los modelos de referencia de fluctuación lenta de fase que se muestran en las figuras I.1 e I.2 son representaciones simplificadas del modelo de referencia de fluctuación lenta de fase descrito en el anexo A. Además, ilustran la manera en que los modelos de referencia genéricos del anexo B pueden aceptar fuentes de fluctuación lenta de fase específicas de la red utilizando el ejemplo de una red de transporte de la SDH.

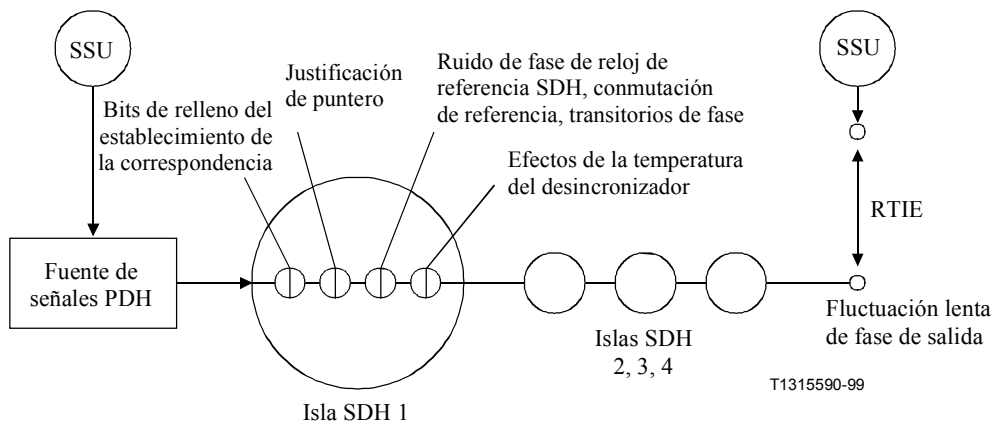
En cálculos efectuados anteriormente mediante simulación por computador de la acumulación de la fluctuación de fase y la fluctuación lenta de fase se consideró que cuatro islas SDH en cascada representaban un modelo adecuado. Esa es la representación adoptada en el presente apéndice. Las

figuras I.1 e I.2 ilustran las fuentes principales de fluctuación lenta de fase en las conexiones de red consideradas al obtener los límites de red y las tolerancias de las interfaces.



NOTA – El desplazamiento de frecuencia del CLK se atiene a las especificaciones de velocidad binaria de la Recomendación UIT-T G.703.

Figura I.1/G.823 – Modelo de referencia de fluctuación lenta de fase para señales PDH asíncronas



NOTA 1 – Las salidas de las SSU se atienen al límite de fluctuación lenta de fase de red de 6.2.2.
 NOTA 2 – Ambas SSU están sincronizadas con referencia a un PRC.

Figura I.2/G.823 – Modelo de referencia de fluctuación lenta de fase para señales PDH síncronas

I.1.2 Fuentes de fluctuación lenta de fase

La fluctuación lenta de fase acumulada en señales de carga neta transportadas por una conexión de red que emplea elementos de red de la SDH depende del relleno dinámico de todas las memorias tampón de procesamiento de señales intermedias de esos elementos de red. El relleno de la memoria tampón de un solo elemento de red (NE, *network element*) depende de la fluctuación lenta de fase relativa entre los datos entrantes y el reloj de lectura. El reloj de lectura lo puede proporcionar una fuente externa (por ejemplo, en un procesamiento de punteros) o un reloj recuperado (por ejemplo, en un desincronizador).

El relleno de la memoria tampón puede ser cambiado por el ruido de fase del reloj de referencia y los efectos transitorios (por ejemplo, el relleno de bits, el procesamiento de punteros) y por los efectos de la temperatura en bucles enganchados en fase (por ejemplo, recuperación del reloj de sincronizador).

I.1.3 Efectos limitadores de la acumulación de fluctuación lenta de fase

Al menos cuando se consideran las conexiones a 2048 kbit/s, la acumulación de las memorias tampón de una sola conexión puede superar los 18 μ s que se establecen como límite de la fluctuación lenta de fase diaria en la presente Recomendación UIT-T. Pero en condiciones de funcionamiento normal, el relleno de las memorias tampón permanece casi constante debido al comportamiento estable de la sincronización de la red. Además, la parte fluctuante del relleno de las memorias tampón contribuye sólo de manera aleatoria a la acumulación debido a la ausencia de efectos correlacionadores entre las diferentes memorias tampón.

I.1.4 Configuración de la red y calidad de funcionamiento

Por lo general, las islas SDH (véanse las figuras I.1 e I.2) están sincronizadas internamente, por lo que las justificaciones de puntero (al menos al nivel de TU-12) son eventos poco frecuentes. Un caso excepcional es aquel en que uno o más NE se explotan utilizando una fuente de señales de reloj que está en el modo retención, por lo que se genera una secuencia aproximadamente regular de justificaciones de puntero.

En condiciones normales, es poco probable que dos o más islas SDH no estén sincronizadas internamente. También es poco probable que se genere una justificación de puntero doble en un solo NE. La probabilidad por tanto de que se produzca el efecto acumulativo de la fluctuación de fase de más de dos justificaciones de puntero simultáneas es más bien baja. En ese caso excepcional, la fluctuación lenta de fase superará los límites de red especificados en esta Recomendación UIT-T.

Por lo general, el funcionamiento de las islas SDH deberá ser de una calidad suficiente como para que la característica de error y la tasa de deslizamientos de la señal transportada no resulten afectadas sino de manera marginal por los efectos de un ruido de fase excesivo, que provocaría el desbordamiento de la memoria tampón en algún NE.

I.1.5 Correlación de fuentes de fluctuación lenta de fase

El modo de funcionamiento normal de la red de la SDH es el modo síncrono, lo que significa que la frecuencia con que se producen justificaciones de puntero es más bien baja. De esta constatación se sigue la escasa probabilidad de que se produzcan justificaciones de puntero simultáneas, aunque independientes, en islas SDH en cascada. El modelo de acumulación que sigue tiene esto en cuenta utilizando un procedimiento de acumulación estadística (es decir, acumulación según una ley de potencia).

En el caso de fluctuación lenta de fase generada por una sola isla SDH, se supone una acumulación del caso más desfavorable que agrega, simplemente, todos los efectos generadores de fluctuación lenta de fase dentro de esa isla.

La correlación de los efectos de la fluctuación lenta de fase debida al relleno de bits depende del desplazamiento de frecuencia de la carga neta PDH frente a la de los relojes de red de las islas. Este tema se plantea en las conexiones síncronas a 2048 kbit/s, como sigue:

- a) para desplazamientos de frecuencia por debajo de aproximadamente 10^{-10} a 10^{-9} , el ruido de fase de reloj de red aleatorizará el relleno de bits; y
- b) para desplazamientos de frecuencia superiores de la señal de carga neta y estando todas las islas SDH sincronizadas con la frecuencia nominal, los efectos del relleno de bits están correlacionados.

Este tema se analiza con más detalle en el anexo A.

I.1.6 Condiciones de la red para los límites de la fluctuación lenta de fase de salida

Las condiciones de la red para los límites de la fluctuación lenta de fase de salida especificados en esta Recomendación UIT-T se describen en el anexo A. Se pretende que las redes cumplan los límites especificados cuando se utilicen equipos conformes a las especificaciones de la Recomendación UIT-T G.783.

Para configuraciones de conexión de red más complejas, puede ser necesaria la aplicación de algún método de reducción de la fluctuación lenta de fase a fin de obtener el nivel de calidad de funcionamiento deseado. Para conexiones síncronas a 2048 kbit/s, esa reducción se puede conseguir, por ejemplo, mediante una función de reajuste de la temporización. Con otras condiciones PDH, quizás se requiera una función de filtrado paso bajo apropiada.

I.2 Obtención de los límites de la especificación de la fluctuación lenta de fase

En el caso de servicios prestados mediante conexiones PDH de orden superior, se necesita estabilidad de fase a corto plazo ya que dichos servicios utilizan normalmente una sincronización adaptable al tren de bits recibido.

La distorsión de fase a corto plazo la generan las técnicas de relleno de bits empleadas en los sistemas de multiplexión asíncronos. Este efecto ha sido estudiado primero para los sistemas de multiplexión PDH que utilizan valores de relación de relleno optimizados a fin de reducirlo al mínimo. En sistemas de multiplexión SDH, se utiliza la relación de relleno del caso más desfavorable de cero-uno, que genera una fluctuación lenta de fase a corto plazo de un intervalo unitario completo.

En el momento de redactarse la presente Recomendación UIT-T, ya estaban muy generalizados los sistemas SDH en las redes, lo que significa que el límite de fluctuación lenta de fase de la red deberá ser satisfecho por las redes de la SDH existentes.

A propósito de las figuras I.1 e I.2, se señala que las conexiones PDH pueden pasar a través de varias islas SDH interconectadas utilizando interfaces PDH. En cada una de esas islas se crea una distorsión de fase que depende de si se efectúa relleno de bits o relleno de bytes. Se utiliza relleno de bits, por ejemplo, cuando se establece la correspondencia entre la carga neta PDH y la carga neta de un VC-n, y se utiliza relleno de bytes (es decir, justificación de puntero) cuando se requiere el ajuste de la fase del VC-n a la trama SDH.

Además de la fluctuación lenta de fase generada por las técnicas de relleno de bits y bytes, la histéresis del procesador de puntero provoca una fluctuación lenta de fase del reloj de referencia que se ha de transferir a la señal PDH en el nodo en que se establece o en que se suprime la correspondencia. La fluctuación lenta de fase del reloj de referencia del caso más desfavorable se debe a la reacción de la función reloj de equipo SDH (SEC) a un evento de conmutación de entrada de referencia. El transitorio de fase conexo tiene una amplitud máxima de 240 ns (véase 10.1/G.813).

Lo anterior lleva a las dos situaciones siguientes en las que se utiliza una señal a 34 368 kbit/s, a título de ejemplo.

- 1) *Presupuesto de fluctuación lenta de fase para isla SDH 1 con transitorio de fase en el nodo en que se suprime la correspondencia*

El desincronizador puede utilizar un circuito de filtrado de señales de reloj PDH digital empleando la salida del SEC como referencia. Esto haría que la fluctuación de fase de salida del SEC se transfiriera al reloj PDH recuperado.

Además, puede haber una justificación de puntero única que se añada al desplazamiento de fase justo antes de que aparezca el transitorio de salida del SEC.

El presupuesto de fluctuación lenta de fase resultante es como sigue (valores redondeados):

± relleno:	60 ns
Transitorio de fase de SEC:	240 ns
Justificación de puntero TU-3:	160 ns
<hr/> Total:	<hr/> 460 ns

NOTA 1 – El efecto del relleno en el nodo en que se establece la correspondencia tiene en cuenta el ruido del reloj de referencia en ese punto y el transitorio de fase representa el efecto del reloj de referencia en el nodo en el que se suprime la correspondencia. Una justificación de puntero tiene en cuenta el efecto de la red intermedia.

2) *Presupuesto de fluctuación lenta de fase para isla SDH 1 con transitorio de fase en el nodo en el que se establece la correspondencia*

Cualquier transitorio de fase (es decir, desplazamiento de frecuencia transitorio) del reloj de referencia (salida de SEC) en el nodo en el que se establece la correspondencia provoca una modificación de la secuencia de bits de relleno que finalmente es compensada por las justificaciones de puntero. Si no todas las memorias de procesadores de puntero intermedias están en su umbral, no se reciben justificaciones de puntero compensadoras en el nodo sincronizador. En consecuencia, la señal PDH se recupera con un desplazamiento de frecuencia equivalente de polaridad opuesta (lo que se conoce como "efecto rampa de fase"). El transitorio de fase de conmutación de entrada de referencia de 240 ns en el nodo en el que se establece la correspondencia provoca a continuación un transitorio de fase similar de la salida PDH recuperada.

El presupuesto de fluctuación lenta de fase resultante es como sigue (valores redondeados):

Transitorio de fase del establecimiento de la correspondencia:	240 ns
Justificación de puntero doble:	320 ns
<hr/> Total:	<hr/> 560 ns

NOTA 2 – El efecto de la fluctuación lenta de fase del reloj de referencia en el nodo en que se establece la correspondencia lo tiene en cuenta el transitorio de fase, y los efectos de la red intermedia junto con el efecto de la fluctuación lenta de fase del reloj de referencia en el nodo en que se suprime la correspondencia los tiene en cuenta el puntero doble.

I.2.1 Límites de la especificación de la fluctuación lenta de fase

Los valores de los presupuestos anteriores de fluctuación lenta de fase para los nodos de establecimiento y supresión de la correspondencia son valores del caso más desfavorable. Ahora bien, la repercusión de un transitorio de fase en la fluctuación lenta de fase de salida no puede calcularse añadiendo simplemente los valores de ambos presupuestos de fluctuación lenta de fase porque la conmutación del reloj de referencia es un evento poco frecuente y debería considerarse solamente en uno de los extremos de la conexión. Parece razonable por tanto utilizar un valor de fluctuación lenta de fase de salida de una sola isla de red de la SDH del orden de 500 ns.

Cuando se ponen en cascada cuatro islas de red de la SDH para esa fluctuación lenta de fase intrínseca utilizando un procedimiento de acumulación estadística de la fluctuación lenta de fase, la fluctuación lenta de fase intrínseca se multiplica por un factor que es la raíz cuadrada del número de islas en cascada (en este caso, el factor es dos). El resultado es una fluctuación lenta de fase de salida de red total de 1000 ns.

Lo anterior se aplica de manera similar a las conexiones a 139 264 kbit/s con la única diferencia de que el efecto del relleno es casi cero.

De lo dicho hasta ahora se sigue que, a efectos de las especificaciones prácticas, la máxima fluctuación lenta de fase de salida a corto plazo en interfaces PDH de orden superior sería de unos 1000 ns, valor que se define en consecuencia como el primer nivel de las especificaciones de fluctuación lenta de fase de salida indicadas en la subcláusula 5.2.

Para obtener la especificación de la fluctuación lenta de fase de salida a largo plazo, se ha de tener en cuenta el efecto del ruido de fase del reloj de referencia. Esta fluctuación lenta de fase tiene un límite de 2000 ns de acuerdo con la especificación del límite de la fluctuación lenta de fase de red de sincronización en intervalos de observación largos. Cuando el análisis anterior se lleva a cabo utilizando el efecto del reloj de referencia incrementado, el resultado es de unos 4000 ns, lo que representa el segundo nivel de las especificaciones de la fluctuación lenta de fase de salida indicadas en 5.2.

APÉNDICE II

Métodos de medición de la fluctuación lenta de fase de salida

La instrumentación conforme a la Recomendación UIT-T O.172 es la apropiada para la medición de los parámetros de la fluctuación lenta de fase.

II.1 Interfaces de sincronización

II.1.1 Señales síncronas

Cuando la señal es síncrona, y se utiliza para llevar sincronización, su fluctuación lenta de fase se mide comparando su fase con la de otro PRC. En la figura II.1 se muestra la configuración de prueba para medir el MTIE de una señal síncrona (la fórmula del estimador estándar para el cálculo del MTIE figuran en el anexo B/G.810).

En la mayoría de las aplicaciones de medición, no es necesario que el PRC utilizado para medir la fluctuación lenta de fase sea el mismo que se utiliza para originar la señal síncrona. Hay que tener en cuenta, no obstante, que la diferencia de frecuencia del caso más desfavorable entre dos PRC podría dar lugar a una diferencia de fase del orden de 2 μ s por día.

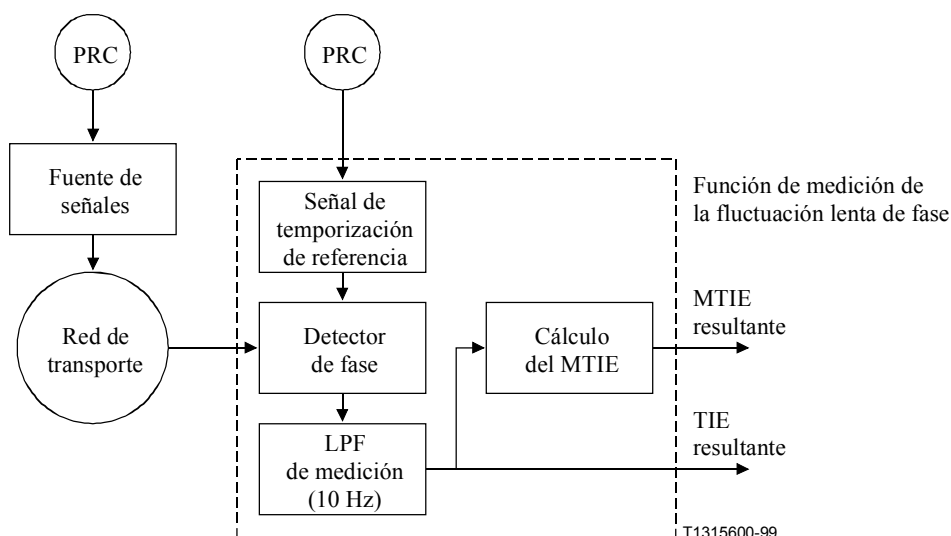


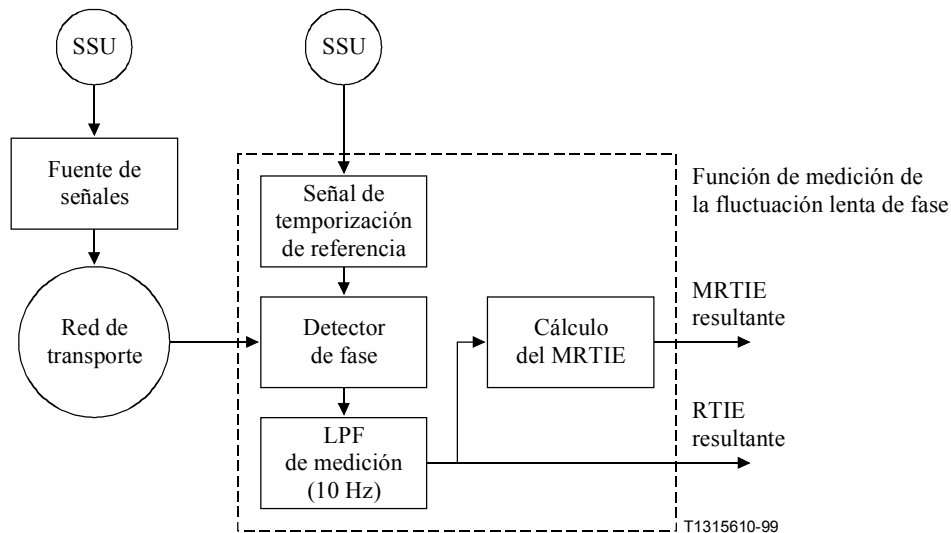
Figura II.1/G.823 – Medición del MTIE de señales síncronas

II.2 Interfaces de tráfico

Señales PDH, tales como las de 2048, 34 368 y 139 264 kbit/s, pueden ser síncronas (es decir, sincronizadas normalmente con referencia a un PRC) o asíncronas (es decir, para funcionamiento en modo libre con una exactitud de frecuencia limitada de acuerdo con la Recomendación UIT-T G.703, pero no sincronizadas con referencia a un PRC). Tanto en un caso como en otro, el MRTIE se utiliza como parámetro de especificación de la fluctuación lenta de fase en las interfaces de red.

II.2.1 Señales síncronas (velocidades binarias de la PDH)

Consideraciones similares pueden hacerse con respecto a las interfaces de sincronización. La configuración de medición es tal como se muestra en la figura II.2.



NOTA 1 – Las salidas de las SSU se atienen al límite de fluctuación lenta de fase de red de 6.2.2.

NOTA 2 – Ambas SSU están sincronizadas con referencia a un PRC.

Figura II.2/G.823 – Medición del MRTIE de señales síncronas (PDH)

II.2.2 Señales asíncronas (velocidades binarias de la PDH)

En este caso, puede existir una diferencia de frecuencia entre la de referencia de medición y la frecuencia del reloj que origina la señal PDH. La Recomendación UIT-T G.703, por ejemplo, permite una diferencia de 50 ppm a 2048 kbit/s. Esta diferencia provoca una rampa de fase en la fluctuación lenta de fase medida, que distorsiona el parámetro MRTIE deseado.

Para soportar el modelo de referencia de fluctuación lenta de fase de las señales PDH transportadas por redes de la SDH (descritas en el apéndice I) y las especificaciones correspondientes de fluctuación lenta de fase de salida dadas en 5.2, se describen otras dos situaciones:

- señales asíncronas, reloj de referencia fuente disponible; y
- señales asíncronas, reloj de referencia fuente no disponible.

II.2.2.1 Señales asíncronas, reloj de referencia fuente disponible

Cuando en el punto de medición está disponible el reloj de referencia fuente, se puede medir fácilmente el MRTIE de una señal asíncrona, como se muestra en la figura II.3. Se señala que el punto de medición y la referencia fuente deberán estar normalmente coubicados para asegurar que no se introduce fluctuación lenta de fase en las señales de referencia de la medición durante la transmisión del reloj de referencia fuente.

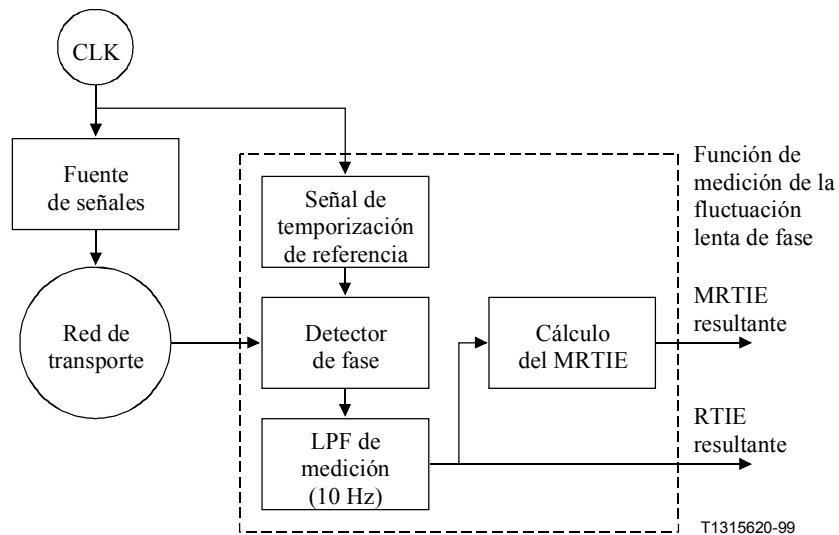


Figura II.3/G.823 – Medición del MRTIE de señales asíncronas, reloj de referencia fuente disponible

II.2.2.2 Señales asíncronas, reloj de referencia fuente no disponible

Cuando en el punto de medición no se disponga de la referencia fuente, habrá una diferencia de frecuencia entre la referencia fuente y la referencia de medición, que dará lugar a una rampa de fase en la medición de la fluctuación lenta de fase. La rampa de fase puede ser eliminada antes de calcular el MRTIE; si no se hace así, la rampa de fase oscurecerá la información de MRTIE interesante en intervalos de observación más largos.

En la figura II.4 se expone una manera de eliminar la rampa de fase. Se trata de un método de medición "arrítmico" en el que las muestras de fases se captan, se almacenan y se postprocesan para obtener el parámetro MRTIE.

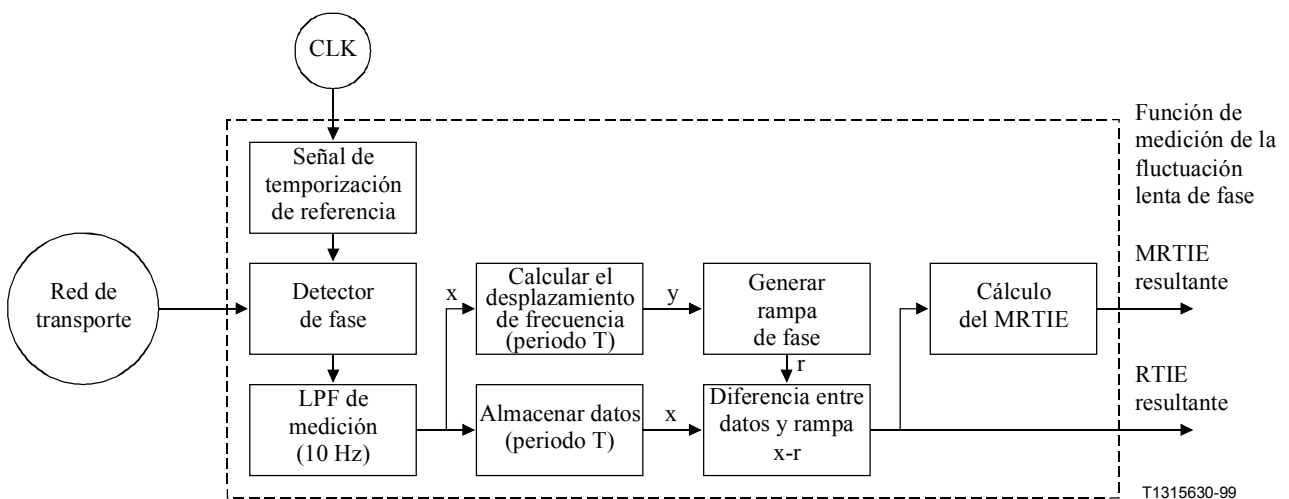


Figura II.4/G.823 – Medición del MRTIE de señales asíncronas, reloj de referencia fuente no disponible

En este método, la diferencia de frecuencia y (en ppm) se estima mediante el algoritmo:

$$y = \frac{6}{N(N-1)\tau_0} \sum_{i=1}^N x_i \left[\frac{2i}{N+1} - 1 \right] \quad (\text{II-1})$$

donde τ_0 es el intervalo de muestreo en segundos, N es el número total de muestras de fase del periodo de medición y x_i es el TIE en μs .

Además, el RTIE resultante deseado viene dado por:

$$\text{RTIE}_n = x_n - y\tau_0 n \quad (\text{II-2})$$

Los resultados de la medición dependerán del periodo de medición $T = N\tau_0$ durante el cual se calculan el desplazamiento de frecuencia y el parámetro MRTIE. El periodo de medición mínimo deberá ser por lo menos igual al intervalo de observación interesante máximo. Por ejemplo, el requisito de fluctuación lenta de fase de salida a 34 368 kbit/s de 5.2.2 tiene una especificación que amplía el intervalo de observación hasta 80 segundos.

NOTA – El reloj fuente de señales y el reloj de referencia de medición deberán tener una estabilidad de fase suficiente de manera que el resultado de la medición sólo se vea afectado de forma marginal por los efectos de la deriva de la frecuencia, por ejemplo.

APÉNDICE III

Directrices para la medición de la tolerancia de la fluctuación de fase y la fluctuación lenta de fase de entrada de las interfaces de los equipos

En la figura III.1 se muestra una configuración de medición genérica de la tolerancia de fluctuación de fase y fluctuación lenta de fase. Se señala que no todos los elementos son necesarios en cada una de las mediciones de la tolerancia.

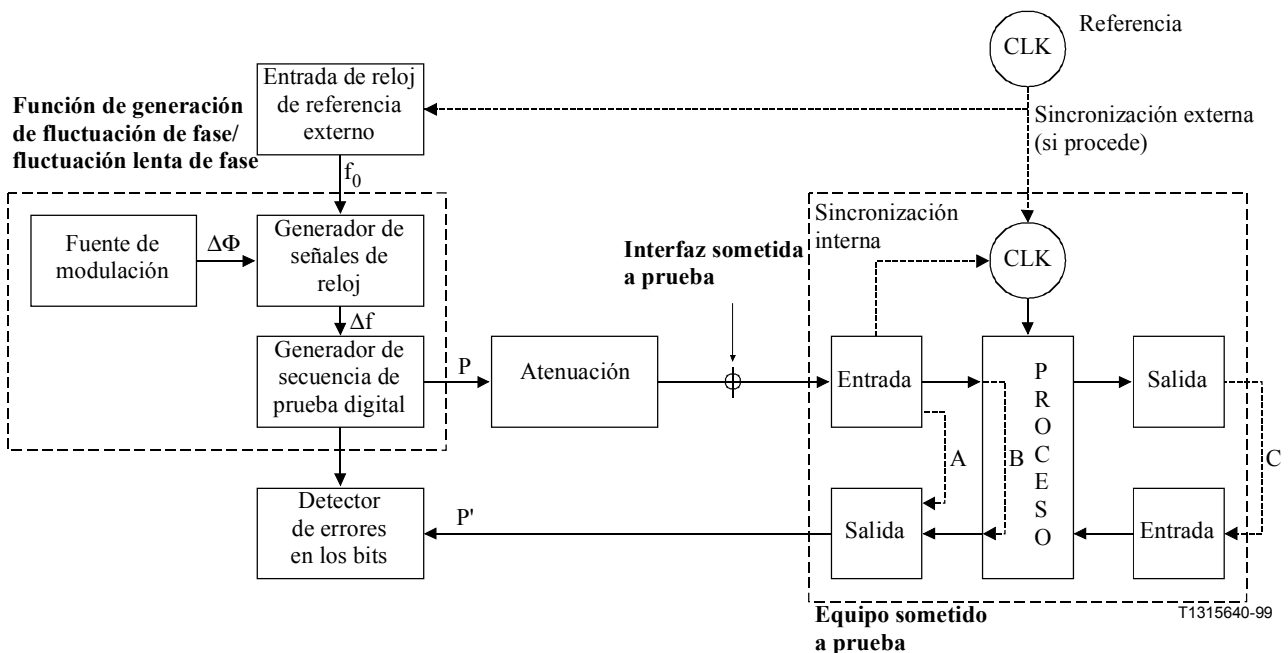


Figura III.1/G.823 – Configuración de medición genérica para la prueba de la tolerancia de fluctuación de fase y fluctuación lenta de fase

La configuración de medición real se establece teniendo en cuenta lo siguiente:

Reloj de sistema

El reloj del equipo sometido a prueba puede ser sincronizado externamente (si se dispone de una entrada de referencia) o desde la interfaz sometida a prueba.

Constricciones impuestas en Δf

El generador de señales de reloj puede ser utilizado para generar un desplazamiento de frecuencia Δf fijo con respecto al cual se modulan la fluctuación de fase y la fluctuación lenta de fase. El desplazamiento de frecuencia debe limitarse a los valores aplicables a la interfaz o al equipo sometidos a prueba. Se ha de mantener constante durante un periodo de estabilización y durante la medición subsiguiente. El desplazamiento de frecuencia permitido depende del trayecto que sigue la señal de medición a través del sistema y de la manera según la cual se sincroniza el reloj del equipo sometido a prueba.

Constricciones impuestas en $\Delta\Phi$

La fuente de modulación es utilizada para superponer un efecto $\Delta\Phi$ de la fluctuación de fase o la fluctuación lenta de fase a la señal de reloj, que también puede tener un desplazamiento de frecuencia Δf fijo. Estas perturbaciones de la fluctuación de fase y la fluctuación lenta de fase tienen normalmente una característica sinusoidal, triangular o de ruido (generada por la PRBS). Las perturbaciones se indican de manera precisa en los requisitos aplicables de tolerancia de fluctuación de fase y fluctuación lenta de fase.

Elección de la secuencia de prueba (P y P')

La secuencia de prueba P debe concordar con la velocidad binaria de la interfaz que en concreto está siendo sometida a la prueba de tolerancia de fluctuación de fase y fluctuación lenta de fase. La secuencia P' no es necesariamente la misma que la secuencia P, pero es importante que una parte de la secuencia P esté presente en la P'. Esa parte, llamémosla Q, pasa de manera transparente a través del equipo sometido a prueba. El detector de errores en los bits sólo puede buscar errores en esa parte común Q.

Encaminamiento de la señal a través del equipo sometido a prueba

Dependiendo de las partes del sistema que de hecho han de ser probadas y de las capacidades del equipo sometido a prueba, la señal puede ponerse en bucle con diferentes configuraciones. Por ejemplo:

- a) directamente detrás de la entrada (trayecto A), para probar la tolerancia de los circuitos de recepción;
- b) en la funcionalidad de encaminamiento (trayecto B), que podría probar además la histéresis de la memoria tampón, los mecanismos de relleno, etc.; o
- c) externamente a través de algunas otras entradas y salidas del sistema (trayecto C).

La elección del trayecto real influye en la selección de la secuencia de prueba P' y la parte Q, en los que se pueden supervisar los errores.

Atenuación

La función de atenuación se necesita para que las interfaces ópticas puedan determinar la penalización de sensibilidad de 1 dB (en términos de potencia óptica) con una determinada proporción de bits erróneos. En el caso de interfaces eléctricas, la atenuación (dependiente de la frecuencia) deberá representar la longitud de cable del caso más desfavorable.

SERIES DE RECOMENDACIONES DEL UIT-T

Serie A	Organización del trabajo del UIT-T
Serie B	Medios de expresión: definiciones, símbolos, clasificación
Serie C	Estadísticas generales de telecomunicaciones
Serie D	Principios generales de tarificación
Serie E	Explotación general de la red, servicio telefónico, explotación del servicio y factores humanos
Serie F	Servicios de telecomunicación no telefónicos
Serie G	Sistemas y medios de transmisión, sistemas y redes digitales
Serie H	Sistemas audiovisuales y multimedios
Serie I	Red digital de servicios integrados
Serie J	Transmisiones de señales radiofónicas, de televisión y de otras señales multimedios
Serie K	Protección contra las interferencias
Serie L	Construcción, instalación y protección de los cables y otros elementos de planta exterior
Serie M	RGT y mantenimiento de redes: sistemas de transmisión, circuitos telefónicos, telegrafía, facsimil y circuitos arrendados internacionales
Serie N	Mantenimiento: circuitos internacionales para transmisiones radiofónicas y de televisión
Serie O	Especificaciones de los aparatos de medida
Serie P	Calidad de transmisión telefónica, instalaciones telefónicas y redes locales
Serie Q	Conmutación y señalización
Serie R	Transmisión telegráfica
Serie S	Equipos terminales para servicios de telegrafía
Serie T	Terminales para servicios de telemática
Serie U	Conmutación telegráfica
Serie V	Comunicación de datos por la red telefónica
Serie X	Redes de datos y comunicación entre sistemas abiertos
Serie Y	Infraestructura mundial de la información y aspectos del protocolo Internet
Serie Z	Lenguajes y aspectos generales de soporte lógico para sistemas de telecomunicación