



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

UIT-T

SECTOR DE NORMALIZACIÓN
DE LAS TELECOMUNICACIONES
DE LA UIT

G.707/Y.1322

(10/2000)

SERIE G: SISTEMAS Y MEDIOS DE TRANSMISIÓN,
SISTEMAS Y REDES DIGITALES

Equipos terminales digitales – Generalidades

SERIE Y: INFRAESTRUCTURA MUNDIAL DE LA
INFORMACIÓN Y ASPECTOS DEL PROTOCOLO
INTERNET

Aspectos del protocolo Internet – Transporte

**Interfaz de nodo de red para la jerarquía digital
síncrona**

Recomendación UIT-T G.707/Y.1322

(Anteriormente Recomendación del CCITT)

RECOMENDACIONES UIT-T DE LA SERIE G
SISTEMAS Y MEDIOS DE TRANSMISIÓN, SISTEMAS Y REDES DIGITALES

CONEXIONES Y CIRCUITOS TELEFÓNICOS INTERNACIONALES	G.100–G.199
CARACTERÍSTICAS GENERALES COMUNES A TODOS LOS SISTEMAS ANALÓGICOS DE PORTADORAS	G.200–G.299
CARACTERÍSTICAS INDIVIDUALES DE LOS SISTEMAS TELEFÓNICOS INTERNACIONALES DE PORTADORAS EN LÍNEAS METÁLICAS	G.300–G.399
CARACTERÍSTICAS GENERALES DE LOS SISTEMAS TELEFÓNICOS INTERNACIONALES EN RADIOENLACES O POR SATÉLITE E INTERCONEXIÓN CON LOS SISTEMAS EN LÍNEAS METÁLICAS	G.400–G.449
COORDINACIÓN DE LA RADIOTELEFONÍA Y LA TELEFONÍA EN LÍNEA	G.450–G.499
EQUIPOS DE PRUEBAS	G.500–G.599
CARACTERÍSTICAS DE LOS MEDIOS DE TRANSMISIÓN	G.600–G.699
EQUIPOS TERMINALES DIGITALES	G.700–G.799
Generalidades	G.700–G.709
Codificación de señales analógicas mediante modulación por impulsos codificados (MIC)	G.710–G.719
Codificación de señales analógicas mediante métodos diferentes de la MIC	G.720–G.729
Características principales de los equipos múltiplex primarios	G.730–G.739
Características principales de los equipos múltiplex de segundo orden	G.740–G.749
Características principales de los equipos múltiplex de orden superior	G.750–G.759
Características principales de los transcodificadores y de los equipos de multiplicación de circuitos digitales	G.760–G.769
Características de operación, administración y mantenimiento de los equipos de transmisión	G.770–G.779
Características principales de los equipos múltiplex de la jerarquía digital síncrona	G.780–G.789
Otros equipos terminales	G.790–G.799
REDES DIGITALES	G.800–G.899
SECCIONES DIGITALES Y SISTEMAS DIGITALES DE LÍNEA	G.900–G.999

Para más información, véase la Lista de Recomendaciones del UIT-T.

Interfaz de nodo de red para la jerarquía digital síncrona

Resumen

La presente Recomendación establece los requisitos para las señales STM-N en la interfaz de nodo de red de una red digital síncrona, incluida la RDSI de banda ancha, en términos de:

- velocidades binarias;
- estructuras de tramas;
- formatos para la correspondencia y la multiplexación de señales de cliente (por ejemplo, PDH, ATM e IP) de elementos PDH y ATM;
- funcionalidades de las taras.

Orígenes

La Recomendación UIT-T G.707/Y.1322, revisada por la Comisión de Estudio 15 (1997-2000) del UIT-T, fue aprobada por la Asamblea Mundial de Normalización de las Telecomunicaciones (Montreal 27 de septiembre – 6 de octubre de 2000).

Contiene correcciones técnicas y de redacción aprobadas por la Comisión de Estudio 15 del UIT-T el 15 de marzo de 2001 como corrigendum 1 a la Recomendación G.707/Y.1322.

PREFACIO

La UIT (Unión Internacional de Telecomunicaciones) es el organismo especializado de las Naciones Unidas en el campo de las telecomunicaciones. El UIT-T (Sector de Normalización de las Telecomunicaciones de la UIT) es un órgano permanente de la UIT. Este órgano estudia los aspectos técnicos, de explotación y tarifarios y publica Recomendaciones sobre los mismos, con miras a la normalización de las telecomunicaciones en el plano mundial.

La Asamblea Mundial de Normalización de las Telecomunicaciones (AMNT), que se celebra cada cuatro años, establece los temas que han de estudiar las Comisiones de Estudio del UIT-T, que a su vez producen Recomendaciones sobre dichos temas.

La aprobación de Recomendaciones por los Miembros del UIT-T es el objeto del procedimiento establecido en la Resolución 1 de la AMNT.

En ciertos sectores de la tecnología de la información que corresponden a la esfera de competencia del UIT-T, se preparan las normas necesarias en colaboración con la ISO y la CEI.

NOTA

En esta Recomendación, la expresión "Administración" se utiliza para designar, en forma abreviada, tanto una administración de telecomunicaciones como una empresa de explotación reconocida de telecomunicaciones.

PROPIEDAD INTELECTUAL

La UIT señala a la atención la posibilidad de que la utilización o aplicación de la presente Recomendación suponga el empleo de un derecho de propiedad intelectual reivindicado. La UIT no adopta ninguna posición en cuanto a la demostración, validez o aplicabilidad de los derechos de propiedad intelectual reivindicados, ya sea por los miembros de la UIT o por terceros ajenos al proceso de elaboración de Recomendaciones.

En la fecha de aprobación de la presente Recomendación, la UIT ha recibido notificación de propiedad intelectual, protegida por patente, que puede ser necesaria para aplicar esta Recomendación. Sin embargo, debe señalarse a los usuarios que puede que esta información no se encuentre totalmente actualizada al respecto, por lo que se les insta encarecidamente a consultar la base de datos sobre patentes de la TSB.

© UIT 2001

Es propiedad. Ninguna parte de esta publicación puede reproducirse o utilizarse, de ninguna forma o por ningún medio, sea éste electrónico o mecánico, de fotocopia o de microfilm, sin previa autorización escrita por parte de la UIT.

ÍNDICE

Página

1	Alcance	1
2	Referencias.....	1
3	Términos y definiciones	2
4	Acrónimos y abreviaturas	5
5	Convenios	7
6	Principios básicos de multiplexación	8
6.1	Estructura múltiplex	8
6.2	Estructura de trama básica	13
6.2.1	Tara de sección.....	13
6.2.2	Punteros de unidad administrativa (AU).....	13
6.2.3	Unidades administrativas en el STM-N.....	13
6.2.4	Señales de mantenimiento.....	15
6.3	Velocidades binarias jerárquicas.....	17
6.4	Interconexión de los STM-N.....	18
6.5	Aleatorización	19
6.6	Especificación física de la NNI.....	19
7	Método de multiplexación	20
7.1	Multiplexación de unidades administrativas (AU) en STM-N	20
7.1.1	Multiplexación de grupos de unidades administrativas (AUG) en STM-N..	20
7.1.2	Multiplexación de una AU-4 mediante el AUG-1	21
7.1.3	Multiplexación de las AU-3 mediante el AUG-1.....	22
7.1.4	Multiplexación de una AU-3 en STM-0	23
7.2	Multiplexación de las unidades afluentes (TU-n) en VC-4 y VC-3.....	24
7.2.1	Multiplexación de grupos de unidades afluentes 3 (TUG-3) en un VC-4	24
7.2.2	Multiplexación de una TU-3 mediante un TUG-3	25
7.2.3	Multiplexación de los TUG-2 mediante un TUG-3.....	25
7.2.4	Multiplexación de los TUG-2 en un VC-3.....	27
7.2.5	Multiplexación de la TU-2 mediante los TUG-2	29
7.2.6	Multiplexación de las TU-1 mediante los TUG-2.....	29
7.3	Esquema de numeración de AU-n/TU-n	29
7.3.1	Numeración de las AU-n (VC-n) en un STM-256	30
7.3.2	Numeración de las AU-n (VC-n) en un STM-64	40
7.3.3	Numeración de las AU-n (VC-n) en un STM-16.....	48
7.3.4	Numeración de las AU-4n (VC-4n) en un STM-4	50
7.3.5	Numeración de una AU-n (VC-n) en una señal STM-1	51

	Página
7.3.6	Numeración de una AU-3 (VC-3) en una señal STM-0 52
7.3.7	Numeración de las TU-3 en un VC-4 52
7.3.8	Numeración de las TU-2 en un VC-4 52
7.3.9	Numeración de las TU-12 en un VC-4 52
7.3.10	Numeración de las TU-11 en un VC-4 53
7.3.11	Numeración de las TU-2 en un VC-3 53
7.3.12	Numeración de las TU-12 en un VC-3 53
7.3.13	Numeración de las TU-11 en un VC-3 53
8	Punteros 59
8.1	Puntero de AU-n..... 59
8.1.1	Ubicación del puntero de AU-n..... 60
8.1.2	Valor del puntero de AU-n..... 61
8.1.3	Justificación de frecuencia 62
8.1.4	Bandera de nuevos datos (NDF, <i>new data flag</i>)..... 66
8.1.5	Generación del puntero 66
8.1.6	Interpretación del puntero 67
8.1.7	Concatenación de las AU-4..... 67
8.2	Puntero de TU-3..... 67
8.2.1	Ubicación del puntero de TU-3 67
8.2.2	Valor del puntero de TU-3 68
8.2.3	Justificación de frecuencia 68
8.2.4	Bandera de nuevos datos (NDF)..... 69
8.2.5	Generación del puntero 69
8.2.6	Interpretación del puntero 69
8.3	Puntero de TU-2/TU-1..... 70
8.3.1	Ubicación del puntero de TU-2/TU-1..... 70
8.3.2	Valor del puntero de TU-2/TU-1..... 71
8.3.3	Justificación de frecuencia de TU-2/TU-1..... 72
8.3.4	Bandera de nuevos datos (NDF)..... 72
8.3.5	Generación e interpretación del puntero de TU-2/TU-1..... 73
8.3.6	Concatenación de las TU-2 73
8.3.7	Tamaños de TU-2/TU-1..... 73
8.3.8	Byte de indicación de multitrama de TU-2/TU-1..... 73
9	Descripción de los bytes de tara..... 75
9.1	Tipos de tara..... 75
9.1.1	Tara de sección (SOH, <i>section overhead</i>)..... 75
9.1.2	Tara de trayecto (POH, <i>path overhead</i>) de contenedor virtual 75
9.2	Descripción de la SOH 75
9.2.1	Ubicación de los bytes de la SOH 75

	Página
9.2.2	Descripción de los bytes de la SOH 80
9.2.3	Interfaz con funcionalidades de SOH reducidas 88
9.2.4	Corrección de errores en recepción: P1, Q1..... 88
9.3	Descripción de la tara de trayecto (POH)..... 88
9.3.1	Tara de trayecto de VC-4-Xc/VC-4/VC-3..... 88
9.3.2	Tara de trayecto de VC-2/VC-1 92
10	Correspondencia de afluentes en VC-n 96
10.1	Correspondencia de señales G.702..... 96
10.1.1	Correspondencia en un VC-4 97
10.1.2	Correspondencia en un VC-3 99
10.1.3	Correspondencia en un VC-2 102
10.1.4	Correspondencia en un VC-12 104
10.1.5	Correspondencia en un VC-11 107
10.1.6	Conversión de VC-11 en VC-12 para transporte mediante TU-12..... 114
10.2	Correspondencia de células ATM 114
10.2.1	Correspondencia en un VC-4-Xc/VC-4-Xv..... 115
10.2.2	Correspondencia en un VC-4/VC-3..... 116
10.2.3	Correspondencia en un VC-2-Xc/VC-2-Xv..... 116
10.2.4	Correspondencias en un VC-2..... 117
10.2.5	Correspondencia en un VC-12/VC-11..... 118
10.3	Correspondencia de señales con alineación de trama HDLC 120
10.4	Correspondencia de DQDB en VC-4 120
10.5	Correspondencia asíncrona para FDDI a 125 000 kbit/s en VC-4..... 120
11	Concatenación de VC 122
11.1	Concatenación contigua de X VC-4 (VC-4-Xc, X = 4, 16, 64, 256) 122
11.2	Concatenación virtual de X VC-3/4 (VC-3/4-Xv, X = 1 ... 256)..... 124
11.3	Concatenación contigua de X VC-2 en un VC-3 de orden superior (VC-2-Xc, X = 1 ... 7)..... 127
11.4	Concatenación virtual de X VC-2/1s..... 128
Anexo A	– Corrección de errores en recepción para STM-64 y STM-256..... 131
A.1	Modelo de referencia de red..... 131
A.2	La función FEC 132
A.2.1	Tipo de código y parámetros..... 132
A.2.2	Descripción y algoritmo del codificador FEC..... 132
A.2.3	Ubicaciones del codificador y del decodificador 132
A.2.4	Característica de retardo FEC 132
A.2.5	SDH y bits de verificación FEC no incluidos en la codificación FEC 132

	Página
A.3	Correspondencia en la trama SDH 133
A.3.1	Ubicación de los bits de información 133
A.3.2	Ubicación de la paridad FEC dentro de banda 133
A.3.3	Ubicación de los bits de estado/control 134
A.3.4	Indicación de estado de FEC (FSI, <i>FEC status indication</i>) 134
A.3.5	Cálculo de B1 en el codificador y el decodificador..... 134
A.3.6	Cálculo de B2 en el codificador y el decodificador..... 135
A.4	Funciones de regeneración de FEC dentro de banda..... 135
A.4.1	Regeneradores que no soportan FEC dentro de banda 135
A.4.2	Regeneradores que pasan FEC dentro de banda transparentemente sin corrección de errores..... 135
A.4.3	Regeneradores con corrección de errores 135
A.5	Supervisión de calidad de funcionamiento 135
A.5.1	Cuenta de errores corregibles de FEC 135
A.5.2	Cuenta de errores no corregibles FEC 135
A.5.3	Cuenta de errores después de la decodificación FEC 135
A.6	Activación y desactivación de FEC..... 136
A.6.1	Estados operacionales de FEC 136
A.6.2	Indicación de estado de FEC (FSI)..... 136
A.6.3	Interacción de MS-AIS con la FEC..... 136
A.7	Calidad de funcionamiento de la FEC dentro de banda 137
Anexo B	– Algoritmo polinómico de CRC-7 137
B.1	Proceso de multiplicación/división 137
B.2	Procedimiento de codificación..... 137
B.3	Procedimiento de decodificación 138
Anexo C	– Protocolo de supervisión de conexión en cascada de VC-4-Xc/VC-4/VC-3: Opción 1..... 138
C.1	Tara de conexión en cascada – Ubicación de los bytes..... 138
C.2	Definiciones 140
C.3	Agrupación de conexiones en cascada 140
C.3.1	Agrupación de los VC-3 dentro de un STM-1 140
C.3.2	Agrupación de los VC-3 dentro de un STM-N (N>1)..... 141
C.3.3	Contenido del grupo de conexión en cascada 141
C.3.4	Grupos de conexión en cascada en señales de velocidad superior..... 142
C.4	Cuenta de errores de entrada (IEC)..... 142
C.5	Compensación de B3..... 144
C.6	Enlace de datos..... 145
C.6.1	Formato de los mensajes LAPD 146

C.6.2	Mensajes de traza de conexión en cascada, identificación de señal de reposo e identificación de señal de prueba.....	147
C.6.3	Mensaje informe de calidad de funcionamiento del extremo distante	149
C.6.4	Aplicaciones especiales de entidades operadoras.....	152
C.7	Tratamiento de fallos de señal entrante	153
C.7.1	Fallos de señal antes de la conexión en cascada	153
C.7.2	Fallos de señal dentro de la conexión en cascada.....	154
C.8	Señal de reposo de conexión en cascada	155
C.9	Señal de prueba de conexión en cascada	155
Anexo D	– Protocolo de supervisión de conexión en cascada de VC-4-Xc/VC-4/VC-3: Opción 2.....	155
D.1	Estructura del octeto N1	155
D.2	Funcionalidad TCM en la fuente conexión en cascada	157
D.3	Funcionalidad TCM en el sumidero conexión en cascada	158
D.4	Compensación de BIP-8	159
Anexo E	– Protocolo de supervisión de conexión en cascada de VC-2/VC-1	159
E.1	Estructura del octeto N2	159
E.2	Funcionalidad TCM en la fuente conexión en cascada	161
E.3	Funcionalidad TCM en el sumidero conexión en cascada	161
E.4	Compensación de BIP-2	162
Apéndice I	– Relación entre dirección y ubicación de las columnas de TU-2 dentro de un VC-4	163
Apéndice II	– Relación entre dirección y ubicación de las columnas de TU-12 dentro de un VC-4	164
Apéndice III	– Relación entre dirección y ubicación de las columnas de TU-11 dentro de un VC-4	166
Apéndice IV	– Relación entre dirección y ubicación de las columnas de TU-2 dentro de un VC-3	169
Apéndice V	– Relación entre dirección y ubicación de las columnas de TU-12 dentro de un VC-3	170
Apéndice VI	– Relación entre dirección y ubicación de las columnas de TU-11 dentro de un VC-3	171
Apéndice VII	– Indicación de defecto distante (RDI) mejorada	172
Apéndice VIII	– Comportamiento inesperado, dependencia de la supervisión de la conexión en cascada con respecto a la señal entrante	175
Apéndice IX	– Corrección de errores en recepción para STM-16.....	176
Apéndice X	– Calidad de funcionamiento de la FEC dentro de banda.....	176
Apéndice XI	– Bibliografía	179

Recomendación UIT-T G.707/Y.1322

Interfaz de nodo de red para la jerarquía digital síncrona

1 Alcance

La presente Recomendación incluye las especificaciones de la interfaz de nodo de red (NNI, *network node interface*) que son necesarias para permitir la interconexión de elementos de red en sus interfaces de la jerarquía digital síncrona (SDH, *synchronous digital hierarchy*) para el transporte de diferentes tipos de cabidas útiles.

Esta Recomendación especifica por tanto:

- las velocidades binarias de las señales STM-N;
- las estructuras de tramas de las señales STM-N;
- los formatos para la correspondencia y la multiplexación de señales de cliente (por ejemplo, PDH, ATM e IP) de elementos PDH y ATM en una trama STM-N;
- las funcionalidades que han de implementarse en las diferentes taras de una trama STM-N, en la NNI de una red digital síncrona, incluida la RDSI de banda ancha.

2 Referencias

Las Recomendaciones y demás referencias siguientes contienen disposiciones que, mediante su referencia en este texto, constituyen disposiciones de la presente Recomendación. Al efectuar esta publicación, estaban en vigor las ediciones indicadas. Todas las Recomendaciones y demás referencias son objeto de revisiones, por lo que se preconiza que todos los usuarios de la presente Recomendación investiguen la posibilidad de aplicar las ediciones más recientes de las Recomendaciones y demás referencias citadas a continuación. Se publica regularmente una lista de las Recomendaciones UIT-T actualmente vigentes.

- UIT-T G.691 (2000), *Interfaces ópticas para los sistemas monocanal STM-64, STM-256 y otros sistemas de la jerarquía digital síncrona con amplificadores ópticos.*
- UIT-T-T G.702 (1988), *Velocidades binarias de la jerarquía digital.*
- UIT-T G.703 (1998), *Características físicas y eléctricas de las interfaces digitales jerárquicas.*
- UIT-T G.704 (1998), *Estructuras de trama síncrona utilizadas en los niveles jerárquicos 1544, 6312, 2048, 8448 y 44 736 kbit/s.*
- UIT-T G.783 (2000), *Características de los bloques funcionales del equipo de la jerarquía digital síncrona.*
- UIT-T-T G.802 (1988), *Interfuncionamiento de redes basadas en diferentes jerarquías digitales y leyes de codificación de las señales vocales.*
- UIT-T G.803 (2000), *Arquitecturas de redes de transporte basadas en la jerarquía digital síncrona.*
- UIT-T G.831 (2000), *Capacidades de gestión de las redes de transporte basadas en la jerarquía digital síncrona.*
- UIT-T G.841 (1998), *Tipos y características de las arquitecturas de protección para redes de la jerarquía digital síncrona.*
- UIT-T G.957 (1999), *Interfaces ópticas para equipos y sistemas basados en la jerarquía digital síncrona.*

- UIT-T I.432.1 (1999), *Interfaz usuario-red de la red digital de servicios integrados de banda ancha – Especificación de la capa física: Características generales.*
- UIT-T I.432.2 (1999), *Interfaz usuario-red de la red digital de servicios integrados de banda ancha – Especificación de la capa física: Explotación a 155 520 kbit/s y 622 080 kbit/s.*
- UIT-T O.181 (1996), *Equipo de medición para determinar la característica de error en las interfaces de módulos de transporte síncrono de nivel N.*
- UIT-R F.750-4 (2000), *Arquitectura y aspectos funcionales de los sistemas de relevadores radioeléctricos para las redes basadas en la jerarquía digital síncrona.*
- UIT-R S.1149-1 (1997), *Arquitectura de red y aspectos funcionales del equipo de los sistemas digitales de satélite del servicio fijo por satélite que forman parte de las redes de transporte de jerarquía digital síncrona.*
- ETSI ETS 300 216 (1992), *Network Aspects (NA); Metropolitan Area Network (MAN); Physical layer convergence procedure for 155,520 Mbit/s.*

3 Términos y definiciones

En esta Recomendación se definen los términos siguientes.

3.1 jerarquía digital síncrona (SDH, *synchronous digital hierarchy*): La SDH es un conjunto jerárquico de estructuras de transporte digitales, normalizadas para el transporte, por redes de transmisión físicas de cabidas útiles correctamente adaptadas.

3.2 módulo de transporte síncrono (STM, *synchronous transport module*): Un STM es la estructura de información utilizada para soportar conexiones de capa de sección en la SDH. Consta de campos de información de cabida útil de información y de tara de sección (SOH) organizados en una estructura de trama de bloque se repite cada 125 μ s. La información está adaptada para su transmisión por el medio elegido a una velocidad que se sincroniza con la red. El STM básico se define a 155 520 kbit/s. Se denomina STM-1. Los STM de mayor capacidad se constituyen a velocidades equivalentes a N veces la velocidad básica. Se han definido capacidades de STM para N=4, N=16, N=64 y N=256; están en estudio valores superiores.

El STM-0 incluye una sola unidad administrativa de nivel 3. El STM-N, $N \geq 1$, incluye un solo grupo de unidades administrativas de nivel N (AUG-N) así como la tara de sección (SOH). Las velocidades binarias jerárquicas del STM-N figuran en 6.3.

3.3 contenedor virtual-n (VC-n, *virtual container-n*): Un contenedor virtual es la estructura de información utilizada para soportar conexiones de capa de trayecto en la SDH. Consta de campos de información de cabida útil de información y de la tara de trayecto (POH) organizados en una estructura de trama de bloque que se repite cada 125 ó 500 μ s. La capa de red servidora proporciona la información de alineación para identificar el comienzo de la trama de VC-n.

Se han identificado dos tipos de contenedores virtuales.

- Contenedor virtual-n de orden inferior: VC-n (n=1, 2, 3)
Este elemento comprende un solo contenedor-n (n=1, 2, 3) más la POH de contenedor virtual de orden inferior adecuada a ese nivel.
- Contenedor virtual-n de orden superior: VC-n (n=3, 4)
Este elemento comprende un solo contenedor n (n=3, 4) o un conjunto de grupos de unidades afluentes (TUG-2 o TUG-3), junto con la POH de contenedor virtual adecuada a ese nivel.

3.4 unidad administrativa-n (AU-n, *administrative unit-n*): Una unidad administrativa es la estructura de información que proporciona la adaptación entre la capa de trayecto de orden superior y la capa sección de multiplexación. Consta de una cabida útil de información (el contenedor virtual de orden superior) y un puntero de unidad administrativa que señala el desplazamiento del comienzo de la trama de cabida útil con relación al comienzo de la trama de la sección de multiplexación.

Se definen dos unidades administrativas: la AU-4 y la AU-3. La primera consta de un VC-4 más un puntero de unidad administrativa que indica el alineamiento de fase del VC-4 con respecto a la trama del módulo de transporte síncrono N (STM-N). La segunda consta de un VC-3 más un puntero de unidad administrativa que indica el alineamiento de fase del VC-3 con respecto a la trama STM-N. En cada caso, la ubicación del puntero de unidad administrativa es fija con respecto a la trama STM-N.

Se denomina grupo de unidades administrativas (AUG) a una o más unidades administrativas que ocupan posiciones fijas y definidas en una cabida útil de STM.

Un AUG-1 consta de un conjunto homogéneo de varias AU-3 o de una AU-4.

3.5 unidad afluente-n (TU-n, *tributary unit-n*): Una unidad afluente es una estructura de información que proporciona la adaptación entre la capa de trayecto de orden inferior y la capa de trayecto de orden superior. Consta de una cabida útil de información (el contenedor virtual de orden inferior) y un puntero de unidad afluente que señala el desplazamiento del comienzo de la trama de cabida útil con relación al comienzo de la trama del contenedor virtual de orden superior.

La TU-n (n=1, 2, 3) consta de un VC-n junto con un puntero de unidad afluente.

Se denomina grupo de unidades afluentes (TUG) a una o más unidades afluentes que ocupan posiciones fijas y definidas en una cabida útil de VC-n de orden superior. Las TUG se definen de manera que pueden construirse cabidas útiles de capacidad mixta formadas por unidades afluentes de tamaños diferentes para aumentar la flexibilidad de la red de transporte.

Un TUG-2 consta de un conjunto homogéneo de TU-1 idénticas o de una TU-2.

Un TUG-3 consta de un conjunto homogéneo de TUG-2 o de una TU-3.

3.6 contenedor-n (n=1-4): Un contenedor es la estructura de información que forma la cabida útil de información síncrona de red para un contenedor virtual. Para cada uno de los contenedores virtuales definidos existe el correspondiente contenedor. Se han definido funciones de adaptación de muchas velocidades binarias de red comunes en un número limitado de contenedores normalizados. Entre ellas se incluyen las velocidades ya definidas en UIT-T G.702. En el futuro se definirán otras funciones de adaptación para nuevas velocidades binarias de banda ancha.

3.7 interfaz de nodo de red (NNI, *network node interface*): Interfaz situada en un nodo de red que se utiliza para la interconexión con otro nodo de red.

La figura 3-1 muestra una posible configuración de red para ilustrar la ubicación de la interfaz de nodo de red (NNI) especificada en esta Recomendación.

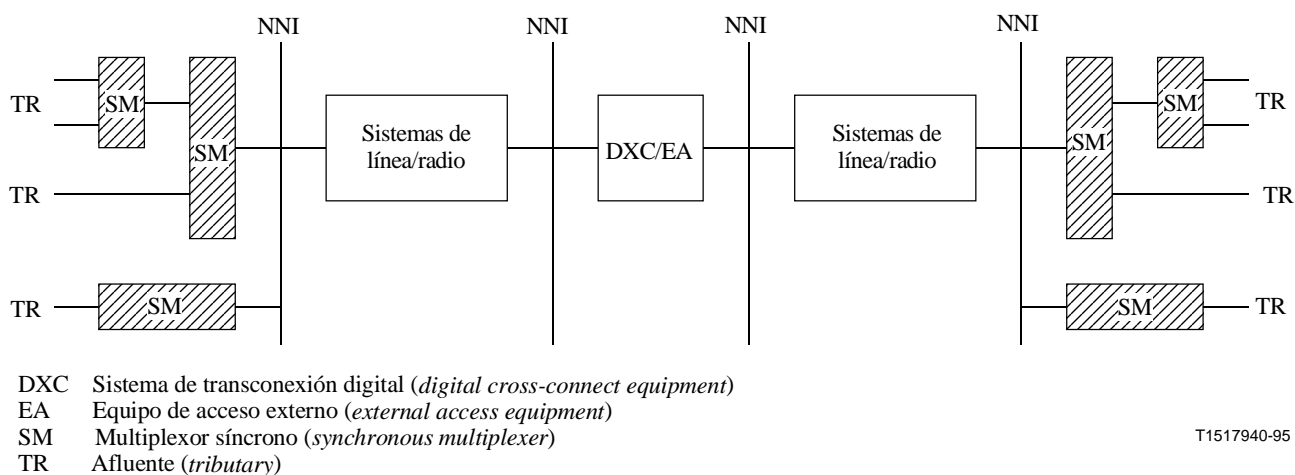


Figura 3-1/G.707/Y.1322 – Ubicación de la NNI

3.8 puntero: Indicador cuyo valor define el desplazamiento de la trama de un contenedor virtual con respecto a la referencia de trama de la entidad de transporte sobre lo que es soportado.

3.9 concatenación: Procedimiento en una multiplicidad de contenedores virtuales que se asocian unos a otros de modo que su capacidad combinada puede utilizarse como un contenedor sencillo en el que se mantiene la integridad de la secuencia de bits.

3.10 correspondencia de jerarquía digital síncrona: Procedimiento por el que se adaptan afluentes a contenedores virtuales en los límites de una red SDH.

3.11 multiplexación de jerarquía digital síncrona: Procedimiento por el que varias señales de capa de trayecto de orden inferior se adaptan a un trayecto de orden superior, o por el que múltiples señales de capa de trayecto de orden superior se adaptan a una sección de multiplexación.

3.12 alineación de jerarquía digital síncrona: Procedimiento por el que la información de desplazamiento de trama se incorpora a la unidad afluente o la unidad administrativa cuando se adapta a la referencia de trama de la capa soporte.

3.13 paridad con entrelazado de bits X (BIP-Xb, *bit interleaved parity-X*): El código de paridad con entrelazado de bits X (BIP-X) se define como un método de supervisión de errores. Con paridad par, el equipo transmisor genera un código de bits X en una parte especificada de la señal de manera que el primer bit del código proporciona la paridad par en todas las secuencias de bits X en la porción cubierta de la señal, el segundo bit proporciona la paridad par en los segundos bits de todas las secuencias X en la porción especificada, etc. La paridad par se genera fijando los bits de BIP-X de modo que haya un número par de unos en cada una de las particiones supervisadas de la señal que incluye el BIP-X (una partición de supervisión de la señal se constituye mediante todos los bits que están en la misma posición dentro de las secuencias de bits X en la porción cubierta de la señal). La porción cubierta incluye la BIP-X.

3.14 concatenación: Proceso de sumar la anchura de banda de cierto número de contenedores más pequeños en un contenedor de anchura de banda mayor. Existen dos versiones:

- concatenación contigua;
- concatenación virtual.

3.15 BCH binario acortado: Versión acortada de la clase de los códigos cíclicos lineales de bloques. Estos códigos BCH binarios acortados tienen las siguientes propiedades comunes:

$$n = 2^m - 1 - s$$

$$k = n - t \times m$$

$$d = 2 \times t + 1$$

donde:

n tamaño de la palabra de código completa

k número de bits de información

m parámetro del código BCH

t número de errores corregidos dentro del bloque del código BCH

d mínima distancia de código

s cantidad de información eliminada como parte del acortamiento de código

3.16 polinomio generador: Polinomio que se utiliza para codificar cualesquiera códigos cíclicos. El resto tras la división del polinomio de información por el polinomio generador es la parte de redundancia de la palabra de código codificada.

3.17 código sistemático: Los bits de datos originales no son alterados por el procedimiento de codificación. Los bits o símbolos redundantes (paridad) se añaden por separado a cada bloque de código.

4 Acrónimos y abreviaturas

En esta Recomendación se utilizan las siguientes siglas:

AIS	Señal de indicación de alarma (<i>alarm indication signal</i>)
API	Identificador de punto de acceso (<i>access point identifier</i>)
APS	Conmutación automática de protección (<i>automatic protection switching</i>)
ATM	Modo de transferencia asíncrono (<i>asynchronous transfer mode</i>)
AU-n	Unidad administrativa-n (<i>administrative unit-n</i>)
AUG-N	Grupo de unidades administrativas N (<i>administrative unit group-N</i>)
BCH	Bose-Chaudhuri-Hocquenghem
BCH-3	Código BCH de corrección de errores triples (<i>triple error correcting BCH code</i>)
BER	Tasa de errores en los bits (<i>bit error ratio</i>)
BIP-X	Paridad con entrelazado de bits X (<i>bit interleaved parity-X</i>)
C-n	Contenedor n (<i>container-n</i>)
CAS	Señalización asociada al canal (<i>channel associated signalling</i>)
CRC-N	Verificación por redundación cíclica N (<i>cyclic redundancy check-N</i>)
DCC	Canal de comunicaciones de datos (<i>data communication channel</i>)
DQDB	Bus dual de cola distribuida (<i>distributed queue dual bus</i>)
FDDI	Interfaz de datos distribuidos de fibra (<i>fibre distributed data interface</i>)
FEBE	Bloque con errores en el extremo distante (<i>far end block error</i>) (denominado ahora REI)
FEC	Corrección de errores en recepción (<i>forward error correction</i>)

FERF	Fallo de recepción en el extremo distante (<i>far end receive failure</i>) (denominado ahora RDI)
FSI	Indicación de estado de FEC (<i>FEC status indication</i>)
HDLC	Control de alto nivel del enlace de datos (<i>high-level data link control</i>)
HEC	Control de errores del encabezamiento (<i>header error control</i>)
HOVC	Contenedor virtual de orden superior (<i>higher order virtual container</i>)
IEC	Cuenta de errores de entrada (<i>incoming error count</i>)
IP	Protocolo Internet (<i>Internet protocol</i>)
ISF	Fallo de señal entrante (<i>incoming signal failure</i>)
ISID	Identificación de señal de reposo (<i>idle signal identification</i>)
LAPD	Protocolo de acceso de enlace por el canal D (<i>link access protocol on the D channel</i>)
LAPS	Procedimiento de acceso al enlace-SDH (<i>link access procedure – SDH</i>)
LCD	Pérdida de delimitación de célula (<i>loss of cell delineation</i>)
LOP	Pérdida de puntero (<i>loss of pointer</i>)
LOVC	Contenedor virtual de orden inferior (<i>low order virtual container</i>)
LSB	Bit menos significativo (<i>least significant bit</i>)
MAN	Red de área metropolitana (<i>metropolitan area network</i>)
MSB	Bit más significativo (<i>most significant bit</i>)
MS-AIS	Señal de indicación de alarma de sección de multiplexación (<i>multiplex section alarm indication signal</i>)
MSF-AIS	Señal de indicación de alarma FEC de sección de multiplexación (<i>multiplex section FEC alarm indication signal</i>)
MSOH	Tara de sección de multiplexación (<i>multiplex section overhead</i>)
MS-RDI	Indicación de defecto distante en la sección de multiplexación (<i>multiplex section remote defect indication</i>)
MS-REI	Indicación de error distante en la sección de multiplexación (<i>multiplex section remote error indication</i>)
MSTE	Elemento de terminación de sección de multiplexación (<i>multiplex section terminating element</i>)
NDF	Bandera de nuevos datos (<i>new data flag</i>)
NNI	Interfaz de nodo de red (<i>network node interface</i>)
ODI	Indicación de defecto saliente (<i>outgoing defect indication</i>)
OEI	Indicación de error saliente (<i>outgoing error indication</i>)
OH	Tara (<i>overhead</i>)
PDH	Jerarquía digital plesiócrona (<i>plesiochronous digital hierarchy</i>)
PLM	Desadaptación de cabida útil (<i>payload mismatch</i>)
POH	Tara de trayecto (<i>path overhead</i>)
PPP	Protocolo punto a punto (<i>point-to-point protocol</i>)
PTE	Elemento de terminación de trayecto (<i>path terminating element</i>)

PTR	Puntero (<i>pointer</i>)
RDI	Indicación de defecto distante (<i>remote defect indication</i>) (anteriormente FERF)
RDSI	Red digital de servicios integrados
REI	Indicación de error distante (<i>remote error indication</i>) (anteriormente FEBE)
RFI	Indicación de fallo distante (<i>remote failure indication</i>)
RSOH	Tara de sección de regeneración (<i>regenerator section overhead</i>)
SDH	Jerarquía digital síncrona (<i>synchronous digital hierarchy</i>)
SLM	Desadaptación de etiqueta de señal (<i>signal label mismatch</i>)
SOH	Tara de sección (<i>section overhead</i>)
SSU	Unidad de suministro de sincronización (<i>synchronization supply unit</i>)
STM(-N)	Módulo de transporte síncrono (-N) [<i>synchronous transport module (-N)</i>]
TCM	Supervisión de conexión en cascada (<i>tandem connection monitoring</i>)
TC-RDI	Indicación de defecto distante de conexión en cascada (<i>tandem connection remote defect indication</i>)
TC-REI	Indicación de error distante de conexión en cascada (<i>tandem connection remote error indication</i>)
TCOH	Tara de conexión en cascada (<i>tandem connection overhead</i>)
TCT	Traza de conexión en cascada (<i>tandem connection trace</i>)
TCTE	Elemento de terminación de conexión en cascada (<i>tandem connection terminating element</i>)
TIM	Discordancia de identificador de traza (<i>trace identifier mismatch</i>)
TSID	Identificación de señal de prueba (<i>test signal identification</i>)
TTI	Identificador de traza de camino (<i>trial trace identifier</i>)
TU-n	Unidad afluente-n (<i>tributary unit-n</i>)
TUG(-n)	Grupo de unidades afluentes (n) [<i>tributary unit group (-n)</i>]
UNEQ	No equipado (<i>unequipped</i>)
VC-n	Contenedor virtual-n (<i>virtual container-n</i>)
VC-n-X	X contenedores virtuales-n concatenado (<i>X concatenated virtual container-ns</i>)
VC-n-Xc	X VC-n contiguamente concatenados (<i>X contiguously concatenated VC-ns</i>)
VC-n-Xv	X VC-n virtualmente concatenados (<i>X virtually concatenated VC-ns</i>)

5 Convenios

El orden en que se transmite la información en todos los diagramas de esta Recomendación es de izquierda a derecha y de arriba a abajo. En cada byte, el bit más significativo se transmite primero. Dicho bit más significativo (bit 1) figura siempre en la parte izquierda de los diagramas.

6 Principios básicos de multiplexación

6.1 Estructura múltiplex

La figura 6-1 muestra la relación entre diversos elementos de multiplexación que se definen en el cuadro 6-1, e ilustra posibles estructuras de mutiplexación.

Las figuras 6-2, 6-3, 6-4 y 6-5 muestran cómo se multiplexan diversas señales utilizando estos elementos de multiplexación.

Los detalles relativos al método de multiplexación y a las correspondencias se dan en las cláusulas 7 y 10.

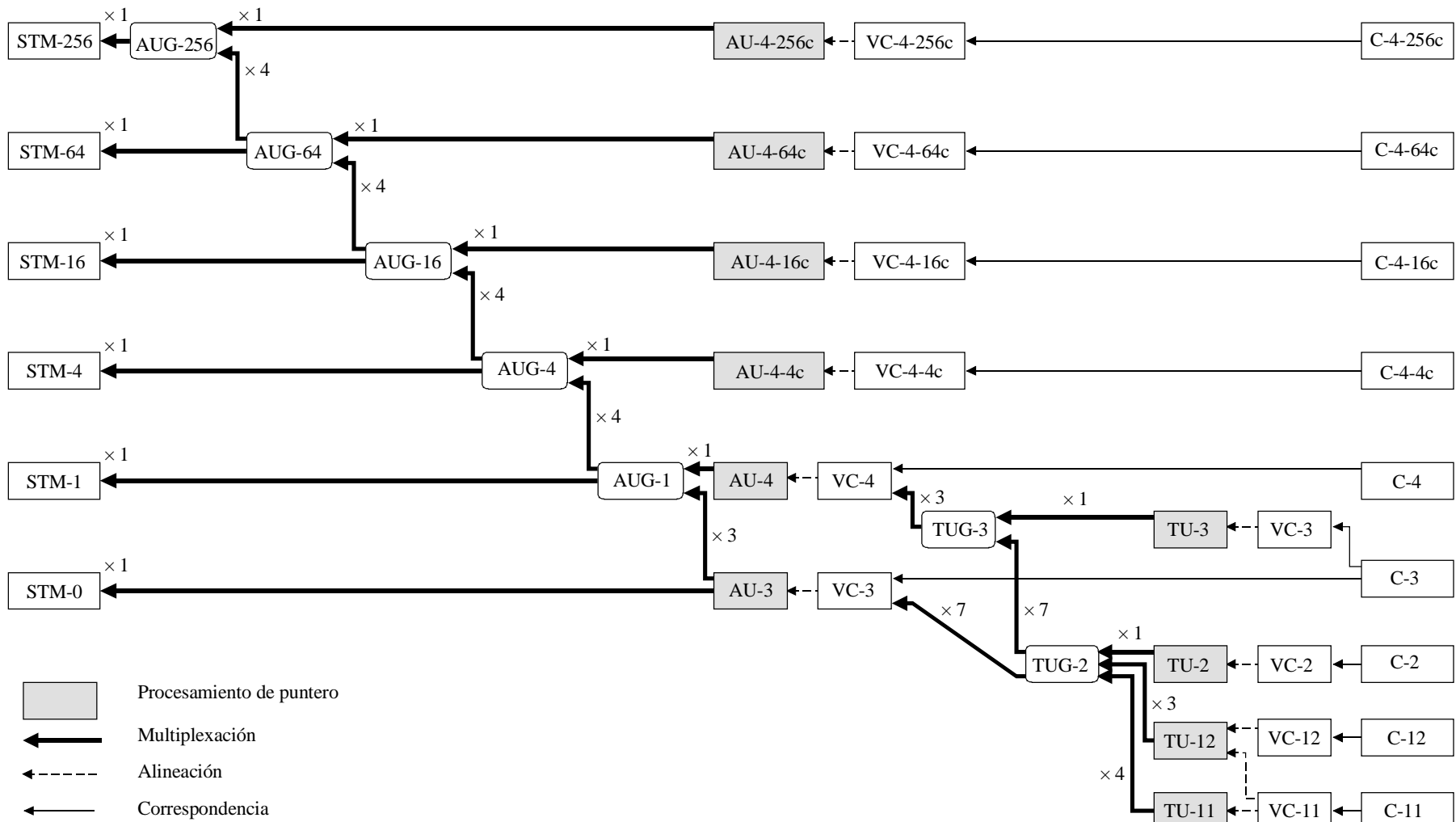
Las descripciones de los diversos elementos de multiplexación se dan en las cláusulas 8 a 10.

Las descripciones de las diversas concatenaciones se dan en la cláusula 11.

NOTA – El VC-4-Xc de alta velocidad podrían utilizarse sin restricciones en las conexiones punto a punto. Las redes SDH pueden limitarse a cierta velocidad binaria de VC-4-Xc (por ejemplo $X \leq 64$), por ejemplo, debido a anillos con MSSPRING que tiene que reservar para protección el 50% de la anchura de banda del STM-N.

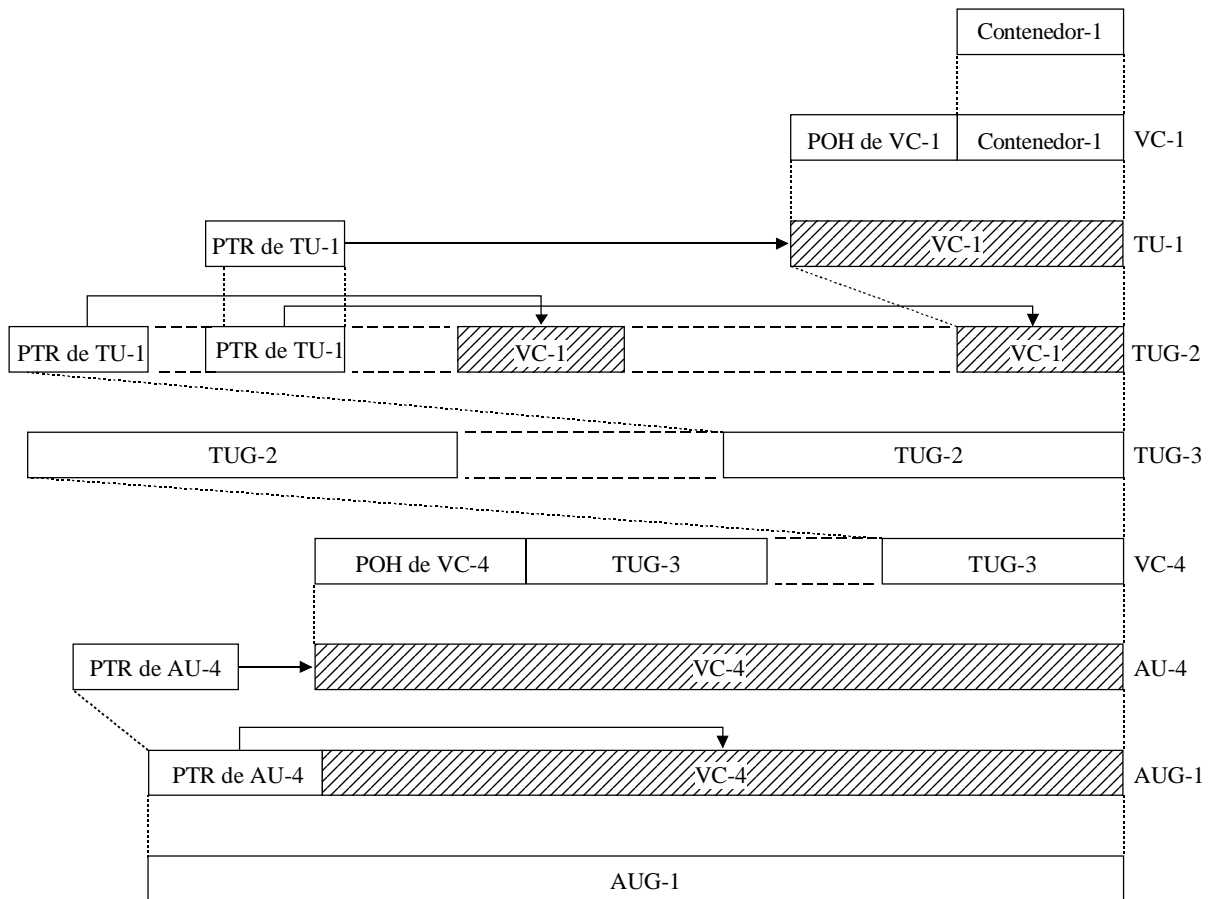
Cuadro 6-1/G.707/Y.1322 – Tipos de VC y capacidad

Tipo de VC	Anchura de banda de VC	Cabida útil de VC
VC-11	1 664 kbit/s	1 600 kbit/s
VC-12	2 240 kbit/s	2 176 kbit/s
VC-2	6 848 kbit/s	6 784 kbit/s
VC-3	48 960 kbit/s	48 384 kbit/s
VC-4	150 336 kbit/s	149 760 kbit/s
VC-4-4c	601 344 kbit/s	599 040 kbit/s
VC-4-16c	2 405 376 kbit/s	2 396 160 kbit/s
VC-4-64c	9 621 504 kbit/s	9 584 640 kbit/s
VC-4-256c	38 486 016 kbit/s	38 338 560 kbit/s



T1540590-00

FIGURA 6-1/G.707/Y.1322 – Estructura de multiplexación

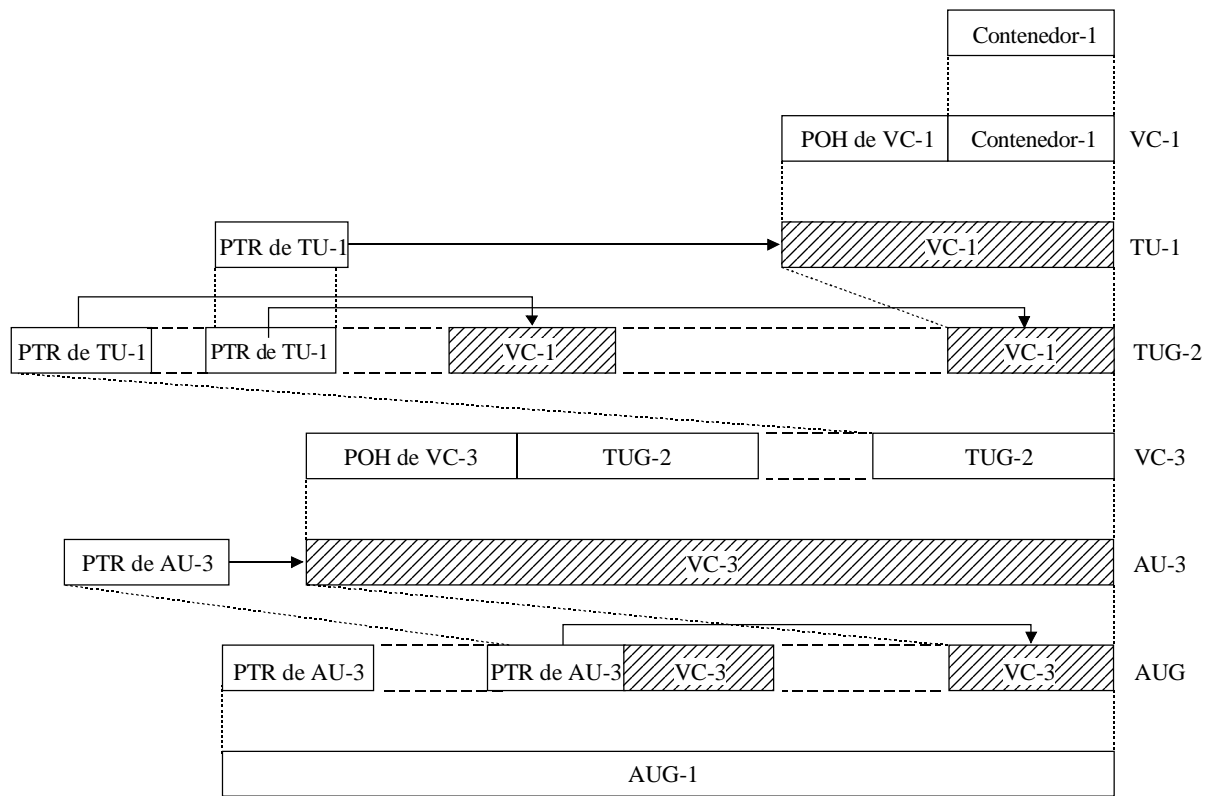


T1540600-00

- > Asociación lógica
- Asociación física
- PTR Puntero

NOTA – Las zonas no sombreadas están alineadas en fase. La alineación de fase entre las zonas no sombreadas y las sombreadas se define por el puntero (PTR) y obsérvese con la flecha.

Figura 6-2/G.707/Y.1322 –Método de multiplexación a partir directamente de contenedor-1, utilizando AU-4

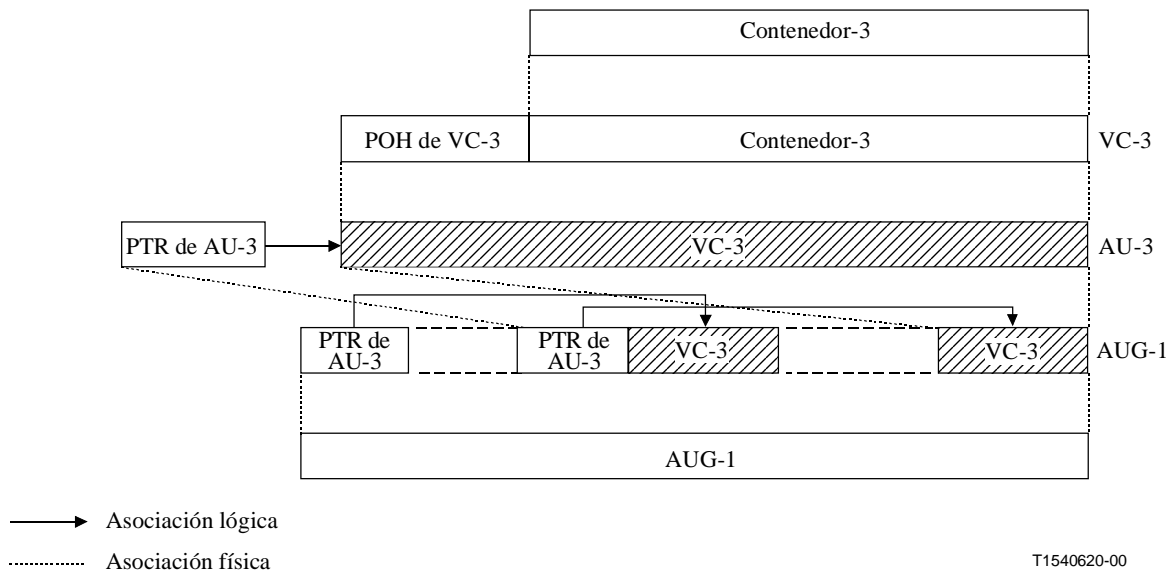


—————> Asociación lógica
 Asociación física

T1540610-00

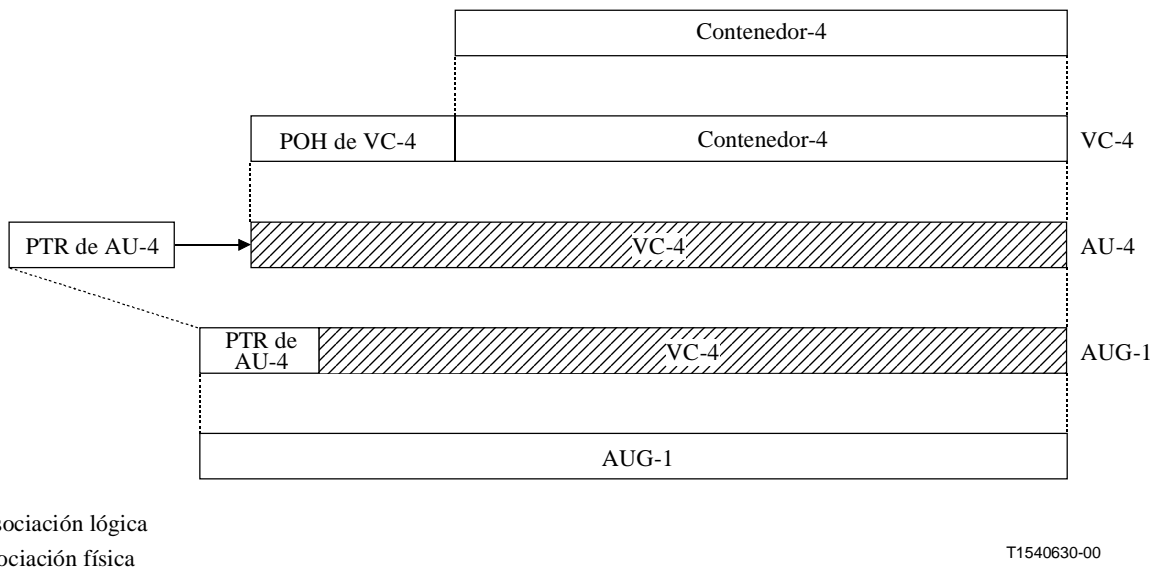
NOTA – Las zonas no sombreadas están alineadas en fase. La alineación de fase entre las zonas no sombreadas y las sombreadas se define por el puntero (PTR) y obsérvese con la flecha.

Figura 6-3/G.707/Y.1322 – Método de multiplexación a partir directamente de contenedor-1, utilizando AU-3



NOTA – Las zonas no sombreadas están alineadas en fase. La alineación de fase entre las zonas no sombreadas y las sombreadas se define por el puntero (PTR) y se señala con la flecha.

Figura 6-4/G.707/Y.1322 – Método de multiplexación a partir directamente de contenedor-3, utilizando AU-3



NOTA – Las zonas no sombreadas están alineadas en fase. La alineación de fase entre las zonas no sombreadas y las sombreadas se define por el puntero (PTR) y se señala con la flecha.

Figura 6-5/G.707/Y.1322 – Método de multiplexación a partir directamente de contenedor-4, utilizando AU-4

6.2 Estructura de trama básica

La estructura de trama STM-N se muestra en la figura 6-6. Se indican los tres sectores principales de la trama STM-N:

- tara de sección (SOH);
- punteros de AU;
- cabida (contenido) útil de información.

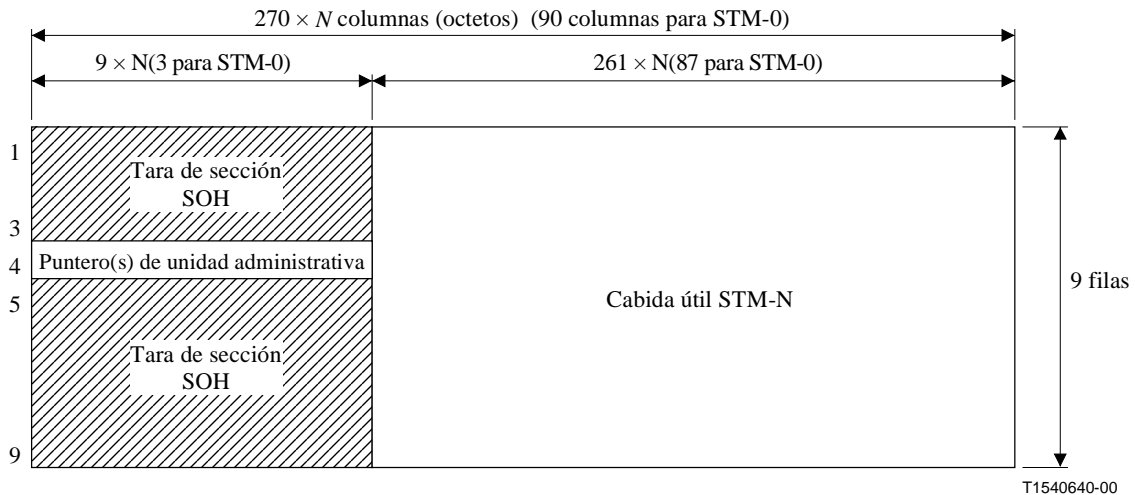


Figura 6-6/G.707/Y.1322 – Estructura de trama STM-N

6.2.1 Tara de sección

Las filas 1 a 3 y 5 a 9 de las columnas 1 a $9 \times N$ del STM-N de la figura 6-6 están dedicadas a la tara de sección.

En la cláusula 9 se indica la asignación de la capacidad de la tara de sección así como una explicación de las funciones de la tara.

6.2.2 Punteros de unidad administrativa (AU)

La fila 4 de las columnas 1 a $9 \times N$ de la figura 6-6 están disponibles para punteros de AU. La aplicación de los punteros y sus especificaciones detalladas figuran en la cláusula 8.

6.2.3 Unidades administrativas en el STM-N

La cabida útil del STM-N puede soportar un AUG-N, donde el:

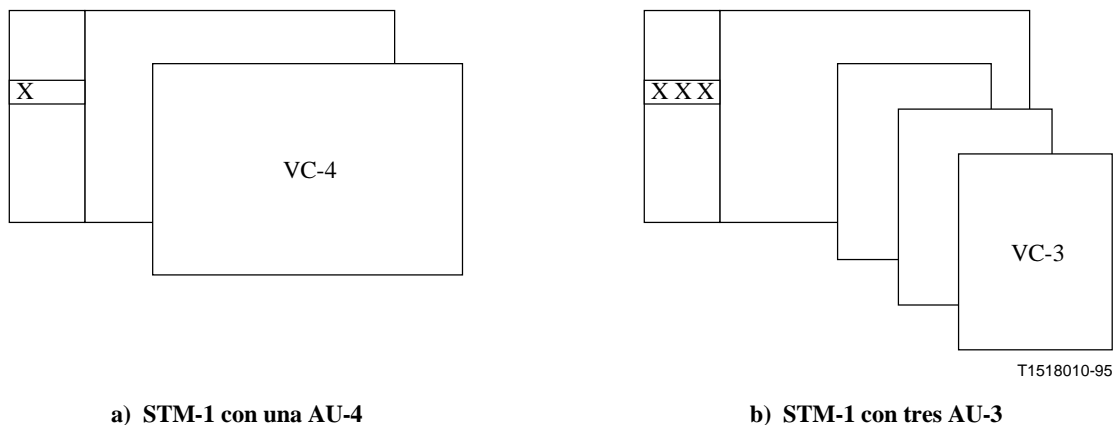
- El AUG-256 puede constar de:
 - cuatro AUG-64;
 - un AU-4-256c.
- El AUG-64 puede constar de:
 - cuatro AUG-16;
 - un AU-4-64c.
- El AUG-16 puede constar de:
 - cuatro AUG-4;
 - un AU-4-16c.

- d) El AUG-4 puede constar de:
 - 1) cuatro AUG-1;
 - 2) un AU-4-4c.
- e) El AUG-1 puede constar de:
 - 1) una AU-4;
 - 2) tres AU-3.

El VC-n asociado con cada AU-n no tiene una fase fija con respecto a la trama STM-N. La ubicación del primer byte del VC-n es indicada por el puntero de AU-n. El puntero de AU-n está en una ubicación fija en la trama STM-N, como se ilustra en las figuras 6-2, 6-3, 6-4, 6-5, 6-6, 6-7 y 6-8.

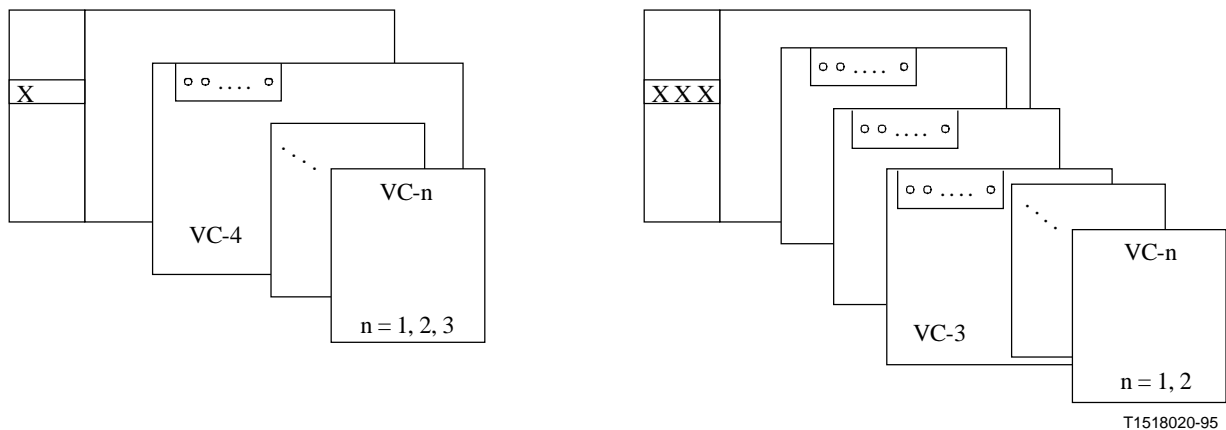
La AU-4 puede utilizarse para transportar, por medio del VC-4, un cierto número de TU-n (n=1, 2, 3) formando un múltiplex de dos etapas. Esta disposición se ilustra en las figuras 6-7 a) y 6-8 a). El VC-n asociado con cada TU-n no tiene una relación de fase fija con respecto al comienzo del VC-4. El puntero de la TU-n está en una ubicación fija en el VC-4 y la ubicación del primer byte del VC-n es indicada por el puntero de la TU-n.

La AU-3 puede utilizarse para transportar, por medio del VC-3, un cierto número de TU-n (n=1, 2) formando un múltiplex de dos etapas. Esta disposición se ilustra en las figuras 6-7 b) y 6-8 b). El VC-n asociado con cada TU-n no tiene una relación de fase fija con respecto al comienzo del VC-3. El puntero de la TU-n está en una ubicación fija en el VC-3 y la ubicación del primer byte del VC-n es indicada por el puntero de la TU-n.



X Puntero de AU-n
 AU-n Puntero de AU-n + VC-n (véase la cláusula 8)

Figura 6-7/G.707/Y.1322 – Unidades administrativas en la trama STM-1



a) STM-1 con una AU-4 que contiene unidades afluentes

b) STM-1 con tres AU-3 que contienen unidades afluentes

- X Puntero de AU-n
- o Puntero de TU-n
- AU-n Puntero de AU-n + VC-n (véase la cláusula 8)
- TU-n Puntero de TU-n + VC-n (véase la cláusula 8)

Figura 6-8/G.707/Y.1322 – Múltiplex de dos etapas

6.2.4 Señales de mantenimiento

6.2.4.1 Señales de indicación de alarma

Una señal de indicación de alarma (AIS, *alarm indication signal*) es una señal que se envía hacia el destino como indicación de que se ha detectado un defecto hacia el origen.

6.2.4.1.1 MS-AIS

La señal de indicación de alarma de sección de multiplexación (MS-AIS, *multiplex section AIS*) se especifica como todos "1" en la totalidad del STM-N, excluyendo la RSOH del STM-N.

6.2.4.1.2 MSF-AIS

La AIS de FEC de sección de multiplexación (MSF-AIS, *multiplex section FEC AIS*) se especifica como todos "1" en la totalidad del STM-N, excluyendo la RSOH del STM-N excepto los bytes P1 y Q1.

6.2.4.1.3 AU/TU-AIS

La señal de indicación de alarma de unidad administrativa (AU-AIS, *administrative unit AIS*) se especifica como todos "1" en la totalidad de la AU-n (n=3, 4, 4-Xc), incluyendo el puntero de la AU-n.

La señal de indicación de alarma de unidad afluente (TU-AIS, *tributary unit AIS*) se especifica como todos "1" en la totalidad de la TU-n (n=1, 2, 3), incluyendo el puntero de la TU-n.

6.2.4.1.4 VC-AIS

Una AU/TU-AIS que entra en una conexión en cascada (TC, *tandem connection*) se convierte en una señal de indicación de alarma de contenedor virtual (VC-AIS, *virtual container AIS*) dentro de la conexión en cascada, porque se necesita un puntero de AU-n/TU-n válido para la supervisión de la conexión en cascada (TCM, *tandem connection monitoring*).

La AIS de VC-n (n=3, 4, 4-Xc) se especifica como todos "1" en la totalidad del VC-n, con un byte N1 de operador de red válido – que soporta la funcionalidad TCM – y un código de detección de error en el byte B3.

La AIS de VC-n (n=1, 2) se especifica como todos "1" en la totalidad del VC-n, con un byte N2 de operador de red válido – que soporta la funcionalidad TCM – y un código de detección de error válido en los bits 1 y 2 del byte V5.

6.2.4.2 Señal de VC-n no equipada

6.2.4.2.1 Caso de red que soporta el transporte de señales de conexión en cascada

En el caso de redes que soportan el transporte de señales de conexión en cascada, la señal de VC-n (n=3, 4) o VC-4-Xc no equipada es una señal que tiene todos "0" en el byte etiqueta de señal de trayecto de contenedor virtual de orden superior (C2), el byte de supervisión de conexión en cascada (N1) y el byte de traza de trayecto (J1) y un byte BIP-8 válido (B3). La cabida útil del contenedor virtual y los demás bytes de tara de trayecto no se especifican.

En el caso de redes que soportan el transporte de señales de conexión en cascada, la señal de VC-n (n=1, 2) no equipada es una señal que tiene todos "0" en la etiqueta de señal de trayecto de contenedor virtual de orden inferior (bits 5, 6 y 7 del byte V5), el byte de supervisión de conexión en cascada (N2) y el byte de traza de trayecto (J2) y un código BIP-2 válido (bits 1 y 2 del byte V5). La cabida útil del contenedor virtual y los demás bytes de tara de trayecto no se especifican.

Estas señales indican a las funciones de procesamiento del transporte hacia el destino (véase UIT-T G.803) que el contenedor virtual está desocupado, sin conectar a una función fuente de terminación de trayecto. Sólo puede obtenerse información adicional sobre la calidad mediante la supervisión de la BIP.

Dentro de una conexión en cascada, una señal de VC-n no equipada generada antes de la conexión en cascada tendrá un byte de supervisión de conexión en cascada (N1, N2) válido (no todos "0").

6.2.4.2.2 Caso de red que no soporta el transporte de señales de conexión en cascada

En el caso de redes que no soportan el transporte de señales de conexión en cascada, la señal de VC-n (n=3, 4) o VC-4-Xc sin equipar es una señal que tiene todos "0" en el byte etiqueta de señal de trayecto de contenedor virtual de orden superior (C2) y el byte de traza de trayecto (J1) y un byte de BIP-8 válido (B3). La cabida útil del contenedor virtual y los demás bytes de tara de trayecto no se especifican.

En el caso de redes que no soportan el transporte de señales de conexión en cascada, la señal de VC-n (n=1, 2) no equipada es una señal que tiene todos "0" en la etiqueta de señal de trayecto de contenedor virtual de orden inferior (bits 5, 6 y 7 del byte V5) y el byte de traza de trayecto (J2), y un código BIP-2 válido (bits 1 y 2 del byte V5). La cabida útil del contenedor virtual y los demás bytes de tara de trayecto no se especifican.

6.2.4.3 Señal de VC-n supervisora no equipada

6.2.4.3.1 Caso de red que soporta el transporte de señales de conexión en cascada

En el caso de redes que soportan el transporte de señales de conexión en cascada, la señal de VC-n (n=3, 4) o VC-4-Xc supervisora no equipada es una señal que tiene todos "0" en el byte de etiqueta de señal de trayecto de contenedor virtual de orden superior (C2) y el byte de supervisión de conexión en cascada (N1), un byte de BIP-8 válido (B3), un byte identificador de traza de trayecto válido (J1) y un byte de categoría de trayecto válido (G1). La cabida útil del contenedor virtual no se especifica. El contenido de los demás bytes de tara de trayecto, F2, H4, F3 y K3, queda en estudio.

La señal de VC-n (n=3, 4) supervisora no equipada es una señal de VC-n no equipada mejorada.

En el caso de redes que soportan el transporte de señales de conexión en cascada, la señal de VC-n (n=1, 2) supervisora no equipada es una señal que tiene todos "0" en la etiqueta de señal de trayecto de contenedor virtual de orden inferior (bits 5, 6 y 7 del byte V5) y el byte supervisor de conexión en cascada (N2), un código BIP-2 válido (bits 1 y 2 del byte V5), un byte de traza de trayecto válido

(J2) y un código de categoría de trayecto válido (bits 3 y 8 del byte V5). La cabida útil del contenedor virtual no se especifica. El contenido de los demás bits/bytes de tara de trayecto, bit 4 del byte V5 y byte K4, queda en estudio.

La señal de VC-n (n=1, 2) supervisora no equipada es una señal de VC-n no equipada mejorada.

Estas señales indican a las funciones de procesamiento del transporte hacia el destino (véase UIT-T G.803) que el contenedor virtual está desocupado y alimentado por un generador supervisor. Puede obtenerse información adicional sobre calidad, fuente y situación de la conexión mediante las indicaciones de errores en los bits, traza de trayecto y estado de trayecto.

Dentro de una conexión en cascada, una señal de VC-n supervisora no equipada generada antes de la conexión en cascada tendrá un byte de supervisión de conexión en cascada (N1, N2) válido (no todos "0").

6.2.4.3.2 Caso de red que no soporta el transporte de señales de conexión en cascada

En el caso de redes que no soportan el transporte de señales de conexión en cascada, la señal de VC-n (n=3, 4) o VC-4-Xc supervisora no equipada es una señal que tiene todos "0" en el byte etiqueta de señal de trayecto de contenedor virtual de orden superior (C2), un byte de BIP-8 válido (B3), un byte de identificador de traza de trayecto válido (J1) y un byte de categoría de trayecto válido (G1). La cabida útil del contenedor virtual no se especifica. El contenido de los demás bytes de tara de trayecto, F2, H4, F3, K3 y N1, queda en estudio.

En el caso de redes que no soportan el transporte de señales de conexión en cascada, la señal de VC-n (n=1, 2) supervisora no equipada es una señal que tiene todos "0" en la etiqueta de señal de trayecto de contenedor virtual de orden inferior (bits 5, 6 y 7 del byte V5), un código BIP-2 válido (bits 1 y 2 del byte V5), un byte de traza de trayecto válido (J2) y un código de categoría de trayecto válido (bits 3 y 8 del byte V5). La cabida útil del contenedor virtual no se especifica. El contenido de los demás bits/bytes de tara de trayecto, bit 4 del byte V5 y bytes N2 y K4 queda en estudio.

6.3 Velocidades binarias jerárquicas

El nivel cero de la jerarquía digital síncrona será 51 840 kbit/s.

El primer nivel de la jerarquía digital síncrona será 155 520 kbit/s.

Velocidades binarias de jerarquía digital síncrona superiores se obtendrán como múltiplos enteros de la velocidad binaria de primer nivel y se indicarán mediante el correspondiente factor de multiplicación de la velocidad de primer nivel.

Las velocidades binarias indicadas en el siguiente cuadro 6-2 constituyen la jerarquía digital síncrona:

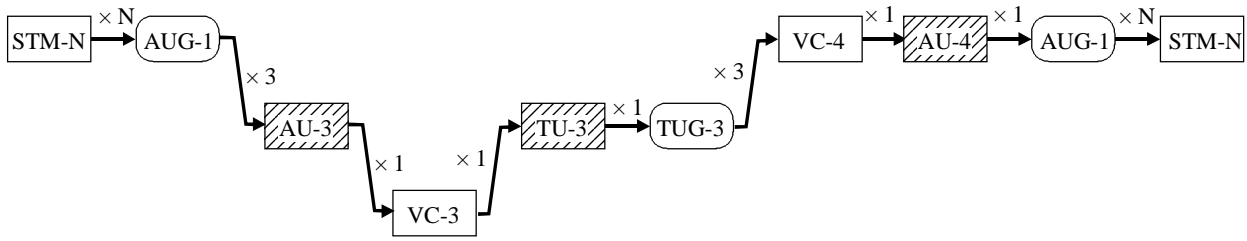
Cuadro 6-2/G.707/Y.1322 – Velocidades binarias jerárquicas SDH

Nivel de jerarquía digital síncrona	Velocidad binaria jerárquica (kbit/s)
0	51 840
1	155 520
4	622 080
16	2 488 320
64	9 953 280
256	39 813 120
NOTA – La especificación de niveles superiores a 256 queda en estudio.	

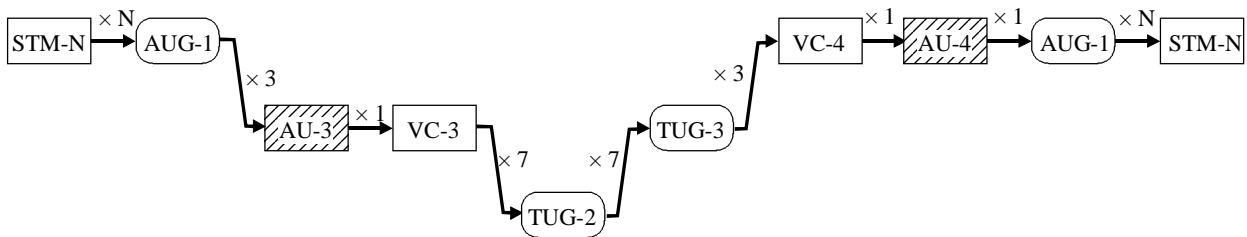
6.4 Interconexión de los STM-N

La SDH está concebida de manera que sea universal, permitiendo el transporte de una gran variedad de señales incluidas las especificadas en UIT-T G.702. Sin embargo, pueden utilizarse diferentes estructuras para el transporte de contenedores virtuales. Se aplicarán las siguientes reglas de interconexión:

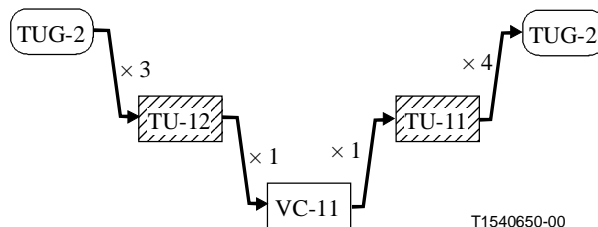
- Para interconectar dos AUG-1 basados en dos tipos diferentes de unidad administrativa, a saber, AU-4 y AU-3, la regla consistirá en utilizar la estructura de la AU-4. Por consiguiente, el AUG-1 basado en AU-3 será demultiplexado al nivel de VC-3 o TUG-2 de acuerdo con el tipo de cabida útil y remultiplexado dentro de un AUG-1 siguiendo la ruta TUG-3/VC-4/AU-4. Esto se ilustra en las figuras 6-9 a) y 6-9 b).
- Para interconectar los VC-11 transportados mediante tipos diferentes de unidad afluente, a saber, TU-11 y TU-12, la regla consistirá en utilizar la estructura de la TU-11. Esto se ilustra en la figura 6-9 c). VC-11, TU-11 y TU-12 se describen en las cláusulas que siguen.
- Para interconectar los VC-3/4 concatenados transportados mediante tipos diferentes de concatenación, a saber, contigua y virtual, la regla consistirá en utilizar la concatenación contigua a menos que los operadores que proporcionan el transporte convengan otra cosa mutuamente.



a) Interconexión de VC-3 con cabida útil de contenedor-3



b) Interconexión de TUG-2



c) Interconexión de VC-11

T1540650-00

Figura 6-9/G.707/Y.1322 – Interconexión de los STM-N

Esta regla de interconexión SDH no modifica las reglas de interfuncionamiento definidas en UIT-T G.802 para redes basadas en diferentes jerarquías digitales plesiócronas y leyes de codificación vocal.

6.5 Aleatorización

La señal STM-N (N=0, 1, 4, 16, 64, 256) debe tener suficiente contenido de temporización de bits en la interfaz de nodo de red (NNI). Mediante un aleatorizador se obtiene un esquema binario adecuado, que impide una secuencia larga de "1" y "0".

La señal STM-N (N=0, 1, 4, 16, 64, 256) se aleatorizará con un aleatorizador de trama síncrono de longitud de secuencia 127 que opera a la velocidad de línea.

El polinomio generador será $1 + X^6 + X^7$. En la figura 6-10 se muestra un diagrama funcional del aleatorizador de trama síncrono.

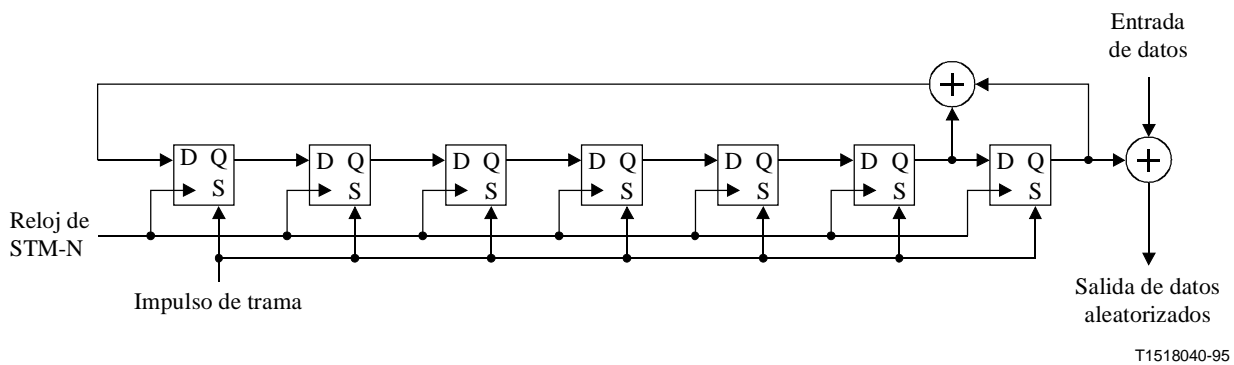


Figura 6-10/G.707/Y.1322 – Aleatorizador de trama síncrono (diagrama funcional)

El aleatorizador se reiniciará a "1111111" en el bit más significativo del byte que sigue al último byte de la primera fila de la tara de sección S (1,9,N) del STM-N. Este bit y los demás bits siguientes que deberán ser aleatorizados se sumarán en módulo 2 a la salida de la posición X^7 del aleatorizador. El aleatorizador funcionará continuamente en toda la trama STM-N.

La primera fila de la tara de sección (SOH) de STM-N (N ≤ 64) (9 × N bytes, 3 bytes para STM-0 incluidos los bytes de alineación de trama A1 y A2) no se aleatorizará.

NOTA 1 – Debe tenerse cuidado al seleccionar el contenido binario de los bytes Z0 y de los bytes reservados para uso nacional y que se excluyen del proceso de aleatorización de la señal STM-N a fin de asegurar que no se producirán secuencias largas de "1" ó "0".

Para la primera fila de los bytes de tara de sección (SOH) de STM-256 sólo S (1,3,193) [1,705] a S (1,4,64) [1,832] no se aleatorizarán.

NOTA 2 – El aleatorizador continuará funcionando durante las posiciones de trama antes citadas.

NOTA 3 – Por tanto, los bytes de tara de sección STM-256, S (1,1,1) [1,1] a S (1,3,192) [1,704] y S (1,4,65) [1,833] a S (1,9,256) [1,2304] se aleatorizarán con el aleatorizador funcionando desde el reinicio en la trama STM-256 anterior.

NOTA 4 – Para los bytes no utilizados de la fila 1 de la trama STM-256, debe utilizarse un esquema que permita suficientes transiciones y no haya un desequilibrio de corriente continua significativo tras la aleatorización.

6.6 Especificación física de la NNI

Las especificaciones de las características eléctricas de la NNI figuran en UIT-T G.703.

Las especificaciones de las características ópticas de la NNI figuran en UIT-T G.957 y G.691.

7 Método de multiplexación

7.1 Multiplexación de unidades administrativas (AU) en STM-N

7.1.1 Multiplexación de grupos de unidades administrativas (AUG) en STM-N

7.1.1.1 Multiplexación de un AUG-N en STM-N, N=(1, 4, 16, 64, 256)

El AUG-N es una estructura de 9 filas por $N \times 261$ columnas más $N \times 9$ bytes en la fila 4 (para los punteros de AU-n). El STM-N consta de una SOH que se describe en 9.2 y una estructura de 9 filas por $N \times 261$ columnas con $N \times 9$ bytes en la fila 4. El AUG-N es multiplexado en esta estructura y tiene una relación de fase fija con respecto al STM-N como muestra la figura 7-1.

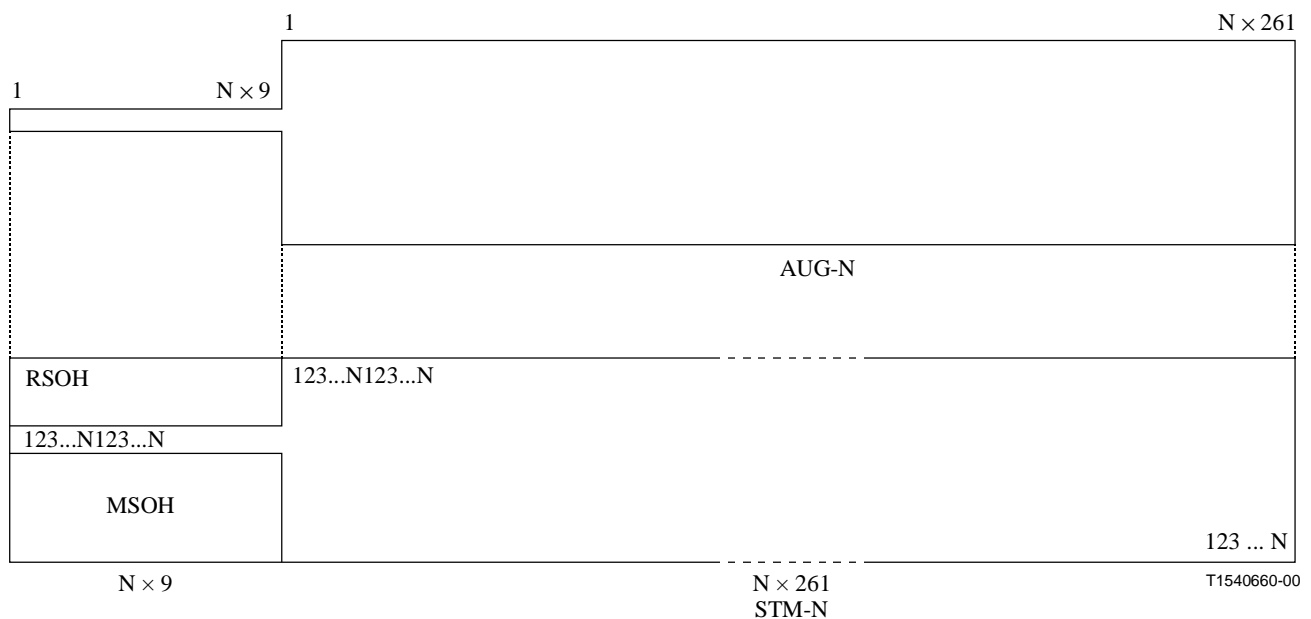


Figura 7-1/G.707/Y.1322 – Multiplexación de un AUG-N en STM-N

7.1.1.2 Multiplexación de AUG-N en AUG-4xN

La configuración de cuatro AUG-N multiplexados en el AUG-4xN se muestra en la figura 7-2. El AUG-N es una estructura de 9 filas por $N \times 261$ columnas más $N \times 9$ bytes en la fila 4 (para los punteros de AU-N). Los cuatro AUG-N están entrelazados por bloques en la estructura AUG-4 x N con una longitud de bloque de N bytes. Los AUG-N tienen una relación de fase fija con respecto al AUG-N x N.

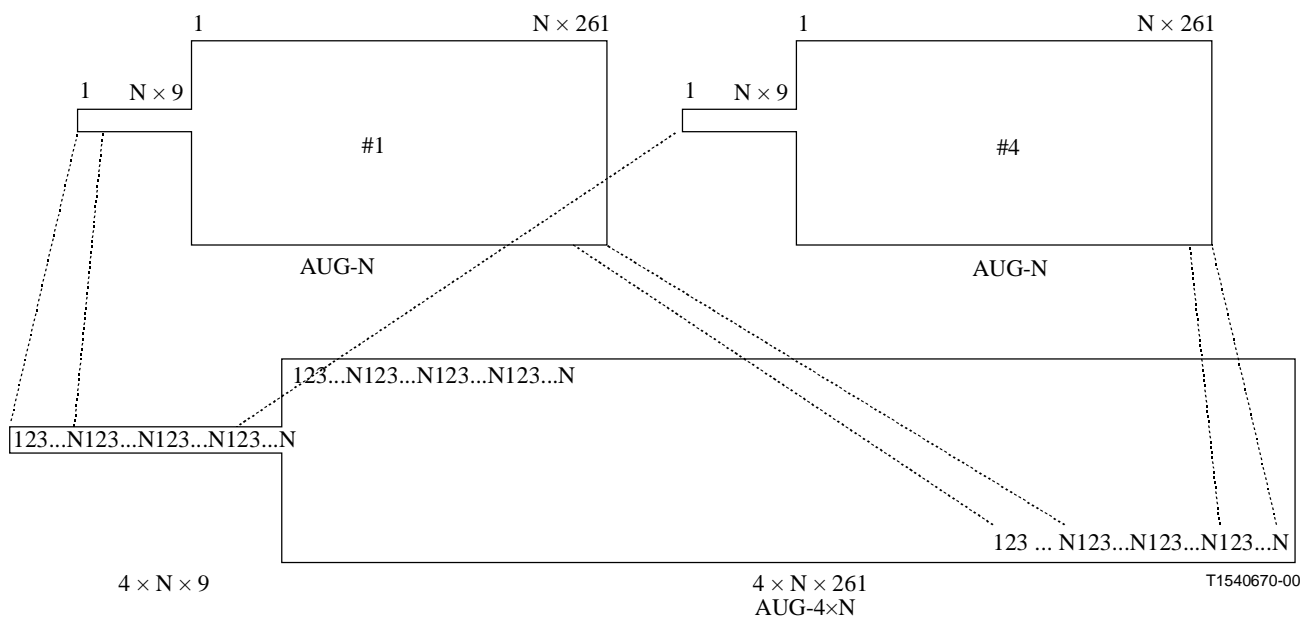
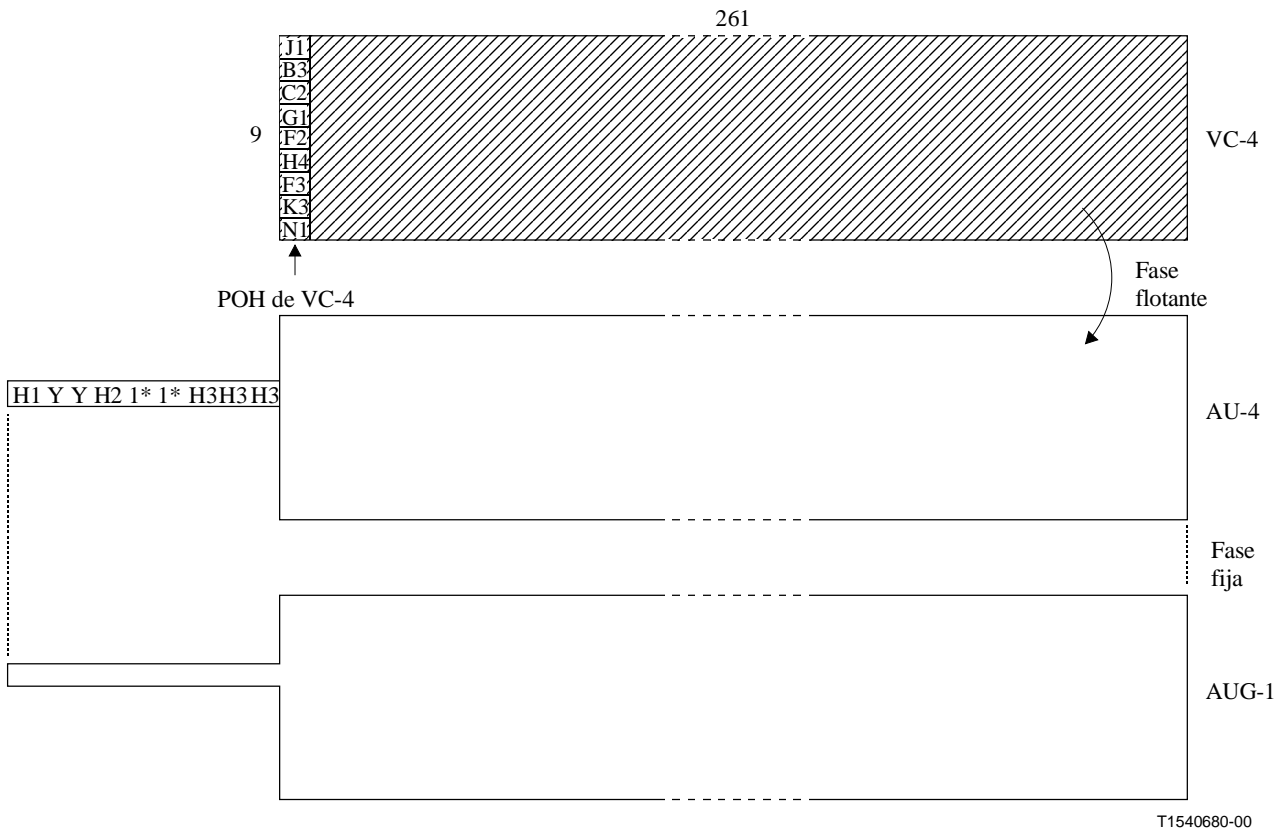


Figura 7-2/G.707/Y.1322 – Multiplexación de 4 AUG-N en AUG-4xN

7.1.2 Multiplexación de una AU-4 mediante el AUG-1

La configuración de multiplexación de una sola AU-4 mediante el AUG-1 se describe en la figura 7-3. Los nueve bytes del comienzo de la fila 4 se asignan al puntero de la AU-4. El resto de las 9 filas por 261 columnas se asignan al contenedor virtual-4 (VC-4). La fase del VC-4 no es fija con relación a la AU-4. La ubicación del primer byte del VC-4 con respecto al puntero de AU-4 viene dado por el valor del puntero. La AU-4 se sitúa directamente en el AUG-1.



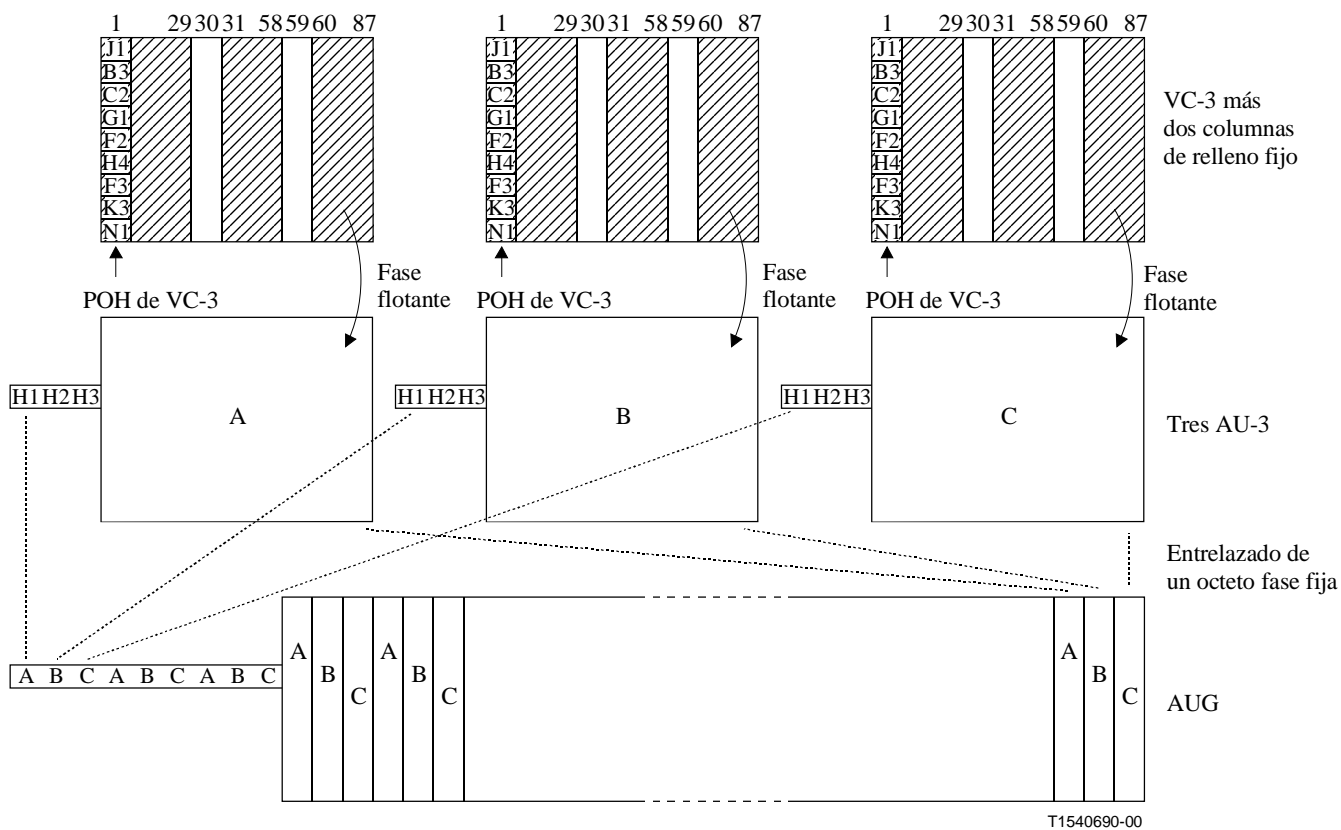
1* Octeto todos 1
 Y 1001 SS11 (bits S sin especificar)

T1540680-00

Figura 7-3/G.707/Y.1322 – Multiplexación de una AU-4 mediante AUG-1

7.1.3 Multiplexación de las AU-3 mediante el AUG-1

La configuración de multiplexación de tres AU-3 mediante el AUG-1 se describe en la figura 7-4. Los tres bytes del comienzo de la fila 4 se asignan al puntero de la AU-3. El resto de las 9 filas por 87 columnas se asignan al contenedor virtual-3 (VC-3), más dos columnas de relleno fijo. El byte de cada fila de las dos columnas de relleno fijo de cada AU-3 será el mismo. La fase del VC-3 y las dos columnas del relleno fijo no es fija con relación a la AU-3. La ubicación del primer byte del VC-3 con respecto al puntero de la AU-3 viene dada por el valor del puntero. Las tres AU-3 están entrelazadas por bytes simples en el AUG-1.

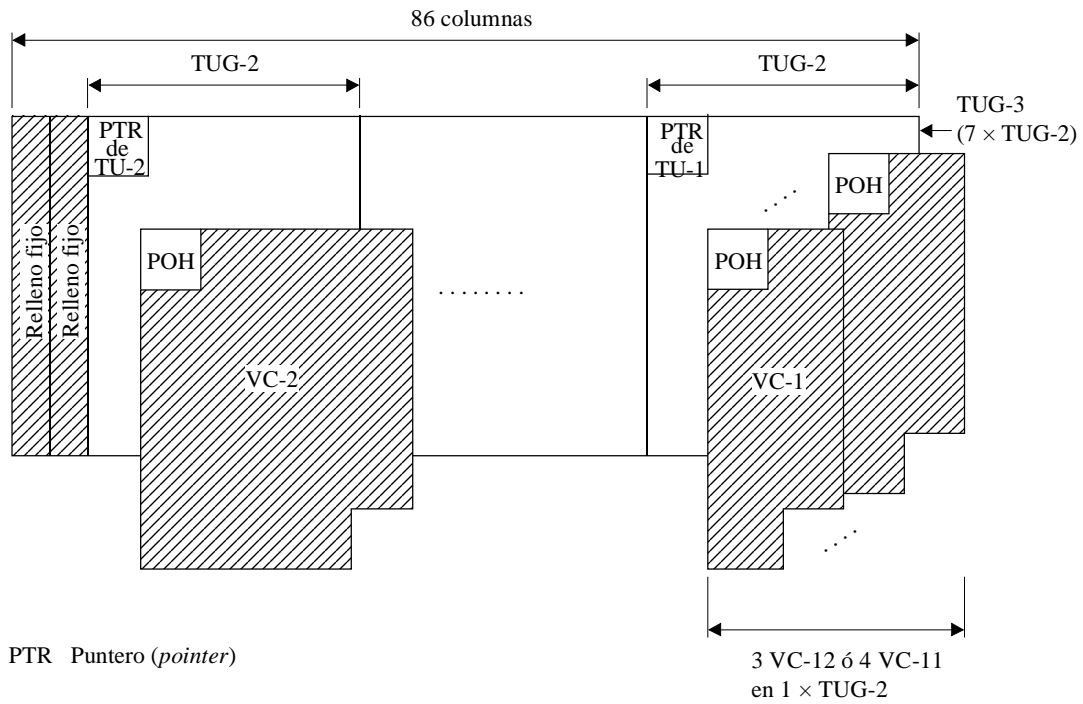


NOTA – El octeto de cada fila de las dos columnas de relleno fijo de cada AU-3 será el mismo.

Figura 7-4/G.707/Y.1322 – Multiplexación de las AU-3 mediante AUG-1

7.1.4 Multiplexación de una AU-3 en STM-0

La AU-3 es una estructura de 9 filas por 87 columnas más 3 bytes en la fila 4 (para los punteros de AU-3). El STM-0 consta de una SOH que se describe en 9.2 y una estructura de 9 filas por 87 columnas con 3 bytes en la fila 4 (para los punteros de AU-3). La AU-3 es multiplexada en esta estructura y tiene una relación de fase fija con respecto al STM-0 como muestra la figura 7-5.

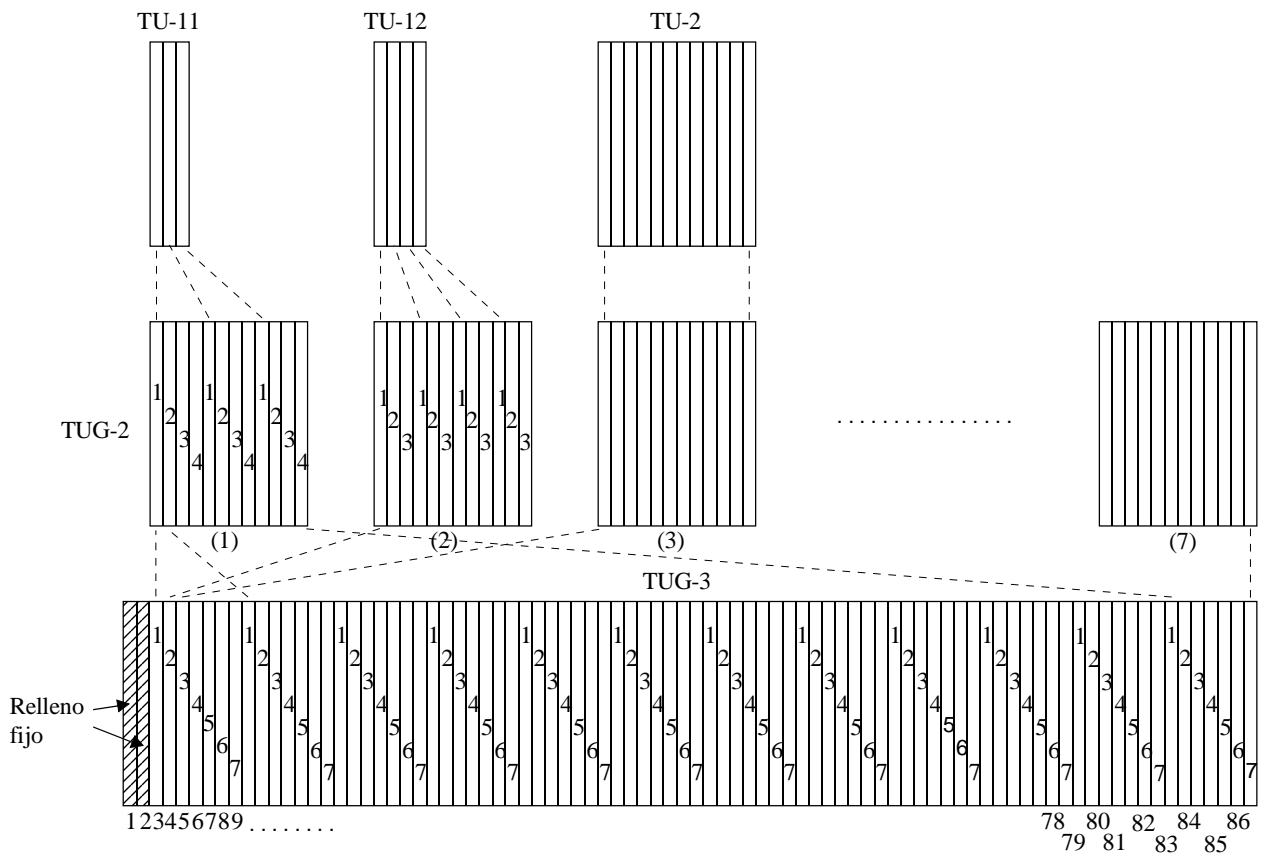


T1518100-95

Figura 7-8/G.707/Y.1322 – Multiplexación de siete TUG-2 mediante un TUG-3

Mediante el TUG-3 puede multiplexarse un grupo de siete TUG-2.

La configuración de siete TUG-2 multiplexados mediante un TUG-3 se describe en la figura 7-9. Los TUG-2 están entrelazados por bytes simples en el TUG-3.



T1518110-95

Figura 7-9/G.707/Y.1322 – Multiplexación de siete TUG-2 mediante un TUG-3

7.2.4 Multiplexación de los TUG-2 en un VC-3

En la figura 7-10 se describe la estructura múltiple para los TUG-2 en un VC-3. El VC-3 consta de una POH de VC-3 o de una estructura de cabida útil de 9 filas por 84 columnas. En el VC-3 puede multiplexarse un grupo de siete TUG-2.

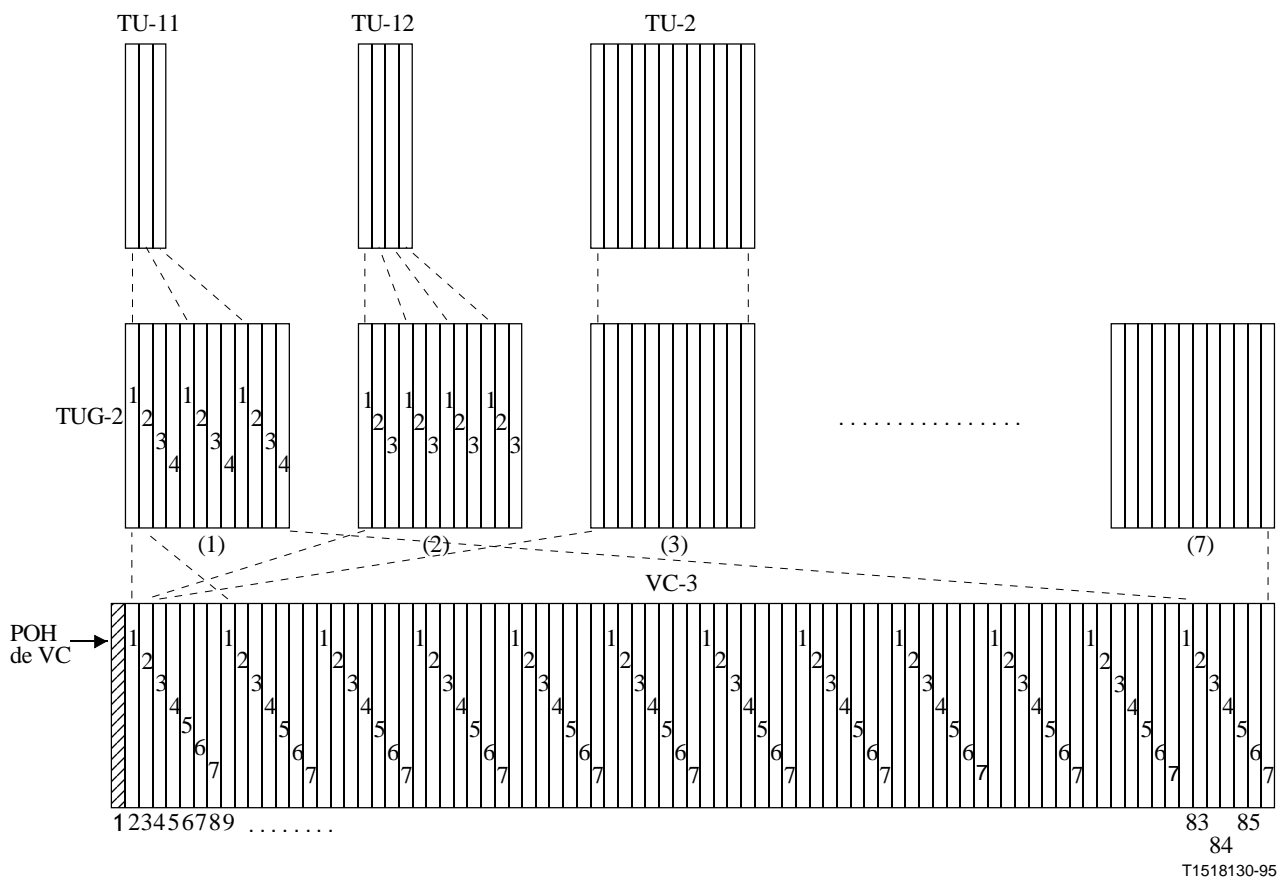


Figura 7-11/G.707/Y.1322 – Multiplexación de siete TUG-2 en un VC-3

7.2.5 Multiplexación de la TU-2 mediante los TUG-2

La configuración de multiplexación de una sola TU-2 mediante el TUG-2 se describe en la figura 7-11.

7.2.6 Multiplexación de las TU-1 mediante los TUG-2

Las configuraciones de multiplexación de cuatro TU-11 o tres TU-12 mediante el TUG-2 se describen en la figura 7-11. Las TU-1 están entrelazadas por objetos simples en el TUG-2.

7.3 Esquema de numeración de AU-n/TU-n

Una trama STM-N comprende $N \times 270$ columnas (numeradas de 1 a $N \times 270$). Las $N \times 9$ primeras columnas contienen la SOH y uno o más punteros de AU-4/AU-4-Xc y las 261 columnas restantes contienen la cabida útil de datos de orden superior (afluente de orden superior).

Las columnas de cabida útil de orden superior pueden ser direccionadas por medio de una dirección de dos (B,A), tres (C,B,A), cuatro (D,C,B,A) o cinco (E,D,C,B,A) cifras, donde A representa el número de la AU-3, B el número del AUG-1, C el número del AUG-4, y D el número del AUG-16 y E el número del AUG-64. Véanse las figuras 7-12 a 7-25.

En el caso de una trama estructurada AU-4, las columnas de cabida útil pueden ser direccionadas mediante una dirección de tres cifras (K, L, M), donde K representa el número del TUG-3, L el número del TUG-2 y M el número de la TU-1. Véanse las figuras 7-27 y 7-28 y el cuadro 7-1. En el caso de una trama estructurada como AU-3, sólo se utilizan las coordenadas L y M. Véanse la figura 7-29 y el cuadro 7-2.

Una manera sencilla y conveniente de determinar la capacidad afluente total, es decir, el número de afluentes de orden inferior proporcionados, consiste en asignar a las columnas de cabida útil un número de intervalo de tiempo. El número de intervalos de tiempo por afluente de cada trama viene determinado por la configuración de la cabida útil.

Los intervalos de tiempo (TS) AU se numeran de izquierda a derecha en STM-N como se indica en las figuras 7-12 a 7-26.

Los intervalos de tiempo (TS, *time slots*) TU se numeran de izquierda a derecha en el VC-4/VC-3, como se muestra en las figuras 7-27 a 7-29. Por ejemplo, en un VC-4, el TS1 de una TU-12 comienza en la columna 10, el TS2 en la columna 11 y así sucesivamente hasta el TS63 que está en la columna 72. En un VC-3, el TS1 de una TU-11 comienza en la columna 2, el TS2 en la columna 3 ... y el TS28 en la columna 29.

7.3.1 Numeración de las AU-n (VC-n) en un STM-256

El STM-256 puede comprender cuatro AUG-64, que se numerarán #1 a #4:

- El AUG-64 #1 se halla en las columnas 1...64, 257...320, 513...576, etc. del STM-256.
- El AUG-64 #2 se halla en las columnas 65...128, 321...384, 577...640, etc. del STM-256.
- El AUG-64 #3 se halla en las columnas 129...192, 385...448, 641...704, etc. del STM-256.
- El AUG-64 #4 se halla en las columnas 193...256, 449...512, 705...768, etc. del STM-256.

Cada AUG-64 puede comprender cuatro AUG-16, que se numerarán #1 a #4. Cada AUG-16 puede comprender cuatro AUG-4, que se numerarán #1 a #4. Cada AUG-4 puede comprender cuatro AUG-1, que se numerarán #1 a #4. Cada AUG-1 puede comprender tres AU-3, que se numerarán #1 a #3.

7.3.1.1 Numeración de las AU-4 (VC-4) en un STM-256

A cualquier AU-4 se le puede asignar un número de la forma #E, #D, #C, #B, #A, donde E designa el número del AUG-64 (1 a 4), D designa el número del AUG-16 (1 a 4), C designa el número del AUG-4 (1 a 4), B designa el número del AUG-1 (1 a 4), y A es siempre 0 (véase la figura 7-12). La ubicación en el STM-64 de las columnas ocupadas por la AU-4 (E,D,C,B,0) viene dada por:

X-ésima columna = $1 + 64*[E-1] + 16*[D-1] + 4*[C-1] + [B-1] + 256*[X-1]$ para X = 1 a 270.

Por tanto, la AU-4 (1,1,1,1,0) reside en las columnas 1, 257, 513, 767,... 68 865 del STM-256, y la AU-4 (4,4,4,4,0) reside en las columnas 256, 512, 768 , ..., 96 120 del STM-256.

7.3.1.2 Numeración de las AU-3 (VC-3) en un STM-256

A cualquier AU-3 se le puede asignar un número de la forma #E, #D, #C, #B, #A, donde E designa el número del AUG-64 (1 a 4), D designa el número del AUG-16 (1 a 4), C designa el número del AUG-4 (1 a 4), B designa el número del AUG-1 (1 a 4), y A designa el número de la AU-3 (1 a 3) (véase la figura 7-13). La ubicación en el STM-256 de las columnas ocupadas por la AU-4 (E,D,C,B,A) viene dada por:

X -ésima columna = $1 + 192*[E-1] + 48*[D-1] + 12*[C-1] + 3*[B-1] + [A-1] + 768*[X-1]$
para $X = 1$ a 90.

Por tanto, la AU-3 (1,1,1,1,1) reside en las columnas 1, 769, 1537, 2305, ... 68 353 del STM-256, y la AU-3 (4,4,4,4,3) reside en las columnas 768, 1536, 2304, ... 69 120 del STM-256.

7.3.1.3 Numeración de las AU-4-4c (VC-4-4c) en un STM-256

A cualquier AU-4-4c se le puede asignar una dirección de cinco cifras de la forma #E, #D, #C, #B, #A, donde E designa el número del AUG-64 (1 a 4), D designa el número del AUG-16 (1 a 4), C designa el número del AUG-4 (1 a 4), y B y A son siempre 0 (véase la figura 7-14). La ubicación en el STM-256 de las columnas ocupadas por la AU-4-4c (E,D,C,0,0) viene dada por:

X-ésima columna = $[X \bmod 4] + 64 * [E-1] + 16 * [D-1] + 4 * [C-1] + 256 * [X \text{ DIV } 4]$ para X = 1 a 1080.

Por tanto, la AU-4-4c (1,1,1,0,0) reside en las columnas 1,2,3,4, 257,258,259,260, 513,514,515,516, ... 68 865,68 866,68 867,68 868 del STM-256, y la AU-4-4c (4,4,4,0,0) reside en las columnas 253,254,255,256, 509,510,511,512, 765,766,767,768, ... 69 117,69 118,69 119,69 120 del STM-256.

7.3.1.4 Numeración de las AU-4-16c (VC-4-16c) en un STM-256

A cualquier AU-4-16c se le puede asignar una dirección de cinco cifras de la forma #E, #D, #C, #B, #A, donde E designa el número del AUG-64 (1 a 4), D designa el número del AUG-16 (1 a 4), C, B y A son siempre 0 (véase la figura 7-15). La ubicación en el STM-256 de las columnas ocupadas por la AU-4-16c (E,D,0,0,0) viene dada por:

X-ésima columna= $[X \text{ mod } 16] + 64*[E-1] + 16*[D-1] + 256*[X \text{ DIV } 16]$ para X = 1 a 4320.

Por tanto, la AU-4-16c (1,1,0,0,0) reside en las columnas 1...16, 257...272, ..., 68 865...68 880 del STM-64, y la AU-4-16c (4,4,0,0,0) reside en las columnas 241...256, 497...512, ..., 69 105...69 120 del STM-64.

7.3.1.5 Numeración de las AU-4-64c (VC-4-64c) en un STM-256

A cualquier AU-4-64c se le puede asignar una dirección de cinco cifras de la forma #E, #D, #C, #B, #A, donde E designa el número del AUG-64 (1 a 4), D, C, B y A son siempre 0 (véase la figura 7-16). La ubicación en el STM-256 de las columnas ocupadas por la AU-4-64c (E,0,0,0,0) viene dada por:

X-ésima columna = $[X \bmod 64] + 64*[E-1] + 256*[X \text{ DIV } 64]$ para X = 1 a 17 280.

Por tanto, la AU-4-16c (1,0,0,0,0) reside en las columnas 1...64, 257...321, ..., 68 865...68 928 del STM-256, y la AU-4-16c (4,0,0,0,0) reside en las columnas 193...256, 449...512, ..., 69 057...69 120 del STM-256.

7.3.1.6 Numeración de una AU-4-256c en un STM-256

Hay una AU-4-256c en una señal STM-256. Esta señal no necesita número, pero puede designarse por (0,0,0,0,0).

7.3.2 Numeración de las AU-n (VC-n) en un STM-64

El STM-64 puede comprender cuatro AUG-16, que se numerarán #1 a #4:

- El AUG-16 #1 se halla en las columnas 1...16, 65...80, 129...144, etc. del STM-64.
- El AUG-16 #2 se halla en las columnas 17...32, 81...96, 145...160, etc. del STM-64.
- El AUG-16 #3 se halla en las columnas 33...48, 97...112, 161...176, etc. del STM-64.
- El AUG-16 #4 se halla en las columnas 49...64, 113...128, 177...192, etc. del STM-64.

Cada AUG-16 puede comprender cuatro AUG-4, que se numerarán #1 a #4. Cada AUG-4 puede comprender cuatro AUG-1, que se numerarán #1 a #4. Cada AUG-1 puede comprender tres AUG-3, que se numerarán #1 a #3.

7.3.2.1 Numeración de las AU-4 (VC-4) en un STM-64

A cualquier AU-4 se le puede asignar un número de la forma #D, #C, #B, #A, donde D designa el número del AUG-16 (1 a 4), C designa el número del AUG-4 (1 a 4), B designa el número del AUG-1 (1 a 4), y A es siempre 0 (véase la figura 7-17). La ubicación en el STM-64 de las columnas ocupadas por la AU-4 (D,C,B,0) viene dada por:

$$X\text{-ésima columna} = 16*[D-1] + 4*[C-1] + [B-1] + 64*[X-1] \quad \text{para } X = 1 \text{ a } 270.$$

Por tanto, la AU-4 (1,1,1,0) reside en las columnas 1, 65, 129, 193,.. 17 217 del STM-64, y la AU-4 (4,4,4,0) reside en las columnas 64, 128, 192,..,17 280 del STM-64.

7.3.2.2 Numeración de las AU-3 (VC-3) en un STM-64

A cualquier AU-3 se le puede asignar un número de la forma #D, #C, #B, #A, donde D designa el número del AUG-16 (1 a 4), C designa el número del AUG-4 (1 a 4), B designa el número del AUG-1 (1 a 4) y A designa el número de la AU-3 (1 a 3) (véase la figura 7-18). La ubicación en el STM-64 de las columnas ocupadas por la AU-3 (D,C,B,A) viene dada por:

X-ésima columna= $1 + 48*[D-1] + 12*[C-1] + 3*[B-1] + [A-1] + 192*[X-1]$ para X = 1 a 90.

Por tanto, la AU-3 (1,1,1,1) reside en las columnas 1, 193, 385, 577, ... 17 089 del STM-64, y la AU-3 (4,4,4,3) reside en las columnas 192, 384, 576 ..., 17 280 del STM-64.

7.3.2.3 Numeración de las AU-4-4c (VC-4-4c) en un STM-64

A cualquier AU-4-4c se le puede asignar una dirección de cinco cifras de la forma #D, #C, #B, #A, donde D designa el número del AUG-16 (1 a 4), C designa el número del AUG-4 (1 a 4), y B y A son siempre 0 (véase la figura 7-19). La ubicación en el STM-64 de las columnas ocupadas por la AU-4-4c (D,C,0,0) viene dada por:

X-ésima columna = $[X \bmod 4] + 16*[D-1] + 4*[C-1] + 64*[X \text{ DIV } 4]$ para X = 1 a 1080.

Por tanto, la AU-4-4c (1,1,0,0) reside en las columnas 1,2,3,4, 65,66,67,68, 129,130,131,132, ..., 17 217,17 218, 17 219,17 220 del STM-64, y la AU-4-4c (4,4,0,0) reside en las columnas 61,62,63,64, 125,126,127,128, ..., 17 277,17 278,17 279,17 280 del STM-64.

7.3.2.4 Numeración de las AU-4-16c (VC-4-16c) en un STM-64

A cualquier AU-4-16c se le puede asignar una dirección de cinco cifras de la forma #D, #C, #B, #A, donde D designa el número del AUG-16 (1 a 4), C, B y A son siempre 0 (véase la figura 7-20). La ubicación en el STM-64 de las columnas ocupadas por la AU-4-16c (D,0,0,0) viene dada por:

X-ésima columna = $[X \bmod 16] + 16*[D-1] + 64*[X \text{ DIV } 16]$ para X = 1 a 4320.

Por tanto, la AU-4-16c (1,0,0,0) reside en las columnas 1...16, 65...80, ..., 17 205...17 220 del STM-64, y la AU-4-16c (4,0,0,0) reside en las columnas 49...64, 113...128, ..., 17 265...17 280 del STM-64.

7.3.3.4 Numeración de una AU-4-16c en un STM-16

Hay una AU-4-16c en una señal STM-15. Esta señal no necesita número, pero puede designarse por (0,0,0).

7.3.4 Numeración de las AU-4n (VC-4n) en un STM-4

El STM-4 puede comprender cuatro AUG-1, que se numerarán #1 a #4:

- El AUG-1 #1 se halla en las columnas 1, 5, 9, etc. del STM-4.
- El AUG-1 #2 se halla en las columnas 2, 6, 10, etc. del STM-4.
- El AUG-1 #3 se halla en las columnas 3, 7, 11, etc. del STM-4.
- El AUG-1 #4 se halla en las columnas 4, 8, 12, etc. del STM-4.

Cada AUG-1 puede comprender tres AUG-3, que se numerarán #1 a #3.

7.3.4.1 Numeración de las AU-4 (VC-4) en un STM-4

A cualquiera AU-4 se le puede asignar un número de la forma #B, #A, donde B designa el número AUG-1 (1 a 4), y A es siempre 0 (véase la figura 7-24). La ubicación en el STM-4 de las columnas ocupadas por la AU-4 (B,0) viene dada por:

$$X\text{-ésima columna} = 1 + [B-1] + 4*[X-1] \quad \text{para } X = 1 \text{ a } 270.$$

Por tanto, la AU-4 (1,0) reside en las columnas 1, 5, 9, ..., 1077 del STM-4, y la AU-4 (4,0) reside en las columnas 4, 8, 12, ... 1080 del STM-4.

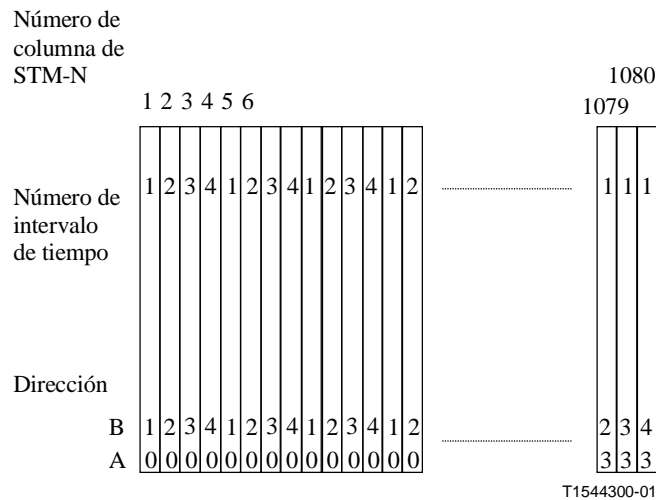


Figura 7-24/G.707/Y.1322 – Esquema de numeración de AU-4 en la fila de punteros de AU y en las columnas de cabida útil de un STM-4

7.3.4.2 Numeración de las AU-3 (VC-3) en un STM-4

A cualquier AU-3 se le puede asignar un número de la forma #B, #A, donde B designa el número del AUG-1 (1 a 4), y A designa el número de la AU-3 (1 a 3) (véase la figura 7-25). La ubicación en el STM-4 de las columnas ocupadas por la AU-3 (B,A) viene dada por:

$$X\text{-ésima columna} = 1 + 3*[B-1] + [A-1] + 12*[X-1] \quad \text{para } X = 1 \text{ a } 90.$$

Por tanto, la AU-3 (1,1) reside en las columnas 1, 13, 25, ..., 1069 del STM-4, y la AU-4 (4,3) reside en las columnas 12, 24, 36, ... 1080 del STM-4.

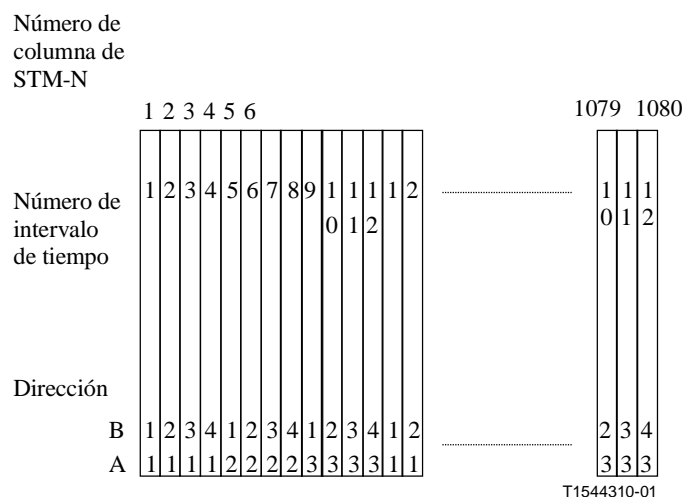


Figura 7-25/G.707/Y.1322 – Esquema de numeración de AU-3 en la fila de punteros de AU y en las columnas de cabida útil de un STM-64

7.3.4.3 Numeración de una AU-4-4c en un STM-4

Hay una AU-4-4c en una señal STM-4. Esta señal no necesita número, pero puede designarse por (0,0).

7.3.5 Numeración de una AU-n (VC-n) en una señal STM-1

7.3.5.1 Numeración de una AU-4 (VC-4) en una señal STM-1

Hay una AU-4 (VC-4) en una señal STM-1. Esta señal no necesita número, pero puede designarse por (0).

7.3.5.2 Numeración de una AU-3 (VC-3) en una señal STM-0

A cualquiera AU-3 se le puede asignar un número de la forma #A, donde A designa el número AU-3 (1 a 3), véase la figura 7-26. La ubicación en el STM-1 de las columnas ocupadas por la AU-3 (A) viene dada por:

$$X\text{-ésima columna} = 1 + [A-1] + 3*[X-1] \quad \text{para } X = 1 \text{ a } 90.$$

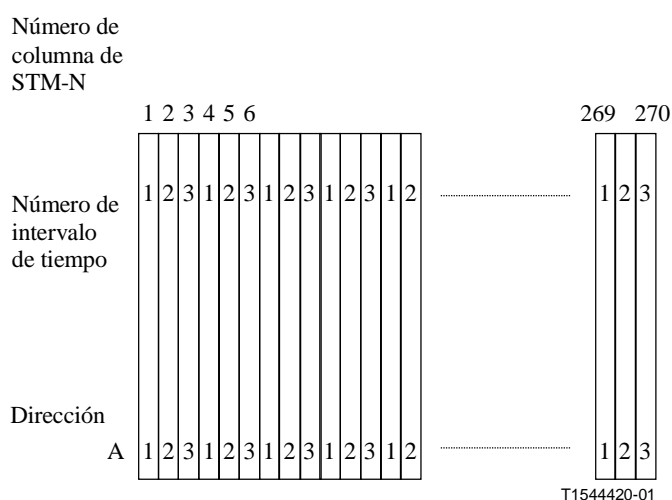


Figura 7-26/G.707/Y.1322 – Esquema de numeración de AU-3 en la fila de punteros de AU y en las columnas de cabida útil de un STM-4

7.3.6 Numeración de una AU-3 (VC-3) en una señal STM-0

Hay una AU-3 (VC-3) en una señal STM-0. Esta señal no necesita número, pero puede designarse por (0).

7.3.7 Numeración de las TU-3 en un VC-4

El VC-4 puede comprender tres TUG-3, que se numerarán #1, #2 y #3.

- El TUG-3 #1 [correspondiente a TUG-3 (A) en la figura 7-6] se halla en las columnas 4, 7, 10, ..., 259 del VC-4.
- El TUG-3 #2 [correspondiente a TUG-3 (B) en la figura 7-6] se halla en las columnas 5, 8, 11, ..., 260 del VC-4.
- El TUG-3 #3 [correspondiente a TUG-3 (C) en la figura 7-6] se halla en las columnas 6, 9, 12, ..., 261 del VC-4.

Cada TUG-3 puede comprender una TU-3.

Así pues, a cualquier TU-3 se le puede atribuir una dirección de tres cifras de la forma #K, #L, #M, donde K designa el número del TUG-3 (1 a 3) y L y M son siempre 0. La ubicación en el VC-4 de las columnas ocupadas por TU-3 (K, 0, 0) viene dada por la fórmula:

$$X\text{-ésima columna} = 4 + [K-1] + 3*[X-1] \quad \text{para } X = 1 \text{ a } 86.$$

Es decir, la TU-3 (1, 0, 0) reside en las columnas 4, 7, 10, ..., 259 del VC-4 y la TU-3 (3, 0, 0) reside en las columnas 6, 9, 12, ..., 261 del VC-4.

7.3.8 Numeración de las TU-2 en un VC-4

Cada TUG-3 puede comprender siete TUG-2, que se numerarán de #1 a #7 y cada TUG-2 puede comprender una TU-2.

Así pues, a cualquier TU-2 se le puede asignar una dirección de tres cifras de la forma #K, #L, #M, donde K designa el número de TUG-3 (1 a 3), L designa el número de TUG-2 (1 a 7) y M siempre es 0. La ubicación en el VC-4 de las columnas ocupadas por la TU-2 (K, L, 0) viene dada por la fórmula:

$$X\text{-ésima columna} = 10 + [K-1] + 3*[L-1] + 21*[X-1] \quad \text{para } X = 1 \text{ a } 12.$$

Es decir, la TU-2 (1,1,0) reside en las columnas 10, 31, 52, 73, 94, 115, 136, 157, 178, 199, 220 y 241 del VC-4 y la TU-2 (3,7,0) reside en las columnas 30, 51, 72, 93, 114, 135, 156, 177, 198, 219, 240 y 261 del VC-4. En el apéndice I se da un listado completo de la ubicación de las columnas de la TU-2 en la trama del VC-4.

7.3.9 Numeración de las TU-12 en un VC-4

Cada TUG-3 puede comprender siete TUG-2 que se numerarán de #1 a #7 y cada TUG-2 puede comprender tres TU-12 que se numerarán de #1 a #3.

Así pues, a cualquier TU-12 se le puede asignar un número de la forma #K, #L, #M, donde K designa el número del TUG-3 (1 a 3), L designa el número del TUG-2 (1 a 7) y M designa el número de la TU-12 (1 a 3). La ubicación en el VC-4 de las columnas ocupadas por la TU-12 (K,L,M) viene dada por la fórmula:

$$X\text{-ésima columna} = 10 + [K-1] + 3*[L-1] + 21*[M-1] + 63*[X-1] \quad \text{para } X = 1 \text{ a } 4.$$

Es decir, la TU-12 (1,1,1) reside en las columnas 10, 73, 136 y 199 del VC-4 y la TU-12 (3,7,3) reside en las columnas 72, 135, 198 y 261 del VC-4. En el apéndice II se da un listado completo de la ubicación de las columnas de la TU-12 en la trama del VC-4.

7.3.10 Numeración de las TU-11 en un VC-4

Cada TUG-3 puede comprender siete TUG-2 que se numerarán de #1 a #7 y cada TUG-2 puede comprender cuatro TU-11 que se numerarán de #1 a #4.

Así pues, a cualquier TU-11 se le puede asignar un número de la forma #K, #L, #M, donde K designa el número del TUG-3 (1 a 3), L designa el número del TUG-2 (1 a 7) y M designa el número de la TU-11 (1 a 4). La ubicación de las columnas ocupadas en el VC-4 por la TU-11 (K,L,M) viene dada por la fórmula:

$$X\text{-ésima columna} = 10 + [K-1] + 3*[L-1] + 21*[M-1] + 84*[X-1] \quad \text{para } X = 1 \text{ a } 3$$

Es decir, la TU-11 (1,1,1) reside en las columnas 10, 94 y 178 del VC-4 y la TU-11 (3,7,4) reside en las columnas 93, 177 y 261 del VC-4. En el apéndice III se da un listado completo de la ubicación de las columnas de la TU-11 en la trama del VC-4.

7.3.11 Numeración de las TU-2 en un VC-3

Como se ve en las figuras 7-9 y 7-10, un VC-3 puede comprender siete TUG-2, que se numerarán de #1 a #7. Cada TUG-2 puede comprender una TU-2.

Así pues, a cualquier TU-2 se le puede asignar una dirección de dos cifras de la forma #L, #M, donde L designa el número del TUG-2 (1 a 7) y M es siempre 0. La ubicación de las columnas ocupadas en el VC-3 por la TU-2 (L, 0) viene dada por la fórmula:

$$X\text{-ésima columna} = 2 + [L-1] + 7*[X-1] \quad \text{para } X = 1 \text{ a } 12$$

Es decir, la TU-2 (1,0) reside en las columnas 2, 9, ... y 79 del VC-3, y la TU-2 (7, 0) reside en las columnas 8, 15, ... y 85 del VC-3. En el apéndice IV aparece un listado completo de la ubicación de las columnas de la TU-2 en la trama del VC-3.

7.3.12 Numeración de las TU-12 en un VC-3

Cada TUG-2 puede comprender tres TU-12, que se numerarán de #1 a #3.

Así pues, a cualquier TU-12 se le puede asignar una dirección de dos cifras de la forma #L, #M, donde L designa el número del TUG-2 (1 a 7) y M designa el número de la TU-12 (1 a 3). La ubicación en el VC-3 de las columnas ocupadas por la TU-12 (L, M) viene dada por la fórmula:

$$X\text{-ésima columna} = 2 + [L-1] + 7*[M-1] + 21*[X-1] \quad \text{para } X = 1 \text{ a } 4$$

Es decir, la TU-12 (1,1) reside en las columnas 2, 23, 44 y 65 del VC-3, y la TU-12 (7,3) reside en las columnas 22, 43, 64 y 85 del VC-3. En el apéndice V aparece un listado completo de la ubicación de las columnas de la TU-12 en la trama del VC-3.

7.3.13 Numeración de las TU-11 en un VC-3

Cada TUG-2 puede comprender cuatro TU-11, que se enumerarán de #1 a #4.

Así pues, a cualquier TU-11 se le puede asignar una dirección de dos cifras de la forma #L, #M, donde L designa el número del TUG-2 (1 a 7) y M designa el número de la TU-11 (1 a 4). La ubicación en el VC-3 de las columnas ocupadas por la TU-11 (L, M) viene dada por la fórmula:

$$X\text{-ésima columna} = 2 + [L-1] + 7*[M-1] + 28*[X-1] \quad \text{para } X = 1 \text{ a } 3$$

Es decir, la TU-11 (1,1) reside en las columnas 2, 30 y 58 del VC-3, y la TU-11 (7,4) reside en las columnas 29, 57 y 85 del VC-3. En el apéndice VI aparece un listado completo de la ubicación de las columnas de la TU-11 en la trama del VC-3.

NOTA – El número de intervalo de tiempo contenido en las figuras 7-26 a 7-28 no debe interpretarse como el número de puerto de afluente.

A una señal afluente externa se le puede asignar una capacidad de cabida útil particular utilizando una función de conexión.

Por ejemplo, al nivel de VC-12:

- Afluente #1 - TU-12 (1,1,1)
- Afluente #2 - TU-12 (1,1,2)
- Afluente #3 - TU-12 (1,1,3)
- Afluente #4 - TU-12 (1,2,1)
- :
- Afluente #63 - TU-12 (3,7,3)

		2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32	34	36	38	40	42	44	46	48	50	52	54	56	58	60	62	64	66	68	70	72	80	82	84	Número de columna de VC-3																																							
		1	3	5	7	9	11	13	15	17	19	21	23	25	27	29	31	33	35	37	39	41	43	45	47	49	51	53	55	57	59	61	63	65	67	69	71	73	81	83	85	Número de intervalo de tiempo																																						
POH de VC-3	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	2	3	4	5	6	7																														
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	2	3	4	5	6	7																									
																																																																														L	M	Dirección

Esquema de numeración de TU-2

		2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32	34	36	38	40	42	44	46	48	50	52	54	56	58	60	62	64	66	68	70	72	80	82	84	Número de columna de VC-3																																							
		1	3	5	7	9	11	13	15	17	19	21	23	25	27	29	31	33	35	37	39	41	43	45	47	49	51	53	55	57	59	61	63	65	67	69	71	73	81	83	85	Número de intervalo de tiempo																																						
POH de VC-3	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	1	2	3	4	5	6	7	8	9	16	17	18	19	20	21																							
	1	1	1	1	1	1	1	2	2	2	2	2	2	2	3	3	3	3	3	3	3	3	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	2	3	4	5	6	7																						
																																																																														L	M	Dirección

Esquema de numeración de TU-12

		2	4	6	8	10	12	14	16	18	20	22	24	26	28	30	32	34	36	38	40	42	44	46	48	50	52	54	56	58	60	62	64	66	68	70	72	80	82	84	Número de columna de VC-3																																							
		1	3	5	7	9	11	13	15	17	19	21	23	25	27	29	31	33	35	37	39	41	43	45	47	49	51	53	55	57	59	61	63	65	67	69	71	73	81	83	85	Número de intervalo de tiempo																																						
POH de VC-3	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	1	2	3	4	5	6	7	8	9	23	24	25	26	27	28																					
	1	1	1	1	1	1	1	2	2	2	2	2	2	2	3	3	3	3	3	3	3	3	4	4	4	4	4	4	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	3	4	5	6	7	1	2	3	4	5	6	7	2	3	4	5	6	7																		
																																																																														L	M	Dirección

Esquema de numeración de TU-11

T1522970-96

Figura 7-29/G.707/Y.1322 – Esquema de numeración de TU-2, TU-12 y TU-11 dentro de un VC-3

Cuadro 7-1/G.707/Y.1322 – Asignación de la capacidad de TU-n a los intervalos de tiempo dentro de un VC-4

Dirección #					Dirección #					Dirección #				
TU-3	TU-2	TU-12	TU-11	TS#	TU-3	TU-2	TU-12	TU-11	TS#	TU-3	TU-2	TU-12	TU-11	TS#
100	110	111	111	1	200	210	211	211	2	300	310	311	311	3
		112	112	22			212	212	23			312	312	24
		113	113	43			213	213	44			313	313	45
		114	114	64			214	214	65			314	314	66
	120	121	121	4		220	221	221	5		320	321	321	6
		122	122	25			222	222	26			322	322	27
		123	123	46			223	223	47			323	323	48
		124	124	67			224	224	68			324	324	69
130	131	131	7	230	231	231	8	330	331	331	9			
	132	132	28		232	232	29		332	332	30			
	133	133	49		233	233	50		333	333	51			
	134	134	70		234	234	71		334	334	72			
140	141	141	10	240	241	241	11	340	341	341	12			
	142	142	31		242	242	32		342	342	33			
	143	143	52		243	243	53		343	343	54			
	144	144	73		244	244	74		344	344	75			
150	151	151	13	250	251	251	14	350	351	351	15			
	152	152	34		252	252	35		352	352	36			
	153	153	55		253	253	56		353	353	57			
	154	154	76		254	254	77		354	354	78			
160	161	161	16	260	261	261	17	360	361	361	18			
	162	162	37		262	262	38		362	362	39			
	163	163	58		263	263	59		363	363	60			
	164	164	79		264	264	80		364	364	81			
170	171	171	19	270	271	271	20	370	371	371	21			
	172	172	40		272	272	41		372	372	42			
	173	173	61		273	273	62		373	373	63			
	174	174	82		274	274	83		374	374	84			

Dirección = TUG-3#, TUG-2#, TUG-1# = #K, #L, #M

**Cuadro 7-2/G.707/Y.1322 – Asignación de la capacidad de TU-n
a los intervalos de tiempo dentro de un VC-3**

Dirección #

TU-2	TU-12	TU-11	TS#
10	11	11	1
	13	13	8
	13	13	15
		14	22
20	21	21	2
	22	22	9
	23	23	16
		24	23
30	31	31	3
	32	32	10
	33	33	17
		34	24
40	41	41	4
	42	42	11
	43	43	18
		44	25
50	51	51	5
	52	52	12
	53	53	19
		54	26
60	61	61	6
	62	62	13
	63	63	20
		64	27
70	71	71	7
	72	72	14
	73	73	21
		74	28
Dirección = TUG-2#, TUG-1# = #L, #M			

8 Punteros

8.1 Puntero de AU-n

El puntero de AU-n proporciona un método para permitir una alineación flexible y dinámica del VC-n dentro de la trama de AU-n.

La alineación dinámica significa que se permite al VC-n "flotar" dentro de la trama de AU-n. Así, el puntero es capaz de absorber las diferencias no solamente en las fases de VC-n y de la SOH, sino también en las velocidades de trama.

8.1.1 Ubicación del puntero de AU-n

El puntero de AU-4 está contenido en los bytes H1, H2 y H3, tal como se muestra en la figura 8-1. Los tres punteros de AU-3 están contenidos en tres bytes H1, H2 y H3 independientes, tal como se muestra en la figura 8-2.

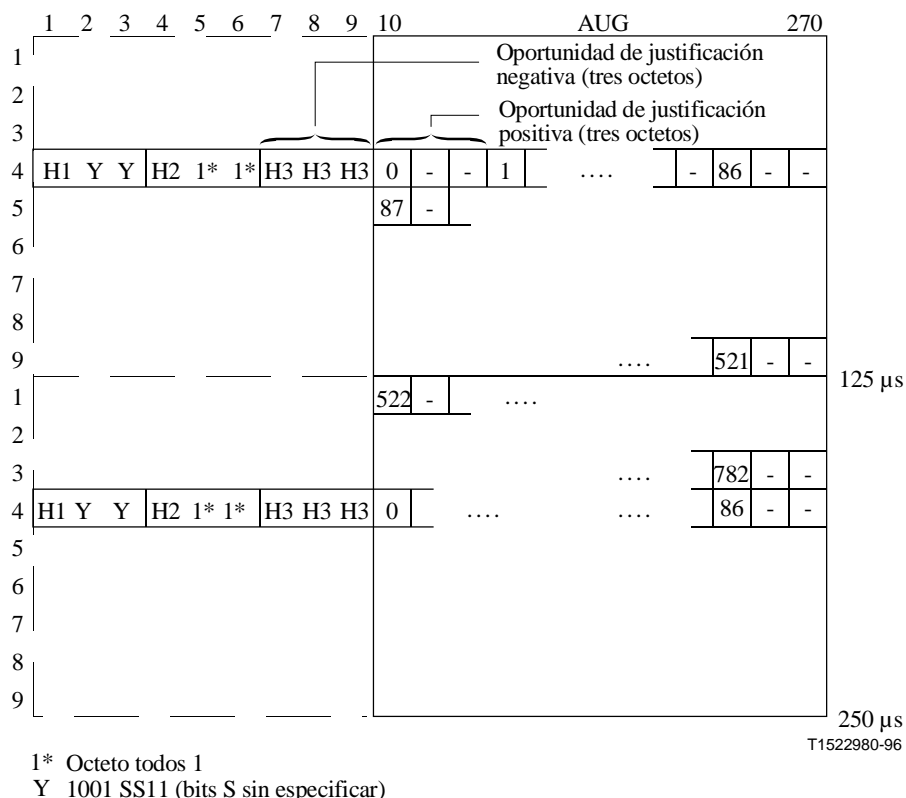


Figura 8-1/G.707 – Numeración de los desplazamientos del puntero de AU-4

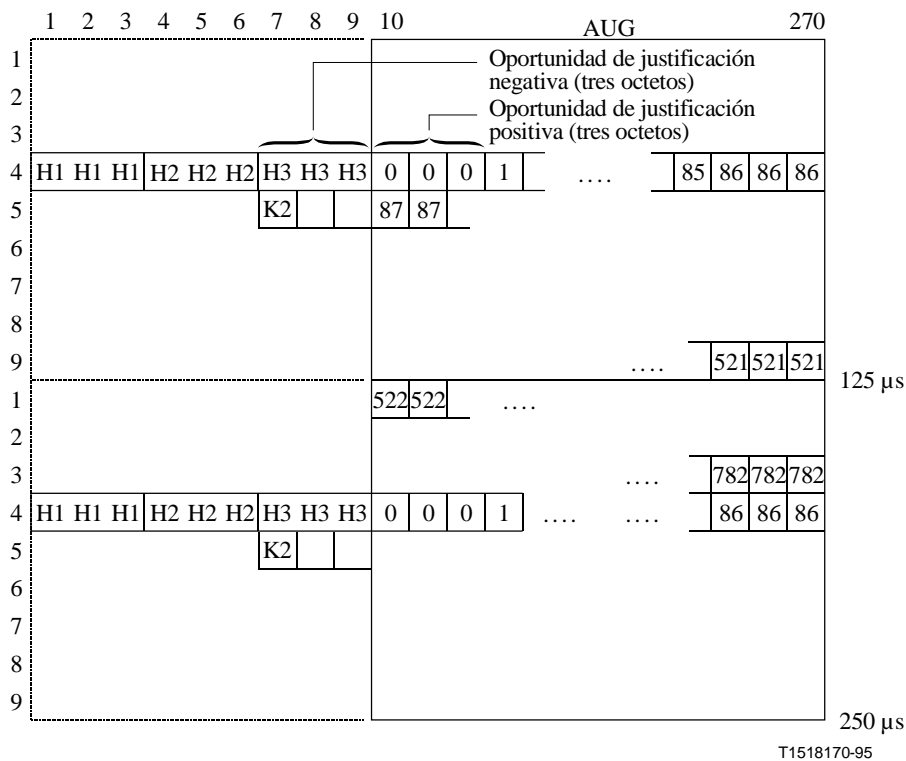


Figura 8-2/G.707/Y.1322 – Numeración de los desplazamientos del puntero de AU-3

8.1.2 Valor del puntero de AU-n

El puntero contenido en H1 y H2 designa la ubicación del byte en donde comienza el VC-n. Los dos bytes asignados a la función de puntero pueden considerarse como una palabra, como se muestra en la figura 8-3. Los últimos diez bits (bits 7 a 16) de la palabra de puntero llevan el valor del puntero.

Tal como ilustra la figura 8-3, el valor del puntero de AU-4 es un número binario con un gama de 0 a 782 que indica, en incrementos de tres bytes, el desplazamiento del puntero con respecto al primer byte del VC-4 (véase la figura 8-1). La figura 8-3 también indica un puntero válido adicional, la indicación de concatenación. La indicación de concatenación se hace mediante "1001" en bits 1 a 4, 5 a 6 no especificados y diez "1" en los bits 7 a 16. El puntero de la AU-4 se fija a la indicación de concatenación para la concatenación de la AU-4 (véase 8.1.7).

Tal como se ilustra en la figura 8-3, el valor del puntero de AU-3 es también un número binario con una gama de 0 a 782. Como hay tres AU-3 en el AUG-1, cada AU-3 tiene sus propios bytes H1, H2 y H3 asociados. Tal como se indica en la figura 8-2, los bytes H se muestran en secuencia. El primer conjunto de H1, H2 y H3 se refiere a la primera AU-3, el segundo conjunto a la segunda AU-3, y así sucesivamente. Para las AU-3, cada puntero opera independientemente.

En todos los casos, los bytes del puntero de AU-n no se cuentan en el desplazamiento. Por ejemplo, en una AU-4, el valor de puntero de 0 indica que el VC-4 comienza en la posición de byte que sigue inmediatamente al último byte de H3, mientras que un desplazamiento de 87 indica que el VC-4 comienza tres bytes después del byte K2.

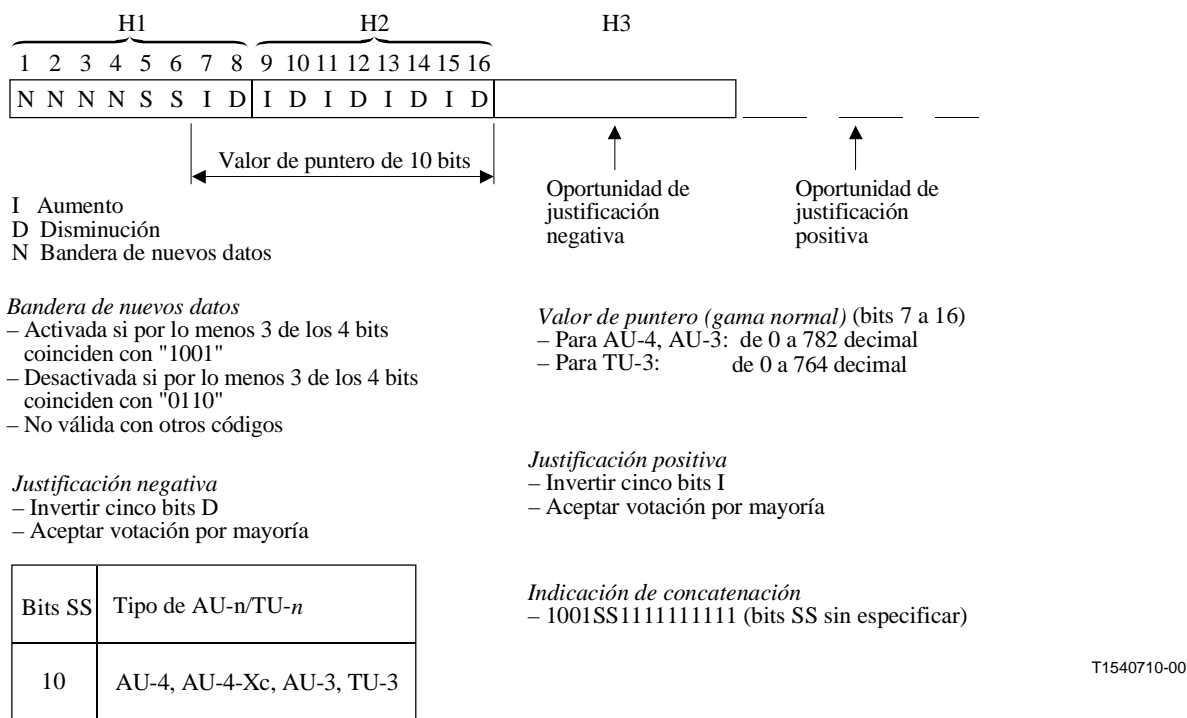


Figura 8-3/G.707/Y.1322 – Codificación del puntero (H1, H2, H3) de AU-n/TU-3

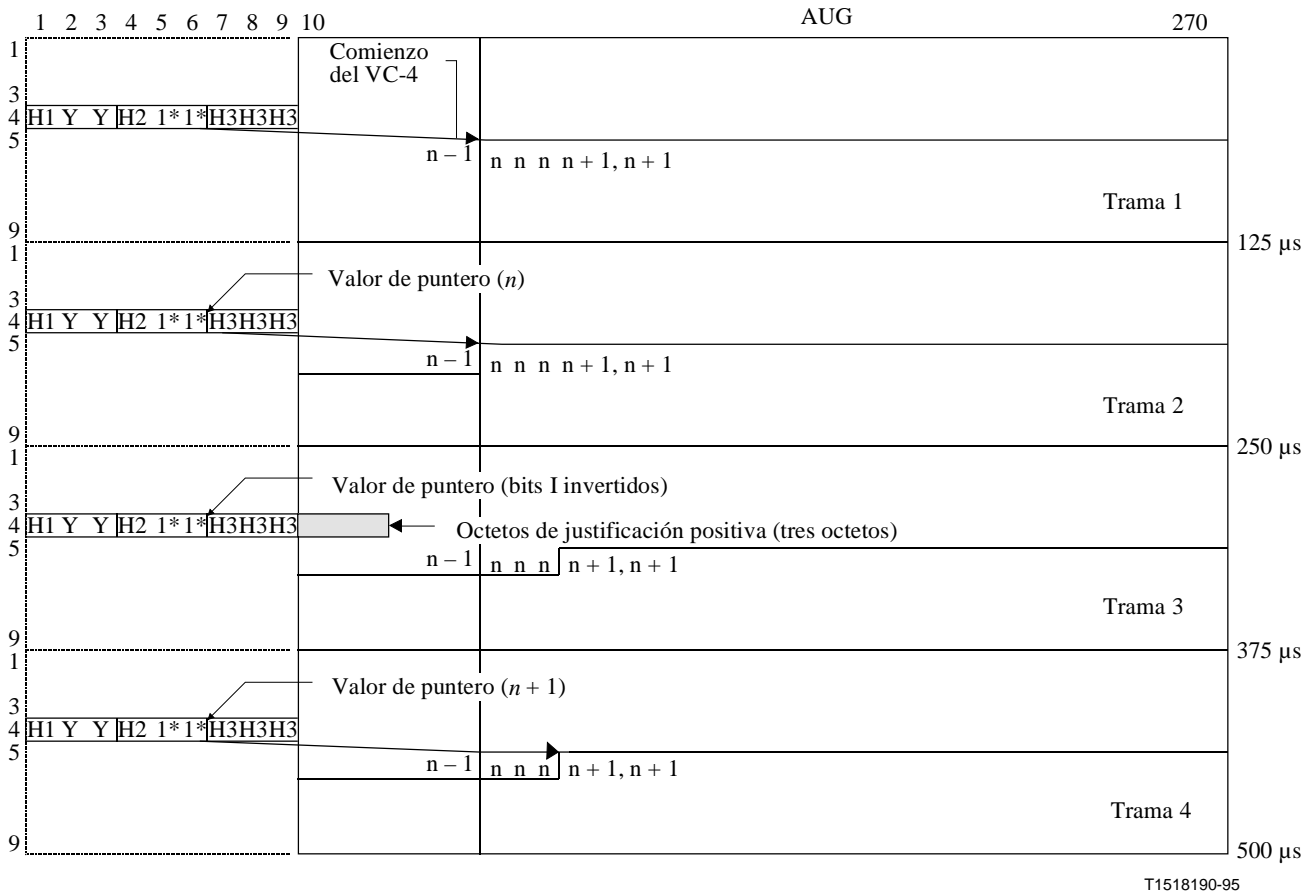
NOTA 1 – Los bits SS de AU-4, AU-4-Xc, AU-3 se incluyeron en el algoritmo de detección de puntero (véase la versión de 1997 de UIT-T G.783). En la versión de 2000 de UIT-T G.783 y G.806 se excluyen los bits SS del algoritmo de detección de puntero AU-n.

NOTA 2 – El puntero de fija a todos "1" cuando se produce AIS.

8.1.3 Justificación de frecuencia

Si hay una diferencia de frecuencia entre la velocidad de trama del AUG-N y la del VC-n, el valor del puntero aumentará o disminuirá según la necesidad, acompañado por uno o más bytes de justificación positiva o negativa, según corresponda. Las operaciones de puntero consecutivas deben separarse por tres tramas por lo menos (es decir, en una trama de cada cuatro), en las cuales el valor del puntero permanece constante.

Si la velocidad de trama de VC-n es demasiado lenta con respecto a la del AUG-N, la alineación del VC-n debe retroceder en el tiempo de forma periódica y el valor del puntero debe aumentarse en uno. Esta operación se indica con la inversión de los bits 7, 9, 11, 13 y 15 (bits I) de la palabra del puntero para permitir una votación por mayoría de cinco bits en el receptor. Tres bytes de justificación positiva aparecen inmediatamente después del último byte H3 de la trama de AU-4 que contiene los bits I invertidos. Los punteros subsiguientes contendrán el nuevo desplazamiento. Esto se ilustra en la figura 8-4.



1* Octeto todos 1
 Y 1001 SS11 (bits S sin especificar)

Figura 8-4/G.707/Y.1322 – Operación de ajuste del puntero de AU-4 – Justificación positiva

Para las tramas de AU-3, un byte de justificación positiva aparece inmediatamente después del byte H3 asociado a la trama de AU-3 individual que contiene los bits I invertidos. Los punteros subsiguientes contendrán el nuevo desplazamiento. Esto se ilustra en la figura 8-5.

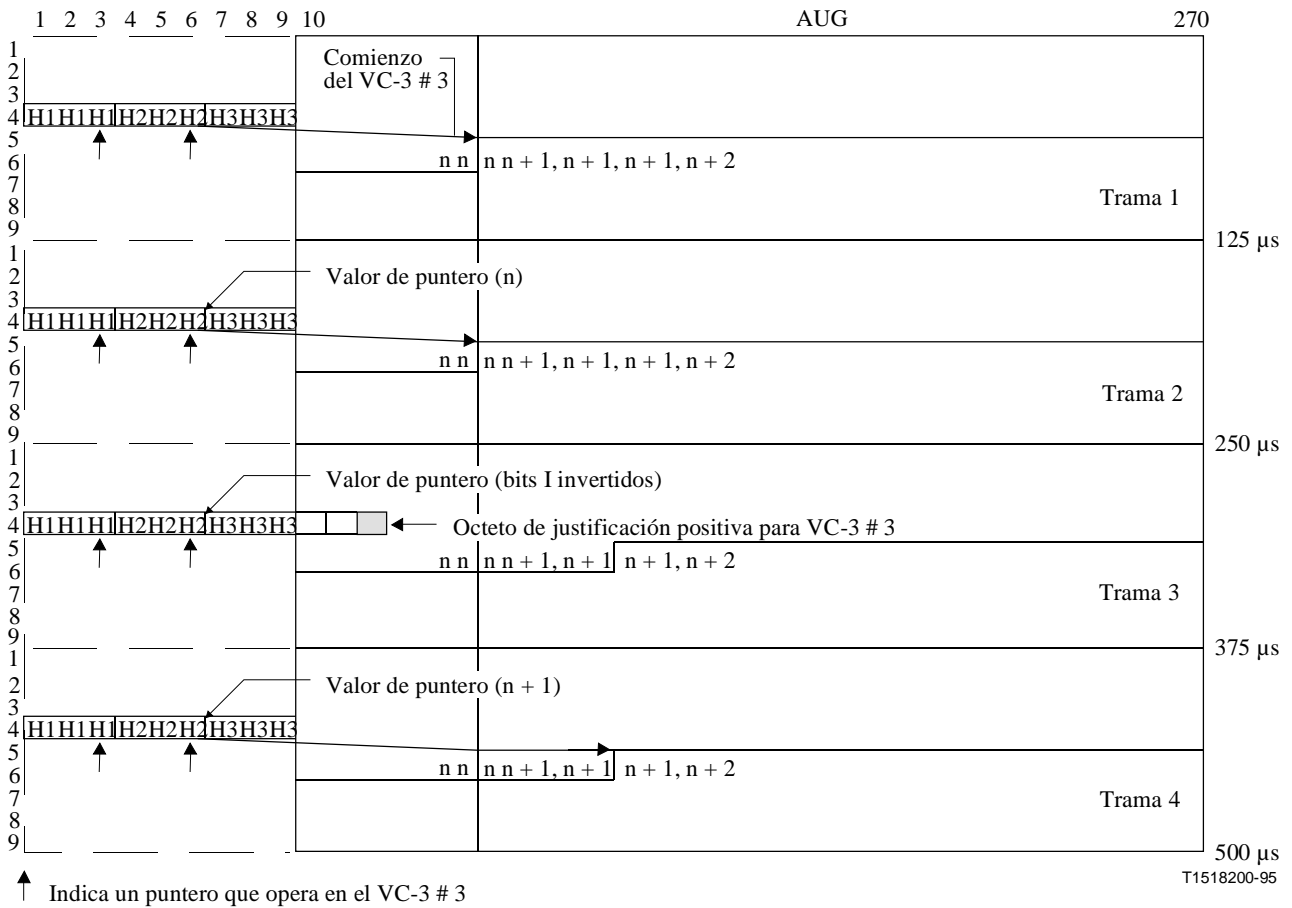
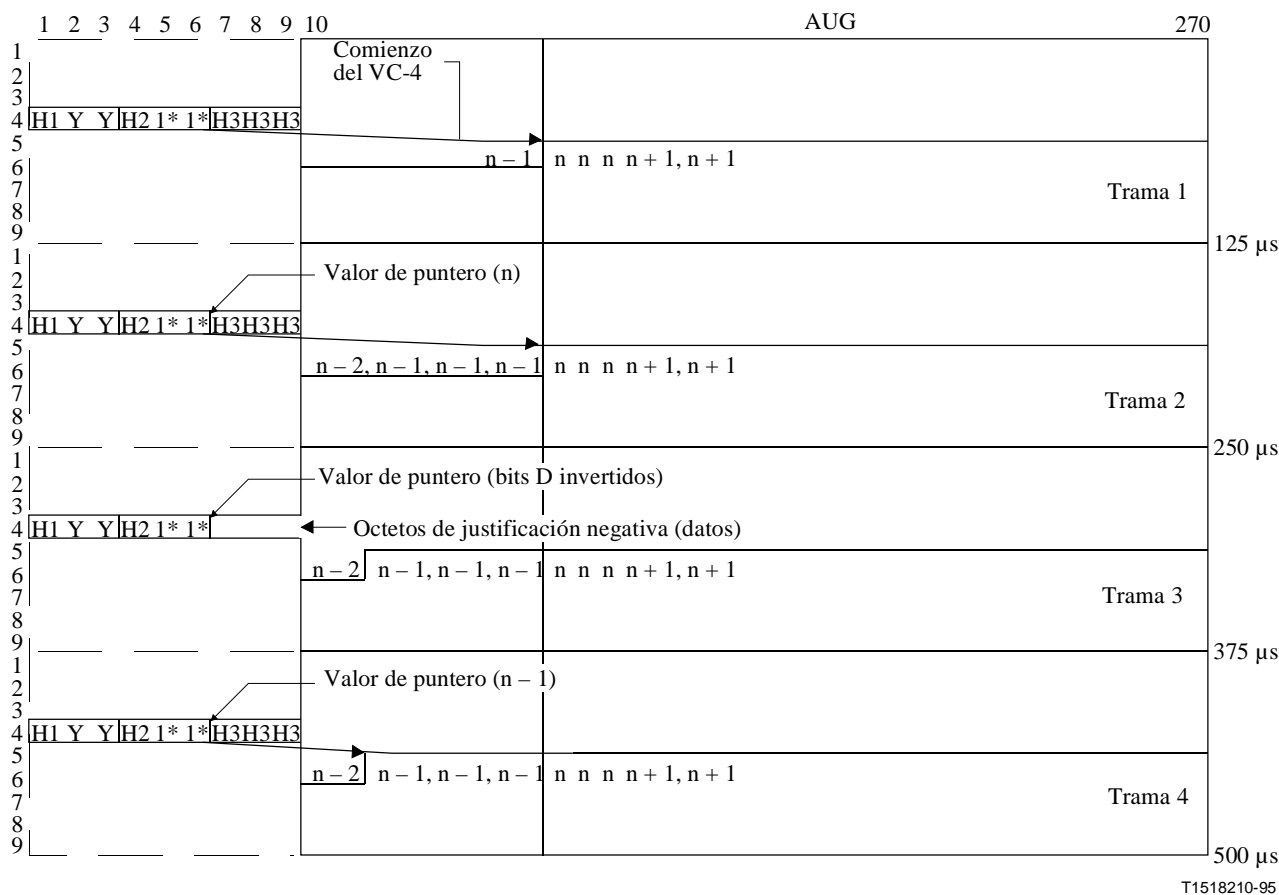


Figura 8-5/G.707/Y.1322 – Operación de ajuste del puntero de AU-3 – Justificación positiva

Si la velocidad de trama del VC-n es demasiado rápida con respecto a la del AUG-N, la alineación del VC-n debe avanzarse en el tiempo de forma periódica y el valor del puntero debe disminuirse en uno. Esta operación se indica con la inversión de los bits 8, 10, 12, 14 y 16 (bits D) de la palabra de puntero para permitir una votación por mayoría de cinco bits en el receptor. Tres bytes de justificación negativa aparecen en los bytes H3 de la trama de AU-4 que contiene los bits D invertidos. Los punteros subsiguientes contendrán el nuevo desplazamiento. Esto se ilustra en la figura 8-6.



T1518210-95

Figura 8-6/G.707/Y.1322 – Operación de ajuste del puntero de AU-4 – Justificación negativa

Para las tramas de AU-3, aparece un byte de justificación negativa en el byte H3 de la trama de AU-3 que contiene los bits D invertidos. Los punteros subsiguientes contendrán el nuevo desplazamiento. Esto se ilustra en la figura 8-7.

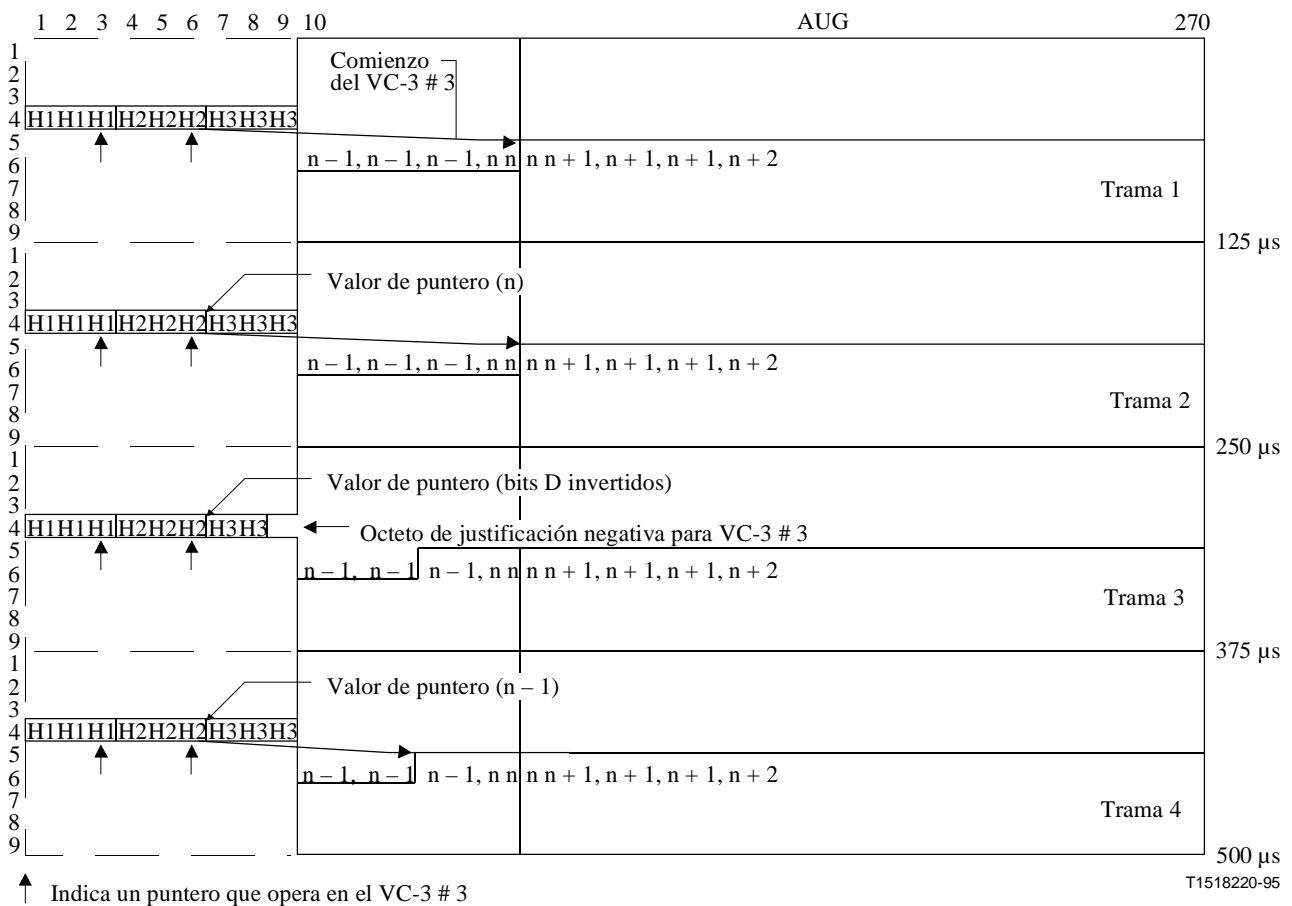


Figura 8-7/G.707/Y.1322 – Operación de ajuste del puntero de AU-3 – Justificación negativa

8.1.4 Bandera de nuevos datos (NDF, *new data flag*)

Los bits 1 a 4 (bits N) de la palabra del puntero llevan una NDF que permite una modificación arbitraria del valor del puntero si esa modificación se debe a un cambio de la cabida útil.

Se asignan cuatro bits a la bandera para permitir la corrección de errores. La operación normal se indica con un código de "0110" en los bits N. La NDF se indica por inversión de los bits N a "1001". Una NDF debe interpretarse como activada cuando tres o más de los cuatro bits coinciden con el esquema "0110". Una NDF debe interpretarse como desactivada cuando tres o más de los cuatro bits coinciden con el esquema "0110". Los demás valores (es decir, "0000", "0011", "0101", "1010", "1100" y "1111") deben interpretarse como no válidos. La alineación nueva se indica con el valor del puntero que acompaña a la NDF, y surte efecto cuando se produce el desplazamiento indicado.

8.1.5 Generación del puntero

La lista siguiente resume las reglas para generar los punteros de AU-n.

- 1) Durante la operación normal, el puntero localiza el comienzo del VC-n dentro de la trama de la AU-n. La NDF está puesta a "0110".
- 2) El valor del puntero solamente puede ser modificado por las operaciones, 3, 4 ó 5.
- 3) Si se requiere una justificación positiva, el valor vigente del puntero se envía con los bits I invertidos, y la oportunidad de justificación positiva subsiguiente se llena con información ficticia. Los punteros subsiguientes contienen el valor del puntero previo aumentado en uno. No se permite ninguna operación subsiguiente de aumento o disminución hasta pasadas por lo menos tres tramas después de esta operación.

- 4) Si se requiere una justificación negativa, el valor vigente del puntero se envía con los bits D invertidos, y la oportunidad de justificación negativa subsiguiente se reescribe con datos reales. Los punteros subsiguientes contienen el valor del puntero previo disminuido en uno. No se permite ninguna operación subsiguiente de aumento o disminución hasta pasadas por lo menos tres tramas después de esta operación.
- 5) Si la alineación del VC-n cambia por cualquier razón distinta de las reglas 3 ó 4, se envía el nuevo valor del puntero acompañado de la NDF puesta a "1001". La NDF aparece solamente en la primera trama que contiene los nuevos valores. La nueva ubicación del VC-n comienza en la primera aparición del desplazamiento indicado por el nuevo puntero. No se permite ninguna operación subsiguiente de aumento o disminución hasta pasadas por lo menos tres tramas después de esta operación.

8.1.6 Interpretación del puntero

La lista siguiente resume las reglas para interpretar los punteros de la AU-n:

- 1) Durante la operación normal, el puntero localiza el comienzo del VC-n dentro de la trama de la AU-n.
- 2) Cualquier variación del valor del puntero vigente se ignora, a no ser que se reciba tres veces consecutivas un mismo valor nuevo o que vaya precedido por una de las reglas 3, 4 ó 5. Cualquier valor nuevo recibido tres veces consecutivas prima (es decir, tiene prioridad) sobre las reglas 3 ó 4.
- 3) Si la mayoría de los bits I de la palabra del puntero están invertidos, se indica una operación de justificación positiva. Los valores subsiguientes del puntero aumentarán en uno.
- 4) Si la mayoría de los bits D de la palabra del puntero están invertidos, se indica una operación de justificación negativa. Los valores subsiguientes del puntero disminuirán en uno.
- 5) Si la NDF es interpretada como activada, el valor del puntero coincidente reemplazará el valor vigente cuando se produzca el desplazamiento indicado por el nuevo valor del puntero, a no ser que el receptor esté en un estado que corresponda a una pérdida de puntero.

8.1.7 Concatenación de las AU-4

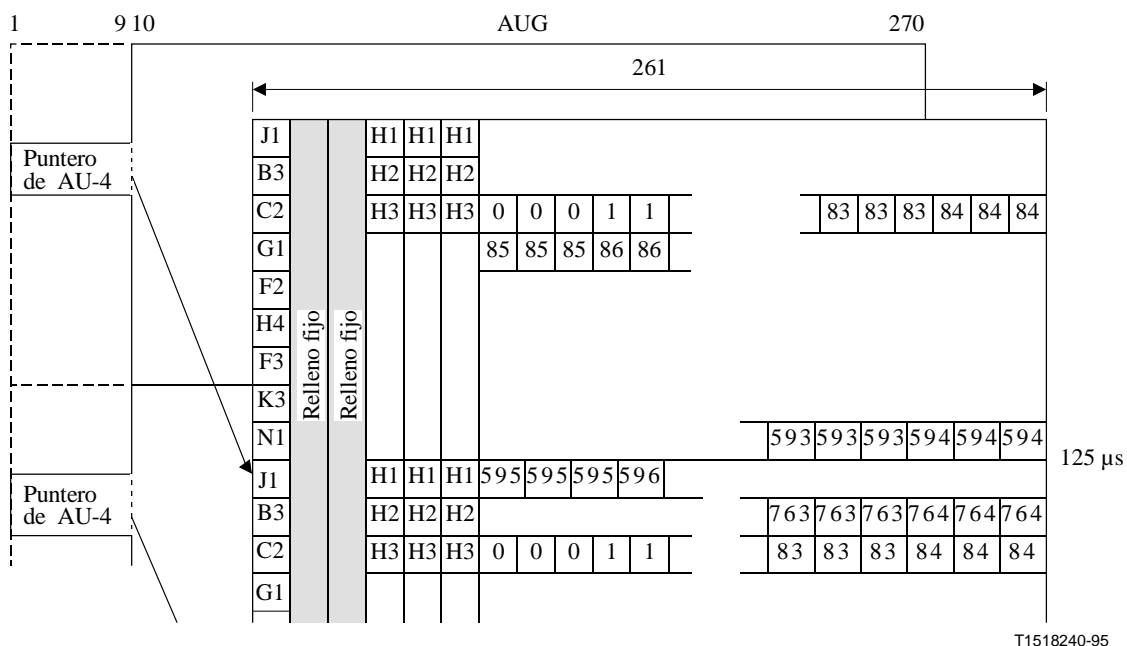
Véanse 11.1 y 11.2.

8.2 Puntero de TU-3

El puntero de la TU-3 proporciona un método para permitir una alineación flexible y dinámica del VC-3 dentro de la trama de la TU-3, con independencia del contenido del VC-3.

8.2.1 Ubicación del puntero de TU-3

Hay tres punteros de TU-3 contenidos en tres bytes H1, H2 y H3 independientes, tal como se muestra en la figura 8-8.



T1518240-95

Figura 8-8/G.707/Y.1322 – Numeración de los desplazamientos del puntero de TU-3

8.2.2 Valor del puntero de TU-3

El valor del puntero de TU-3 contenido en H1 y H2 determina la ubicación de los bytes en los que comienza el VC-3. Los dos bytes que tienen asignada la función de puntero pueden considerarse como una palabra, tal como se muestra en la figura 8-3. Los últimos diez bits (bits 7 a 16) de la palabra del puntero incluyen el valor del puntero.

El valor del puntero de TU-3 es un número binario con una gama de 0 a 764 que indica el desplazamiento del puntero con respecto al primer byte del VC-3, tal como se muestra en la figura 8-8.

8.2.3 Justificación de frecuencia

Si hay una diferencia de frecuencia entre la velocidad de trama de TU-3 y la del VC-3, el valor del puntero aumentará o disminuirá según la necesidad, acompañado por el correspondiente byte de justificación positiva o negativa. Las operaciones de puntero consecutivas deben separarse por tres tramas por lo menos, en las que el valor del puntero permanece constante.

Si la velocidad de trama del VC-3 es demasiado lenta con respecto a la velocidad de trama de la TU-3, la alineación del VC-3 debe retroceder en el tiempo de forma periódica y el puntero debe aumentar en uno. Esta operación se indica con la inversión de los bits 7, 9, 11, 13 y 15 (bits I) de la palabra del puntero para permitir una votación por mayoría de cinco bits en el receptor. Un byte de justificación positiva aparece inmediatamente después del byte H3 individual en la trama de TU-3 que contiene los bits I invertidos. Los punteros de TU-3 subsiguientes contendrán el nuevo desplazamiento.

Si la velocidad de trama del VC-3 es demasiado rápida con respecto a la velocidad de trama de la TU-3, la alineación del VC-3 debe avanzar en el tiempo de forma periódica y el puntero debe disminuir en uno. Esta operación se indica con la inversión de los bits 8, 10, 12, 14 y 16 (bits D) de la palabra del puntero para permitir una votación por mayoría de cinco bits en el receptor. Un byte de justificación negativa aparece en el byte H3 individual en la trama de TU-3 que contiene los bit D invertidos. Los punteros de TU-3 subsiguientes contendrán el nuevo desplazamiento.

8.2.4 Bandera de nuevos datos (NDF)

Los bits 1 a 4 (bits N) de la palabra del puntero llevan una NDF, que permite una modificación arbitraria del valor del puntero, si esa modificación se debe a un cambio del VC-3.

Se asignan 4 bits a la bandera para permitir la corrección de errores. La operación normal se indica con un código de "0110" en los bits N. La NDF se indica por inversión de los bits N a "1001". Una NDF debe interpretarse como activada cuando tres o más de los cuatro bits coinciden con el esquema "1001". Una NDF debe interpretarse como desactivada cuando tres o más de los cuatro bits coinciden con el esquema "0110". Los demás valores (es decir, "0000", "0011", "0101", "1010", "1100" y "1111") deben interpretarse como no válidos. La alineación nueva se indica con el valor de puntero que acompaña a la NDF y tiene efecto cuando se produce el desplazamiento indicado.

8.2.5 Generación del puntero

La lista siguiente resume las reglas para generar los punteros de TU-3:

- 1) Durante la operación normal, el puntero localiza el comienzo del VC-3 dentro de la trama de la TU-3. La NDF está puesta en "0110".
- 2) El valor del puntero solamente puede ser modificado por las operaciones 3, 4 ó 5.
- 3) Si se requiere una justificación positiva, el valor vigente del puntero se envía con los bits I invertidos, y la oportunidad de justificación positiva subsiguiente se llena con información ficticia. Los punteros subsiguientes contienen el valor de puntero previo aumentado en uno. Si el puntero previo está en un valor máximo, el puntero subsiguiente se pone en cero. No se permite ninguna operación subsiguiente de aumento o disminución hasta pasadas por lo menos tres tramas después de esta operación.
- 4) Si se requiere una justificación negativa, el valor vigente del puntero se envía con los bits D invertidos, y la operación de justificación negativa subsiguiente se reescribe con datos reales. Los punteros subsiguientes contienen el valor de puntero previo disminuido en uno. Si el valor del puntero previo es cero, el puntero subsiguiente se pone en un valor máximo. No se permite ninguna operación subsiguiente de aumento o disminución hasta pasadas por lo menos tres tramas después de esta operación.
- 5) Si la alineación del VC-3 cambia por alguna razón aparte de las reglas 3 ó 4, el nuevo valor del puntero se enviará acompañado por la NDF puesta en "1001". La NDF aparece solamente en la primera trama que contiene el valor nuevo. La nueva localización del VC-3 comienza cuando se produce por primera vez el desplazamiento indicado por el nuevo puntero. No se permite ninguna operación subsiguiente de aumento o de disminución hasta pasadas por lo menos tres tramas de esta operación.

8.2.6 Interpretación del puntero

La lista siguiente resume las reglas para interpretar los punteros de TU-3.

- 1) Durante la operación normal, el puntero localiza el comienzo del VC-3 dentro de la trama de la TU-3.
- 2) Cualquier variación del valor vigente de puntero se ignora, a no ser que se reciba tres veces consecutivas un mismo valor nuevo o que sea precedido por una de las reglas 3, 4 ó 5. Cualquier valor nuevo recibido tres veces consecutivas prima (es decir, tiene prioridad) sobre las reglas 3 ó 4.
- 3) Si la mayoría de los bits I de la palabra del puntero están invertidos, se indica una operación de justificación positiva. Los valores de puntero subsiguientes aumentarán en uno.
- 4) Si la mayoría de los bits D de la palabra del puntero están invertidos, se indica una operación de justificación negativa. Los valores de puntero subsiguientes disminuirán en uno.

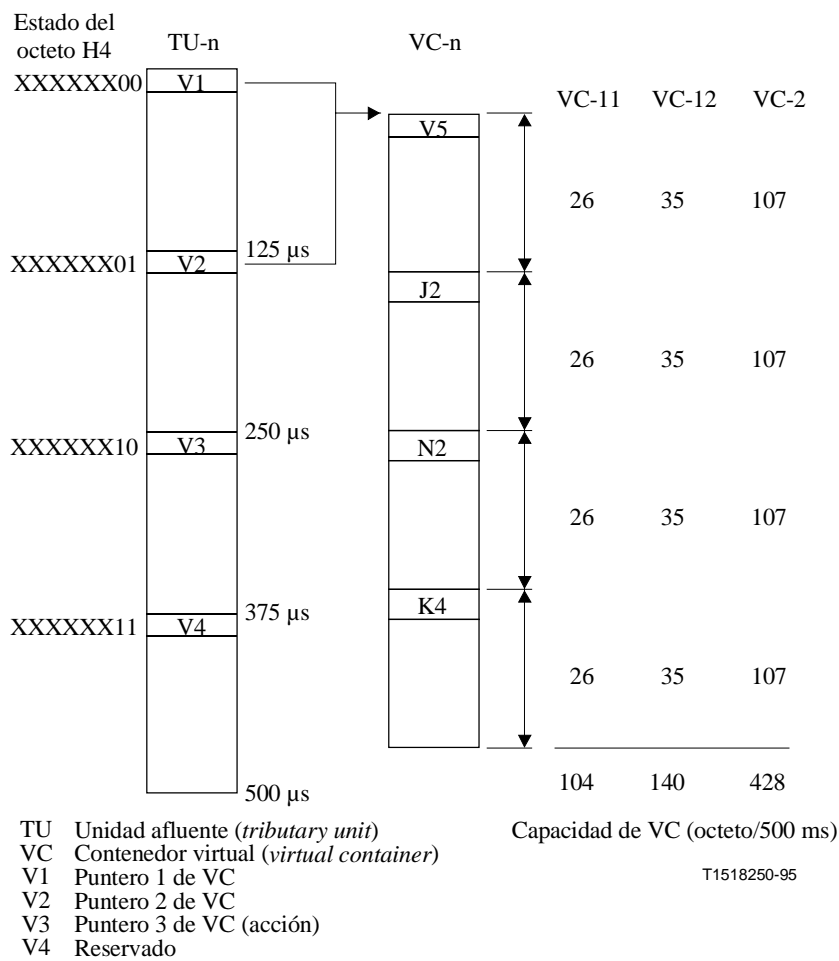
- 5) Si la NDF es interpretada como activada, el valor del puntero coincidente reemplazará el valor actual cuando se produzca el desplazamiento indicado por el nuevo valor del puntero, a no ser que el receptor esté en un estado que corresponda a una pérdida de puntero.

8.3 Puntero de TU-2/TU-1

Los punteros de TU-1 y TU-2 proporcionan un método que permite la alineación flexible y dinámica de los VC-2/VC-1 dentro de las multitramas de TU-1 y TU-2, independientemente del contenido del VC-2/VC-1.

8.3.1 Ubicación del puntero de TU-2/TU-1

Los punteros de TU-2/TU-1 están contenidos en los bytes V1 y V2, tal como se ilustra en la figura 8-9.

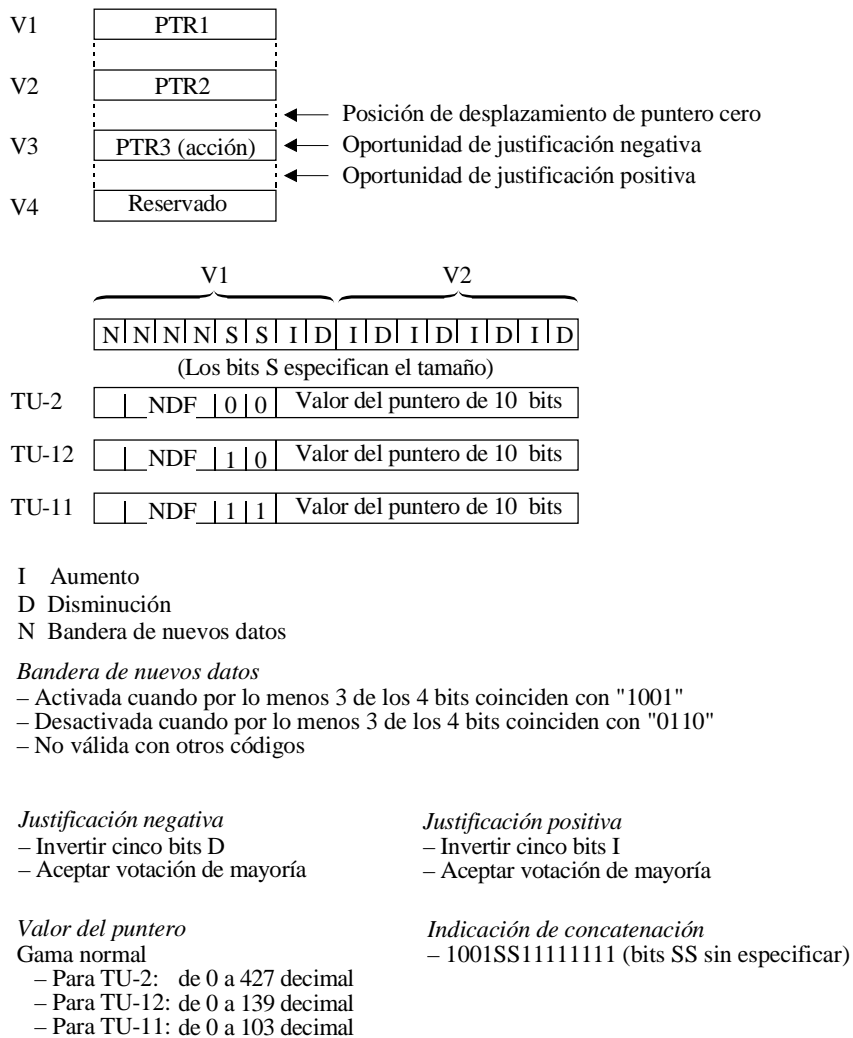


NOTA – Los octetos V1, V2, V3 y V4 son parte de la TU-n y se terminan en el procesador del puntero.

Figura 8-9/G.707/Y.1322 – Correspondencia de contenedor virtual con unidad afluyente multitrama

8.3.2 Valor del puntero de TU-2/TU-1

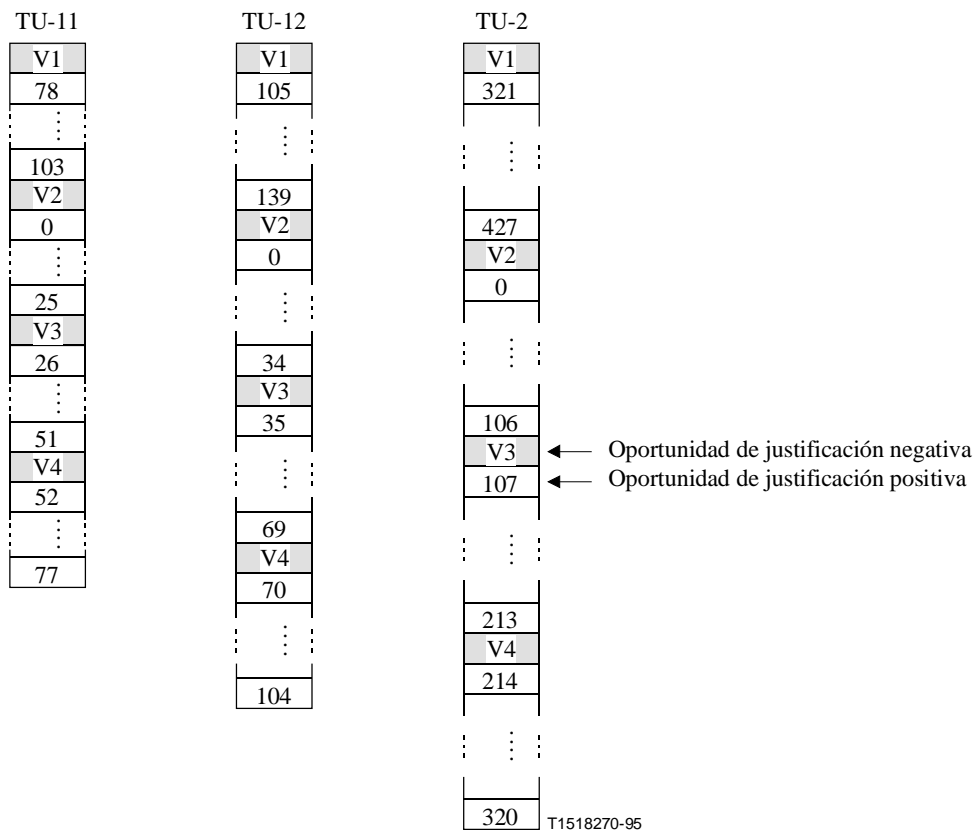
La palabra de puntero de unidad afluente se muestra en la figura 8-10. Los dos bits S (bits 5 y 6) indican el tipo de unidad afluente.



T1518260-95

Figura 8-10/G.707/Y.1322 – Codificación del puntero de TU-2/TU-1

El valor del puntero (bits 7 a 16) es un número binario que indica la diferencia de V2 respecto del primer byte del VC-2/VC-1. La gama de la diferencia es distinta para cada uno de los tamaños de TU-n, tal como se ilustra en la figura 8-11. Obsérvese que los bytes de puntero no se cuentan en el cálculo del desplazamiento.



V1 Puntero 1
V2 Puntero 2
V3 Puntero 3 (acción)
V4 Reservado

Figura 8-11/G.707/Y.1322 – Desplazamientos de puntero de TU-2/TU-1

8.3.3 Justificación de frecuencia de TU-2/TU-1

El puntero de TU-2/TU-1 se utiliza para justificar en frecuencia el VC-2/VC-1, exactamente de la misma forma en que se utiliza el puntero de TU-3 para justificar en frecuencia el VC-3. Una oportunidad de justificación positiva sigue inmediatamente al byte V3. Además, el V3 sirve de oportunidad de justificación negativa, de forma que, cuando se aprovecha la oportunidad, V3 se reescribe con datos. Esto también se muestra en la figura 8-11. La indicación de si se ha aprovechado o no una oportunidad de justificación se proporciona por los bits I y D del puntero en la multitrama TU-n actual. El valor contenido en V3 cuando no se utiliza para la justificación negativa no está definido. El receptor debe ignorar el valor contenido en V3 cuando no se utiliza como justificación negativa.

8.3.4 Bandera de nuevos datos (NDF)

Los bits 1 a 4 (bits N) de la palabra del puntero llevan una NDF. Éste es el mecanismo que permite una modificación arbitraria del valor de un puntero.

Al igual que con la NDF del puntero de TU-3, el valor normal es "0110", y el valor "1001" indica una alineación nueva del VC-n, y posiblemente un tamaño nuevo. Una NDF debe interpretarse como activada cuando tres o más de los cuatro bits coinciden con el esquema "1001". Una NDF debe interpretarse como desactivada cuando tres o más de los cuatro bits coinciden con el esquema "0110". Los demás valores (es decir, "0000", "0011", "0101", "1010", "1100" y "1111") deben interpretarse como no válidos. La alineación nueva se indica con el valor del puntero y el valor de tamaño que acompañan a la NDF, y surte efecto cuando se produce el desplazamiento indicado.

8.3.5 Generación e interpretación del puntero de TU-2/TU-1

Las reglas para la generación y la interpretación del puntero de TU-2/TU-1 para el VC-2/VC-1 son una extensión de las reglas especificadas en 8.2.5 y 8.2.6 para el puntero de TU-3, con la siguiente modificación:

- El término TU-3 es sustituido por TU-2/TU-1 y el término VC-3 es sustituido por VC-2/VC-1.

8.3.6 Concatenación de las TU-2

Véanse 11.3 y 11.4.

8.3.7 Tamaños de TU-2/TU-1

Los bits 5 y 6 del puntero de TU-2/TU-1 indican el tamaño de la TU-n. Actualmente se prevén tres tamaños como se indica en el cuadro 8-1.

Cuadro 8-1/G.707/Y.1322 – Tamaños de TU-2/TU-1

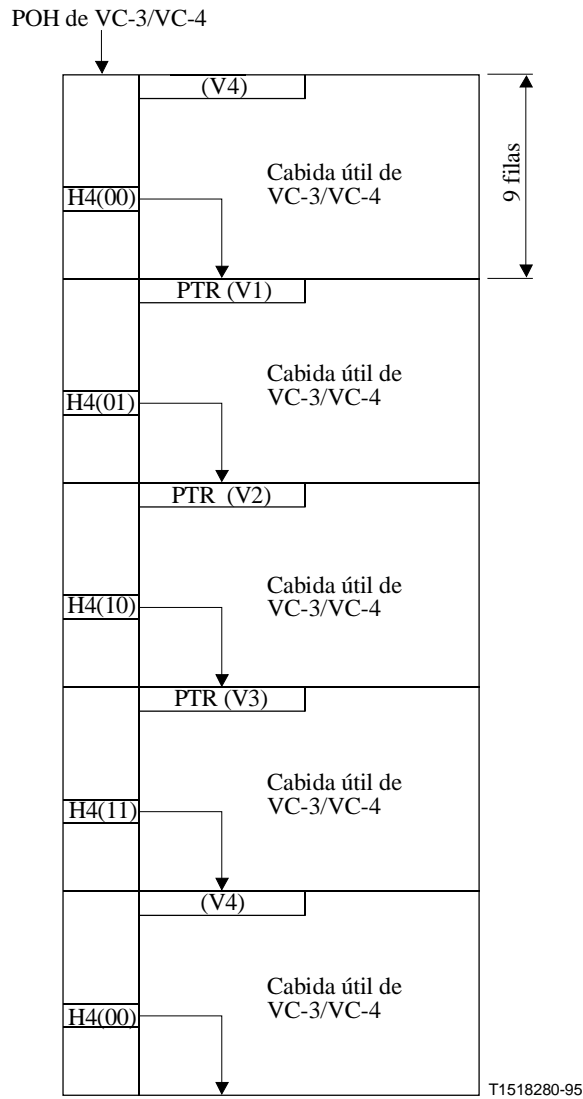
Tamaño (binario)	Designación	Gama del puntero de TU-n (en 500 μ s)
00	TU-2	0-427
10	TU-12	0-139
11	TU-11	0-103

NOTA – Esta técnica sólo se utiliza en los niveles de TU-2/TU-1.

8.3.8 Byte de indicación de multitrama de TU-2/TU-1

El byte de indicación de multitrama de TU-2/TU-1 (H4) está relacionado con el nivel más bajo de la estructura de multiplexación y proporciona una multitrama de 500 μ s (4 tramas) que identifica tramas que contienen los punteros de TU-2/TU-1. La figura 8-9 muestra la correspondencia entre el VC-2/VC-1 y la TU-2/TU-1 multitramada.

El valor del byte H4, leído de la POH de los VC-4/VC-3, identifica la fase de trama de la siguiente cabida útil de VC-4/VC-3, como se muestra en la figura 8-12. La codificación del byte H4 se ilustra en la figura 8-13.



H4 (XY): X e Y representan los bits 7 y 8 de H4

Figura 8-12/G.707/Y.1322 – Indicación de multitrama de TU-1/2 de 500 µs utilizando el byte H4

Bits de H4 1 2 3 4 5 6 7 8	Trama N.º	Tiempo
X X 1 1 X X 0 0	0	0
X X 1 1 X X 0 1	1	
X X 1 1 X X 1 0	2	
X X 1 1 X X 1 1	3	Multitrama de TU-n de 500 µs

X Bit reservado para normalización internacional futura. Entretanto, su contenido se fijará a "1".

Figura 8-13/G.707/Y.1322 – Secuencia de codificación del byte indicador de multitrama de unidad afluente

9 Descripción de los bytes de tara

9.1 Tipos de tara

Se han identificado varios tipos de tara para aplicación en la SDH.

9.1.1 Tara de sección (SOH, *section overhead*)

La información de SOH se añade a la cabida útil de información para crear un STM-N. Incluye información de alineación de trama de bloques e información para el mantenimiento y la supervisión de la calidad de funcionamiento y otras funciones operacionales. La información de SOH se clasifica además en tara de sección de regeneración (RSOH, *regenerator section overhead*), que se termina en funciones de regeneración, y tara de sección de multiplexación (MSOH, *multiplex section overhead*), que pasa transparentemente a través de los regeneradores y se termina allá donde los AUG-N son ensamblados y desensamblados.

NOTA – La tara FEC definida en 9.2.4 utiliza RSOH y MSOH. Como la FEC se define para la sección de multiplexación, la tara de FEC ubicada en la RSOH no está terminada en las funciones de regeneración.

Las filas 1 a 3 de la SOH se designan como RSOH, mientras que las filas 5 a 9 se designan de modo que sean la MSOH. En la figura 9-3 se ilustra esto para el caso de STM-1.

La descripción de la SOH se da en 9.2.

9.1.2 Tara de trayecto (POH, *path overhead*) de contenedor virtual

La POH de contenedor virtual permite la integridad de la comunicación entre el punto de ensamblado de un VC y su punto de desensamblado. Se han identificado dos categorías de POH de contenedor virtual:

- *POH de contenedor virtual de orden superior (POH del VC-4/VC-3)*

La POH del VC-3 se añade a un conjunto de TUG-2 o a un contenedor-3 para formar un VC-3. La POH del VC-4 se añade a un conjunto de TUG-3 o a un contenedor-4 para formar un VC-4. Entre las funciones incluidas en esta tara está la de supervisión de la calidad de funcionamiento del trayecto del contenedor virtual, las indicaciones de estado de alarmas, las señales de mantenimiento y las indicaciones de estructura múltiple (composición de VC-4/VC-3).

- *POH de contenedor virtual de orden inferior (POH del VC-3/VC-2/VC-1)*

La POH del VC-n (n=1, 2, 3) de orden inferior se añade al contenedor-n para formar un VC-n. Entre las funciones incluidas en esta tara está la de supervisión de la calidad de funcionamiento del trayecto del contenedor virtual, las señales de mantenimiento y las indicaciones de estado de alarma.

En 9.3 se describe la POH.

9.2 Descripción de la SOH

9.2.1 Ubicación de los bytes de la SOH

La ubicación de los bytes de la SOH en la trama STM-N, $N \geq 1$, se identifica mediante un vector de tres coordenadas S (a, b, c) en el que a (1 a 3, 5 a 9) representa el número de fila, b (1 a 9) representa un número multicolumna y c (1 a N) representa el grado de entrelazado en la multicolumna. Esto se ilustra en la figura 9-1.

La relación entre los números de filas y columnas y las coordenadas viene dada por:

- fila = a;
- columna = $N(b - 1) + c$.

Por ejemplo, el byte K1 de un STM-1 se sitúa en S (5, 4, 1), o en [5, 4] en notación [fila, columna].

Para STM-0 no es necesaria la identificación de los bytes de la SOH por un vector de tres coordenadas, ya que todos los bytes de la SOH del STM-0 tienen un nombre <letra><número>.

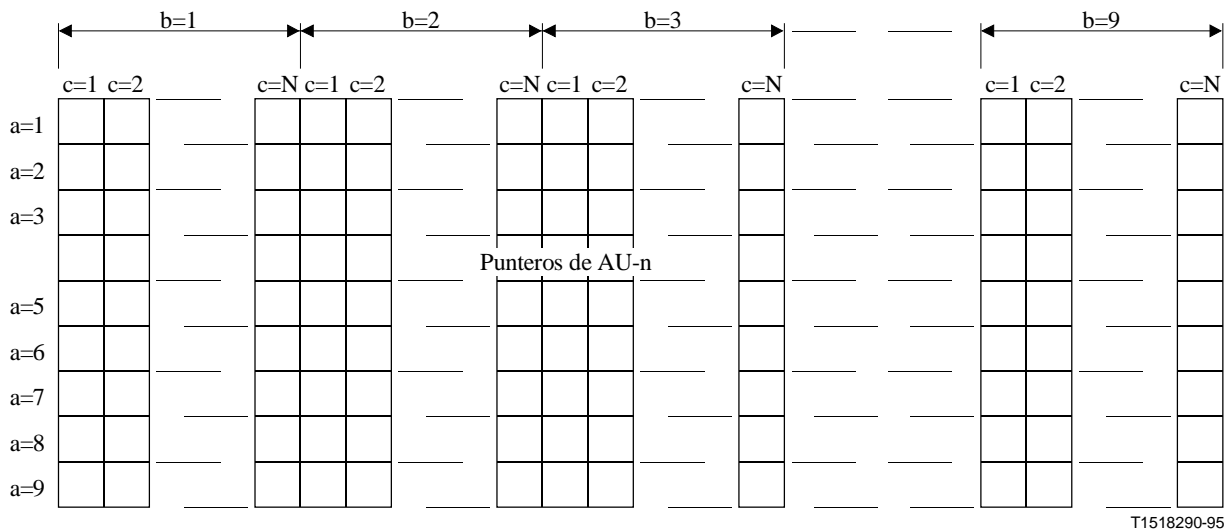


Figura 9-1/G.707/Y.1322 – Numeración de las ubicaciones de los bytes de la SOH de STM-N

La ubicación de los diversos bytes de SOH en las tramas STM-0/1/4/16/64/256 se ilustra en las figuras 9-2 a 9-7.

NOTA – La aleatorización de las tramas STM-N se describe en 6.5.

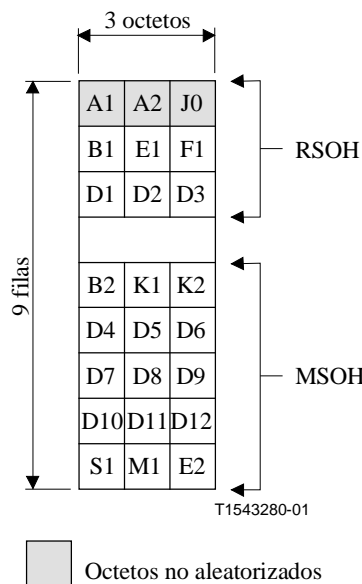
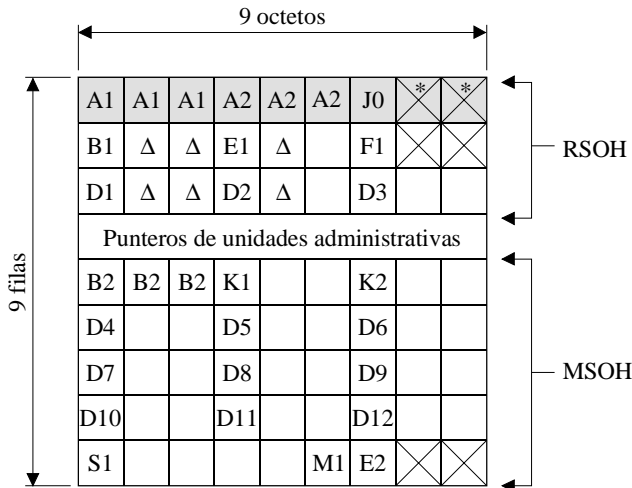


Figura 9-2/G.707/Y.1322 – SOH de STM-0

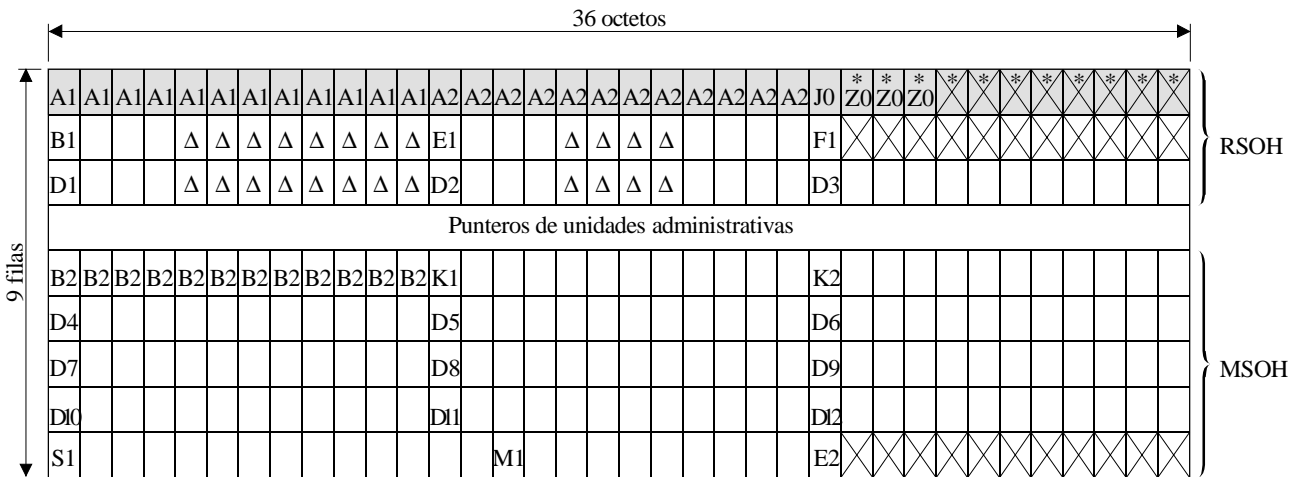


T1543290-01

- Octetos no aleatorizados
- Octetos reservados para uso nacional
- * El contenido de estos octetos reservados debe tratarse con precaución porque se trata de octetos no aleatorizados
- Δ Octetos función del medio

NOTA – Todos los octetos no marcados están reservados para normalización internacional futura (función del medio, uso nacional adicional y otros fines).

Figura 9-3/G.707/Y.1322 – SOH de STM-1

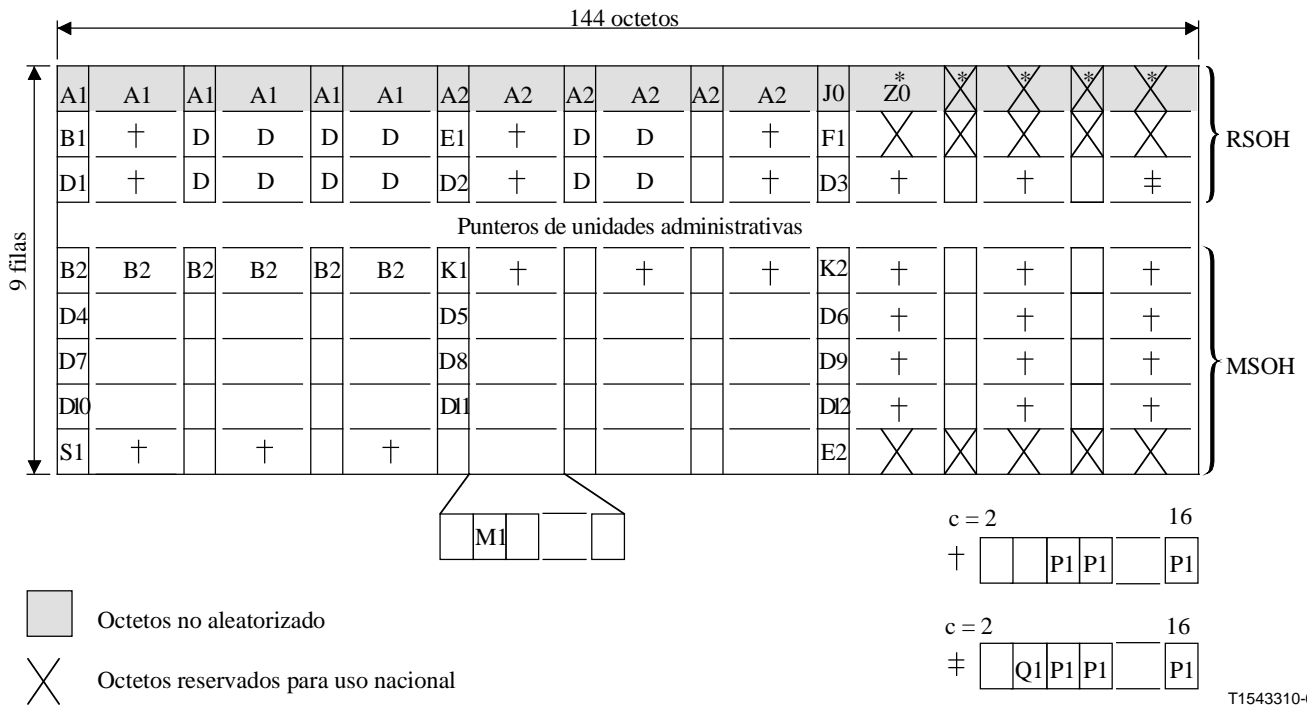


T1543300-01

- Octetos no aleatorizados
- Octetos reservados para uso nacional
- * El contenido de estos octetos reservados debe tratarse con precaución porque se trata de octetos no aleatorizados
- Δ Octetos función del medio

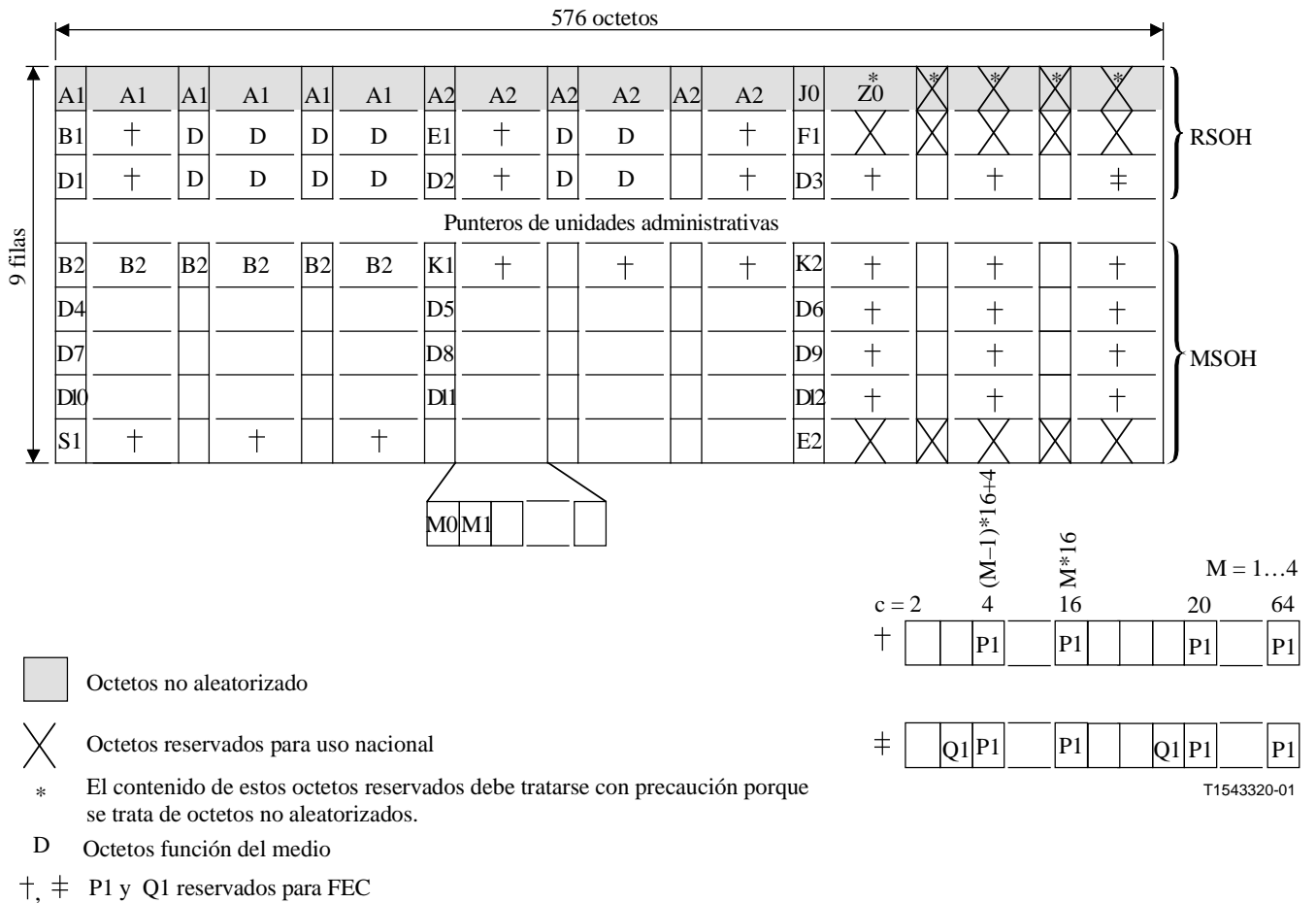
NOTA – Todos los octetos no marcados están reservados para normalización internacional futura (función del medio, uso nacional adicional y otros fines).

Figura 9-4/G.707/Y.1322 – SOH de STM-4



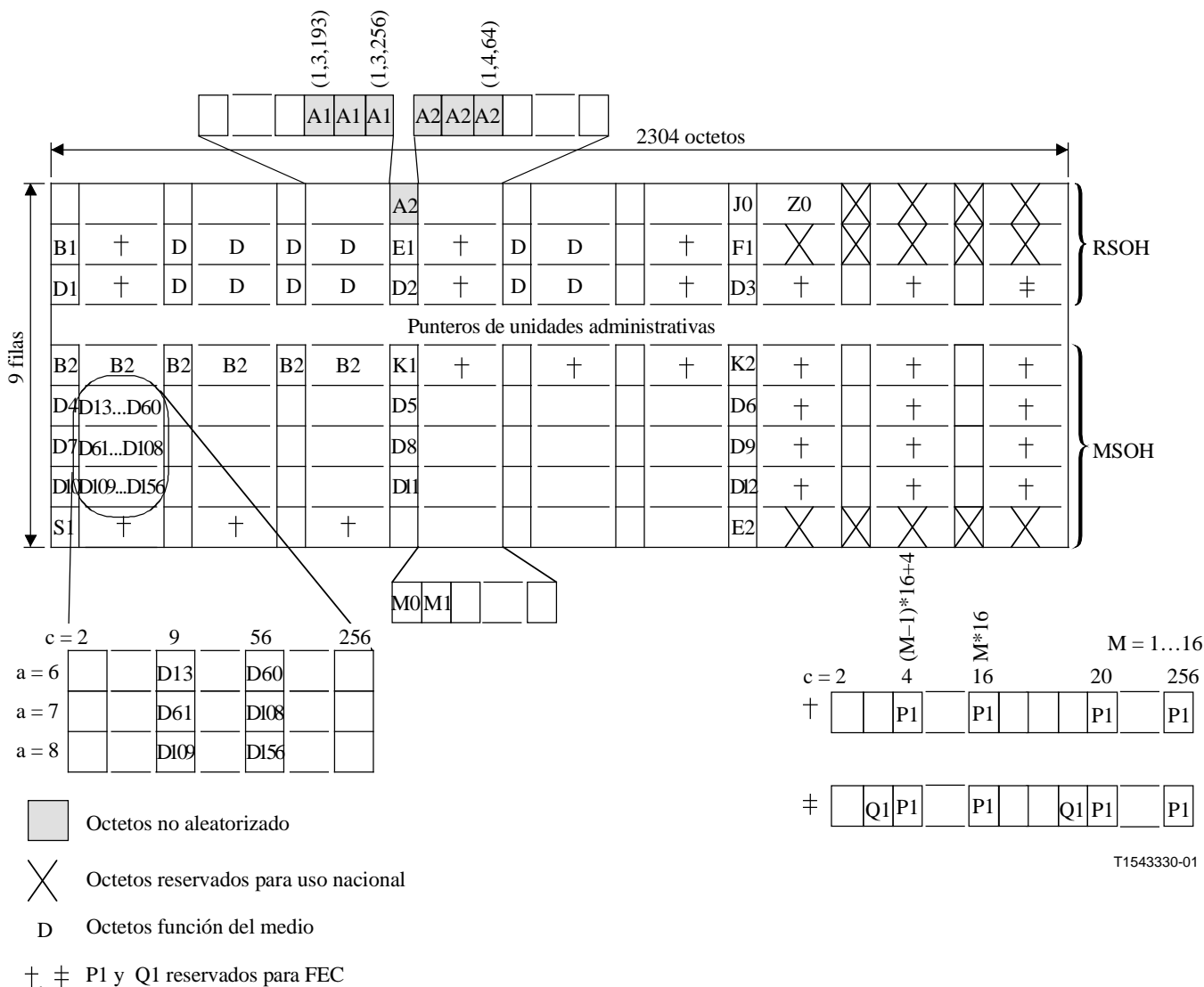
T1543310-01

Figura 9-5/G.707/Y.1322 – SOH de STM-16



NOTA – Todos los octetos no marcados están reservados para normalización internacional futura (función del medio, uso nacional adicional y otros fines).

Figura 9-6/G.707/Y.1322 – SOH de STM-64



T1543330-01

Figura 9-7/G.707/Y.1322 – SOH de STM-256

9.2.2 Descripción de los bytes de la SOH

9.2.2.1 Alineación de trama: A1, A2

Para la alineación de trama se definen dos tipos de bytes:

- A1: 11110110
- A2: 00101000

La palabra de alineación de trama de una trama STM-0 se compone de un byte A1 seguido de un byte A2. La palabra de alineación de trama de una trama STM-N (N=1, 4, 16, 64) se compone de $3 \times N$ bytes A1 seguidos de $3 \times N$ bytes A2. La palabra de alineación de una trama STM-256 se compone de 64 bytes A1 en las ubicaciones S (1,3,193) [1,705] a S (1,3,256) [1,768] seguidos de 64 bytes A2 bytes en las ubicaciones S (1,4,1) [1,769] a S (1,4,64) [1,832]. Los bytes en las ubicaciones S (1,1,1) [1,1] a S (1,3,192) [1,704] y S (1,4,65) [833] a S (1,9,256) [1,1536] están reservados para normalización internacional futura (función del medio, uso nacional adicional y otros fines).

NOTA – Para los bytes reservados de la fila 1 de la trama STM-256 debe utilizarse un esquema que permita suficientes transiciones y no tenga un desequilibrio de corriente continua significativo después de la aleatorización.

9.2.2.2 Traza de sección de regeneración: J0

El byte J0, ubicado en S (1,7,1) o [1,6N+1] en un STM-N, se asigna a una traza de sección de regeneración. Este byte se utiliza para transmitir de manera repetitiva el identificador de punto de acceso de sección, de tal modo que un receptor de sección pueda verificar la continuidad de su conexión con el transmisor pretendido. Dentro de una red nacional, o dentro del dominio de un solo operador, el identificador de punto de acceso de sección puede utilizar un solo byte (que contenga el código 0-255) o el formato de identificador de puntero de acceso definido en la cláusula 3/G.831. En las fronteras internacionales o en las fronteras entre las redes de diferentes operadores, se utilizará el formato definido en la cláusula 3/G.831 a menos que los operadores que proporcionan el transporte convengan otra cosa mutuamente.

Se define una trama de 16 bytes para la transmisión de identificadores de puntos de acceso de sección, cuando los indicadores de puntos de acceso se atengan a la definición que figura en la cláusula 3/G.831. El primer byte de la trama de 16 bytes es un byte de encabezamiento e incluye el resultado de un cálculo de CRC-7 efectuado en la trama precedente. Los 15 bytes siguientes se utilizan para el transporte de 15 caracteres T.50 (versión internacional de referencia) requeridos para el identificador de punto de acceso de sección. En el cuadro 9-1 que sigue se da la descripción de la trama de 16 bytes.

Cuadro 9-1/G.707/Y.1322 – Trama de 16 bytes para identificador de punto de acceso de camino

Byte #	Valor (bit 1, 2, ..., 8)							
1	1	C ₁	C ₂	C ₃	C ₄	C ₅	C ₆	C ₇
2	0	X	X	X	X	X	X	X
3	0	X	X	X	X	X	X	X
:	:				:			
16	0	X	X	X	X	X	X	X

NOTA 1 – 1000 0000 0000 0000 en el bit 1 de cada byte es la señal de alineación de trama del identificador de traza.

NOTA 2 – C₁C₂C₃C₄C₅C₆C₇ es el resultado del cálculo de CRC-7 efectuado en la trama precedente. C₁ es el bit más significativo. La descripción de este cálculo de CRC-7 figura en el anexo B.

NOTA 3 – XXXXXXXX representa un carácter de T.50.

Para el interfuncionamiento de un equipo que emplee la función traza de sección de regeneración con equipo antiguo que incorpora la funcionalidad de identificador de STM (véanse las notas), el primero deberá poder transmitir el esquema "0000 0001" en J0.

NOTA 1 – Identificador de STM: C1.

NOTA 2 – En versiones anteriores de esta Recomendación, el contenido de los bytes ubicados en S (1,7,1) o [1,6N+1] a S (1,7,N) o [1,7N] se definía como un identificador único que indicaba el valor binario de la coordenada de grado de entrelazado multicolumna c. Puede haber sido utilizado para ayudar a la alineación de trama.

9.2.2.3 Reserva: Z0

Estos bytes, que están ubicados en las posiciones S (1,7,2) o [1,6N+2] a S (1,7,N) o [1,7N], se reservan para una futura normalización internacional.

En caso de interfuncionamiento de un equipo que incorpora la funcionalidad de identificador de STM (véase la nota 1) con un equipo que emplea la función de traza de sección de regeneración, estos bytes serán tal como se definen en la nota que sigue.

NOTA 1 – Identificador de STM: C1.

NOTA 2 – En versiones anteriores de esta Recomendación, el contenido de los bytes ubicados en S (1,7,1) o [1,6N+1] a S (1,7,N) o [1,7N] se definía como un identificador único que indicaba el valor binario de la coordenada de grado de entrelazado multicolumna c. Puede haber sido utilizado para ayudar a la alineación de trama.

9.2.2.4 Paridad con entrelazado de bits 8 (BIP-8): B1

Se asigna un byte para la supervisión de errores en la sección de regeneración. Esta función es un código de paridad con entrelazado de bits 8 (BIP-8, *bit interleaved parity 8*) que utiliza paridad par. La BIP-8 se calcula en base a todos los bits de la trama STM-N precedente, después de la aleatorización, y se sitúa en el byte B1 de la trama en curso antes de la aleatorización. (Para los detalles del proceso de aleatorización, véase 6.5.)

NOTA – El código de paridad con entrelazado de bits X (BIP-X) se define en 3.13.

9.2.2.5 Circuito de órdenes: E1, E2

Estos dos bytes pueden utilizarse para proporcionar canales de circuito de órdenes para comunicaciones vocales. E1 es parte de la RSOH y puede accederse a él en los regeneradores. E2 es parte de la MSOH y puede accederse a él en las terminaciones de sección de multiplexación.

9.2.2.6 Canal de usuario: F1

Este byte está reservado para utilizaciones propias del usuario (por ejemplo, conexiones temporales de canales de datos y voz para fines de mantenimiento especiales).

9.2.2.7 Canal de comunicación de datos de sección de regeneración (DCC_R): D1-D3

Se define un canal a 192 kbit/s utilizando los bytes D1, D2 y D3 como DCC de sección de regeneración.

9.2.2.8 Canal de comunicación de datos de sección de multiplexación (DCC_M): D4-D12

Para un STM-N (N=1, 4, 16, 64, 256) se define un canal a 576 kbit/s utilizando los bytes D4 a D12 como DCC de sección de multiplexación.

9.2.2.9 Canal de comunicación de datos de sección de multiplexación ampliado (DCC_{Mx}): D13-D156

Para un STM-256 se define un canal a 9216 kbit/s adicional utilizando los bytes D13 a D156 como de DCC de sección de multiplexación ampliado.

D13 a D60 están ubicados en S (6,1,9) a S (6,1,56).

D61 a D108 están ubicados en S (7,1,9) a S (7,1,56).

D109 a D156 están ubicados en S (8,1,9) a S (8,1,56).

9.2.2.10 BIP-N×24: B2

Los bytes B2 se asignan para una función de supervisión de errores de sección de multiplexación. La función es un código de paridad con entrelazado de bits-N × 24 (BIP-N × 24) con paridad par. La

BIP-N × 24 se calcula en base a todos los bits de la trama STM-N precedente, excepto para las tres primeras filas de SOH, y se sitúa en los bytes B2.

Para STM-0, N debe leerse como 1/3 que da un BIP-8.

9.2.2.11 Canal de conmutación automática de protección (APS, *automatic protection switching*): K1, K2 (b1-b5)

Se asignan dos bytes para la señalización de APS para la protección de la sección de multiplexación. Las asignaciones de bits de estos bytes y el protocolo orientado a los bits se definen en UIT-T G.841.

9.2.2.12 MS-RDI: K2 (b6-b8)

La indicación de defecto distante de sección en la multiplexación (MS-RDI, *multiplex section remote defect indication*) se utiliza para devolver al extremo de transmisión la indicación de que el extremo de recepción ha detectado un defecto de sección entrante o está recibiendo una señal de indicación de alarma de sección de multiplexación (MS-AIS). La MS-RDI se genera insertando un código "110" en las posiciones 6, 7 y 8 del byte K2 antes de la aleatorización.

9.2.2.13 Estado de sincronización: S1 (b5-b8)

Los bits 5 a 8 del byte S (9,1,1) o [9,1] se asignan para mensajes de estado de sincronización. El cuadro 9-2 da la asignación de esquemas de bits a los cuatro niveles de sincronización acordados en el UIT-T. Se asignan dos esquemas de bits adicionales: uno para indicar que la calidad de sincronización es desconocida y otro para señalar que no debe utilizarse la sección para sincronización. Los códigos restantes se reservan para los niveles de calidad definidos por cada una de las Administraciones.

Cuadro 9-2/G.707/Y.1322 – Asignación de esquemas de bits de mensajes de estado de sincronización

Bits S1 b5-b8	Descripción de nivel de calidad de sincronización de SDH
0000	Calidad desconocida (red de sincronización existente)
0001	Reservado
0010	UIT-T G.811
0011	Reservado
0100	SSU-A
0101	Reservado
0110	Reservado
0111	Reservado
1000	SSU-B
1001	Reservado
1010	Reservado
1011	UIT-T G.813 Opción I (SEC)
1100	Reservado
1101	Reservado
1110	Reservado
1111	No utilizar para sincronización (nota)

Cuadro 9-2/G.707/Y.1322 – Asignación de esquemas de bits de mensajes de estado de sincronización (continuación)

Bits S1 b5-b8	Descripción de nivel de calidad de sincronización de SDH
<p>NOTA – Este mensaje puede ser emulado por fallos de equipo y será emulado por una señal AIS (señal de indicación de alarma) de sección de multiplexación. La asignación del mensaje de nivel de calidad de no utilizar para sincronización es obligatoria, ya que la recepción de una AIS de sección de multiplexación no necesariamente se interpreta como indicación de un puerto de interfaz de fuente de sincronización en fallo físico. Esta asignación permite que ese estado se reconozca sin interacción con el proceso de detección de AIS de sección de multiplexación.</p>	

9.2.2.14 Indicación de error distante de sección de multiplexación (MS-REI): M0, M1

Para STM-N (N=0, 1, 4, 16) se asigna un byte (M1) para su utilización como indicación de error distante (REI) de sección de multiplexación.

Para STM-N (N=64 y 256) se asignan dos bytes (M0, M1) para su utilización como indicación de error distante (REI, *remote error indication*) de sección de multiplexación.

NOTA 1 – El interfuncionamiento de un equipo que soporta la MS-REI con un equipo que no la soporta no puede conseguirse de manera automática.

NOTA 2 – Las interfaces STM-64 de equipo diseñado antes de esta versión 2000 de esta Recomendación pueden soportar la REI de un solo byte M1. Las interfaces STM-64 del nuevo equipo tienen que ser reconfigurables para soportar la REI de un solo byte M1.

Para niveles de STM-N, este byte lleva la cuenta (en la gama de [0, 255/65 536]) de bloques de bits entrelazados que han sido detectados como erróneos por el BIP-24×N (B2). Para STM-0 la cuenta se basa en un BIP-8 en B2. Para la velocidad de STM-16, este valor será truncado a 255.

STM-0, generación M1: El byte se fijará para lleve la cuenta de bloques de bits entrelazados que han sido detectados como erróneos por el BIP-8 en la gama de [0,8].

STM-0, interpretación de M1: El valor del byte se interpretará de la siguiente manera en el cuadro 9-3.

Cuadro 9-3/G.707/Y.1322 – Interpretación de M1 de STM-0

<i>Código M1[2-8], bits</i> 234 5678	Interpretación
000 0000	0 violación de BIP
000 0001	1 violación de BIP
000 0010	2 violaciones de BIP
000 0011	3 violaciones de BIP
:	:
000 1000	8 violaciones de BIP
000 1001	0 violación de BIP
000 1010	0 violación de BIP
:	:
111 1111	0 violación de BIP
NOTA – No se tiene en cuenta el bit 1 de M1.	

STM-1, generación de M1: El byte se fijará para que lleve la cuenta de bloques de bits entrelazados que han sido detectados como erróneos por el BIP-24 en la gama de [0, 24].

STM-1, interpretación de M1: El valor del byte se interpretará de la siguiente manera en el cuadro 9-4.

Cuadro 9-4/G.707/Y.1322 – Interpretación de M1 de STM-1

<i>Código M1[2-8], bits 234 5678</i>	Interpretación
000 0000	0 violación de BIP
000 0001	1 violación de BIP
000 0010	2 violaciones de BIP
000 0011	3 violaciones de BIP
:	:
001 1000	24 violaciones de BIP
001 1001	0 violación de BIP
001 1010	0 violación de BIP
:	:
111 1111	0 violación de BIP
NOTA – No se tiene en cuenta el bit 1 de M1.	

STM-4, generación de M1: El byte se fijará para que lleve la cuenta de bloques de bits entrelazados que han sido detectados como erróneos por el BIP-96 en la gama de [0, 96].

STM-4, interpretación de M1: El valor del byte se interpretará de la siguiente manera en el cuadro 9-5.

Cuadro 9-5/G.707/Y.1322 – Interpretación de M1 de STM-4

<i>Código M1[2-8], bits 234 5678</i>	Interpretación
000 0000	0 violación de BIP
000 0001	1 violación de BIP
000 0010	2 violaciones de BIP
000 0011	3 violaciones de BIP
000 0100	4 violaciones de BIP
000 0101	5 violaciones de BIP
:	:
110 0000	96 violaciones de BIP
110 0001	0 violación de BIP
110 0010	0 violación de BIP
:	:
111 1111	0 violación de BIP
NOTA – No se tiene en cuenta el bit 1 de M1.	

STM-16, generación de M1: El byte se fijará para que lleve la cuenta de bloques de bits entrelazados que han sido detectados como erróneos por el BIP-384 (en la gama de [0, 255]), cuando el valor transportado es truncado a 255.

STM-16, interpretación de M1: El valor del byte se interpretará de la siguiente manera en el cuadro 9-6.

Cuadro 9-6/G.707/Y.1322 – Interpretación de M1 de STM-16

<i>Código M1[1-8], bits</i> 1234 5678	Interpretación del código
0000 0000	0 violación de BIP
0000 0001	1 violación de BIP
0000 0010	2 violaciones de BIP
0000 0011	3 violaciones de BIP
0000 0100	4 violaciones de BIP
0000 0101	5 violaciones de BIP
:	:
1111 1111	255 violaciones de BIP

STM-64, generación de M0 y M1: Los bytes se fijarán para que lleven la cuenta de bloques de bits entrelazados que han sido detectados como erróneos por el BIP-1536 (en la gama de [0, 1 536]). El bit 1 de M0 es el bit más significativo y el bit 8 de M1 es el bit menos significativo. Si hay interfuncionamiento con equipo antiguo que soporta la REI de un solo byte en M1, el valor transportado es truncado a 255 e insertado en M1.

STM-64, interpretación de M0 y M1: El valor de M0 y M1 se interpreta como se indica en el cuadro 9-7. Si hay interfuncionamiento con equipo antiguo que soporta la REI de un solo byte en M1, el valor de M1 se interpreta como se indica en el cuadro 9-8.

NOTA 3 – El interfuncionamiento no puede conseguirse automáticamente. Tiene que ser configurado por los extremos de gestión.

Cuadro 9-7/G.707/Y.1322 – Interpretación de M0 y M1 de STM-64

<i>Código M0[1-8], bits</i> 1234 5678	<i>Código M1[1-8], bits</i> 1234 5678	Interpretación
0000 0000	0000 0000	0 violación de BIP
0000 0000	0000 0001	1 violación de BIP
0000 0000	0000 0010	2 violaciones de BIP
0000 0000	0000 0011	3 violaciones de BIP
0000 0000	0000 0100	4 violaciones de BIP
0000 0000	0000 0101	5 violaciones de BIP
	:	:
0000 0110	0000 0000	1 536 violaciones de BIP
0000 0110	0000 0001	0 violación de BIP
0000 0110	0000 0010	0 violación de BIP
	:	:
1111 1111	1111 1111	0 violación de BIP

Cuadro 9-8/G.707/Y.1322 – Interpretación de M1 de STM-64

<i>Código M1[1-8], bits</i> 1234 5678	Interpretación
0000 0000	0 violación de BIP
0000 0001	1 violación de BIP
0000 0010	2 violaciones de BIP
0000 0011	3 violaciones de BIP
0000 0100	4 violaciones de BIP
0000 0101	5 violaciones de BIP
:	:
1111 1111	255 violaciones de BIP

STM-64, generación de M0 y M1: Los bytes se fijarán para que lleven la cuenta de bloques de bits entrelazados que han sido detectados como erróneos por el BIP-6144 (en la gama de [0, 6 144]). El bit 1 de M0 es el bit más significativo y el bit 8 de M1 es el bit menos significativo.

STM-256, interpretación de M0, M1: El valor del byte se interpretará de la siguiente manera en el cuadro 9-9.

Cuadro 9-9/G.707/Y.1322 – Interpretación de M0 y M1 de STM-256

<i>Código M0[1-8], bits</i> 1234 5678	<i>Código M1[1-8], bits</i> 1234 5678	Interpretación
0000 0000	0000 0000	0 violación de BIP
0000 0000	0000 0001	1 BIP violación
0000 0000	0000 0010	2 violaciones de BIP
0000 0000	0000 0011	3 violaciones de BIP
0000 0000	0000 0100	4 violaciones de BIP
0000 0000	0000 0101	5 violaciones de BIP
	:	:
0001 1000	0000 0000	6 144 violaciones de BIP
0001 1000	0000 0001	0 violación de BIP
0001 1000	0000 0010	0 violación de BIP
	:	:
1111 1111	1111 1111	0 violación de BIP

9.2.2.15 Bytes función del medio

Estos 6N bytes, que están ubicados en las posiciones S (2,2,X) o [2,N+X], S (2,3,X) o [2,2N+X], S (2,5,X) o [2,4N+X], S (3,2,X) o [3,N+X], S (3,3,X) o [3,2N+X], S (3,5,X) o [3,4N+X] con X=1...N, están reservados para aplicaciones función del medio.

La definición de estos bytes función del medio caen fuera del alcance de esta Recomendación.

NOTA – Para radiocomunicaciones SDH, estos bytes se definen en la Recomendación UIT-R F.750.

9.2.3 Interfaz con funcionalidades de SOH reducidas

En algunas aplicaciones (por ejemplo, interfaz dentro de estación), puede utilizarse una interfaz con funcionalidades de SOH reducidas. En el cuadro 9-10 se dan los bytes de SOH que han de utilizarse para esa interfaz.

Cuadro 9-10/G.707/Y.1322 – Interfaz con funcionalidades de SOH reducidas

Bytes de SOH	Funcionalidad de transmisión	Funcionalidad de recepción
A1, A2	Requerida	Requerida
J0-Z0/C1	Opcional	Opcional
B1	Requerida	No utilizada
E1	No utilizada	No utilizada
F1	No utilizada	No utilizada
D1-D3	No utilizada	No utilizada
B2	Requerida	Requerida
K1, K2 (APS)	Opcional	Opcional
K2 (MS-AIS)	Requerida	Requerida
K2 (MS-RDI)	Requerida	Requerida
D4-D12	No utilizada	No utilizada
S1	No utilizada, 00001111 generada	No utilizada
M1	Requerida	Opcional
E2	No utilizada	No utilizada
Otros bytes	No utilizada	No utilizada
Requerida	Estas señales de la interfaz contendrán información válida definida por esta Recomendación.	
Opcional	En estas señales puede estar o no presente información válida. La utilización de estas funciones será un asunto local.	
No utilizada	Esta función no está definida en la interfaz. El contenido debe, si no se especifica otra cosa, ser 00000000 ó 11111111 según la norma regional.	

9.2.4 Corrección de errores en recepción: P1, Q1

Para STM-16, STM-64 y STM-256 los bytes P1 y Q1 están reservados para una función corrección de errores en recepción (FEC, *forward error correction*) opcional. La función FEC y los detalles para STM-64 y STM-256 de la utilización de los bytes P1 y Q1 se indican en el anexo A. La función FEC y los detalles para STM-16 de la utilización de los bytes P1 y Q1 se indican en el apéndice IX.

NOTA – Véase A.4 en relación con la funcionalidad y transparencia de los regeneradores.

9.3 Descripción de la tara de trayecto (POH)

9.3.1 Tara de trayecto de VC-4-Xc/VC-4/VC-3

La POH de VC-4-Xc se sitúa en la primera columna de la estructura de 9 filas por $X \times 261$ columnas del VC-4-Xc.

La POH de VC-4 se sitúa en la primera columna de la estructura de 9 filas por 261 columnas del VC-4.

La POH de VC-3 se sitúa en la primera columna de la estructura de 9 filas por 85 columnas del VC-3.

La POH de VC-4-Xc/VC-4/VC-3 consta de 9 bytes designados por J1, B3, C2, G1, F2, H4, F3, K3 y N1 (véanse las figuras 11-1, 7-3 y 7-4). Estos bytes se clasifican de la siguiente manera:

- Bytes o bits utilizados para comunicación de extremo a extremo con función de cabida útil independiente: J1, B3, C2, G1, K3 (b1-b4).
- Bytes específicos del tipo de cabida útil: H4, F2, F3.
- Bits reservados para futura normalización internacional: K3 (b5-b8).
- Byte en el que se puede sobrescribir en un dominio de operador (sin afectar a la facilidad de supervisión de la calidad de funcionamiento de extremo a extremo del byte B3): N1.

NOTA – La información dependiente de la cabida útil y la independiente de la cabida útil se comunican mediante codificaciones diferentes en el byte C2 y los bits 5 a 7 del byte G1.

9.3.1.1 Traza de trayecto: J1

Éste es el primer byte del contenedor virtual; su ubicación se indica mediante el puntero asociado a AU-n (n=3, 4) o TU-3. El byte J1 se utiliza para transmitir de manera repetitiva un identificador de punto de acceso de trayecto, de tal modo que un terminal que reciba un trayecto puede verificar la continuidad de su conexión con el transmisor pretendido. Se define una trama de 16 bytes para la transmisión de un identificador de punto de acceso. Esta trama de 16 bytes es idéntica a la trama de 16 bytes definida en 9.2.2.2 para la descripción del byte J0. En las fronteras internacionales, o en las fronteras entre las redes de diferentes operadores, se utilizará el formato definido en la cláusula 3/G.831 a menos que los operadores que proporcionan el transporte convengan otra cosa mutuamente. Dentro de una red nacional o dentro del dominio de un solo operador, el identificador de punto de acceso de trayecto puede utilizar una trama de 64 bytes. Dentro de una red nacional o dentro del dominio de un solo operador, el identificador de punto de acceso de trayecto puede utilizar una trama de 64 bytes.

9.3.1.2 BIP-8 de trayecto: B3

Se asigna un byte en cada VC-4-Xc/VC-4/VC-3 para una función de supervisión de errores de trayecto. Esta función es un código de BIP-8 que utiliza paridad par. El BIP-8 de trayecto se calcula en base a todos los bits del VC-4-Xc/VC-4/VC-3 anterior. El BIP-8 calculado se coloca en el byte B3 del VC-4-Xc/VC-4/VC-3 vigente.

9.3.1.3 Etiqueta de señal: C2

Se asigna un byte para indicar la composición o el estado de mantenimiento del VC-4-Xc/VC-4/VC-3. El cuadro 9-11, basado en el código hexadecimal, contiene los códigos para este byte.

Cuadro 9-11/G.707/Y.1322 – Codificación del byte C2

MSB 1 2 3 4	LSB 5 6 7 8	Código hexadecimal (Nota 1)	Interpretación
0 0 0 0	0 0 0 0	00	Sin equipos o supervisor sin equipos (nota 2)
0 0 0 0	0 0 0 1	01	Reservado (nota 3)
0 0 0 0	0 0 1 0	02	Estructura de TUG (véase 7.2)
0 0 0 0	0 0 1 1	03	TU-n fija (nota 4)
0 0 0 0	0 1 0 0	04	Correspondencia asíncrona de 34 368 kbit/s o 44 736 kbit/s en el contenedor-3, véase 10.1.2
0 0 0 0	0 1 0 1	05	Correspondencia en preparación (nota 9)

Cuadro 9-11/G.707/Y.1322 – Codificación del byte C2 (continuación)

MSB 1 2 3 4	LSB 5 6 7 8	Código hexadecimal (Nota 1)	Interpretación
0 0 0 1	0 0 1 0	12	Correspondencia asíncrona de 139 264 kbit/s en el contenedor-4, véase 10.1.1.1
0 0 0 1	0 0 1 1	13	Correspondencia de ATM, véanse 10.2.1 y 10.2.2
0 0 0 1	0 1 0 0	14	Correspondencia de MAN DQDB [1], véase 10.4
0 0 0 1	0 1 0 1	15	Correspondencia de FDDI [3]-[11], véase 10.5
0 0 0 1	0 1 1 0	16	Correspondencia de HDLC/PPP [12], [13] señal entramada según 10.3
0 0 0 1	0 1 1 1	17	Correspondencia de enlace de datos simple (SDL) con aleatorizador de autosincronización SDH (nota 8)
0 0 0 1	1 0 0 0	18	Correspondencia de HDLC/LAPS [15] señales con alineación de trama según 10.3
0 0 0 1	1 0 0 1	19	Correspondencia de enlace de datos simple (SDL) con aleatorizador de fijación-refijación SDH (nota 8)
0 0 0 1	1 0 1 0	1A	Correspondencia de tramas Ethernet a 10 Gbit/s [14] (nota 8)
0 0 0 1	1 0 1 1	1B	Correspondencia de GFP (nota 8)
1 1 0 0	1 1 1 1	CF	Reservado (nota 7)
1 1 1 0	0 0 0 1	E1	Reservado para uso nacional
...	
1 1 1 1	1 1 0 0	FC	
1 1 1 1	1 1 1 0	FE	Señal de prueba, correspondencia específica de la Recomendación O.181 (nota 5)
1 1 1 1	1 1 1 1	FF	VC-AIS (nota 6)
<p>NOTA 1 – Hay 209 códigos de reserva que se dejan para futura utilización.</p> <p>NOTA 2 – El valor "0" indica "trayecto de VC-4-Xc/VC-4/VC-3 sin equipos o supervisor sin equipos". Este valor se origina en el caso de una conexión abierta y en el caso de una señal no equipada de supervisión que no contiene cabida útil.</p> <p>NOTA 3 – El valor "1" no debe utilizarse en ningún equipo diseñado tras la fecha de aprobación (10/2000) de esta Recomendación. En el pasado, este código significaba "no equipado – no específico" y se ha utilizado en los casos en los que no se ha definido un código de correspondencia en este cuadro véase código "05" para los nuevos diseños. Para el interfuncionamiento con equipo antiguo (diseñado para transmitir solamente los valores "0" y "1"), se aplican las condiciones siguientes:</p> <ul style="list-style-type: none"> – Para compatibilidad hacia atrás, el equipo antiguo interpretará cualquier valor recibido distinto del valor "0" como una condición de equipado. – Para compatibilidad hacia adelante, cuando reciba el valor "1" del equipo antiguo, el equipo nuevo no generará una alarma de desadaptación de cabida útil. <p>NOTA 4 – El código "03" seguirá interpretándose, a efectos de compatibilidad hacia atrás, como se definió anteriormente, incluso si ya no se definen correspondencias síncronas de bytes en modo fijo.</p> <p>NOTA 5 – Cae en esta categoría cualquier correspondencia definida en UIT-T O.181 que no se ajuste a una correspondencia definida en la presente Recomendación.</p> <p>NOTA 6 – El valor "FF" indica VC-AIS. Es generado por una fuente de TCM si no se dispone de ninguna señal entrante válida y no se genera una señal sustitutiva.</p> <p>NOTA 7 – Valor anterior asignado para una correspondencia anticuada de señal con alineación de trama HDLC/PPP [12], [13].</p>			

Cuadro 9-11/G.707/Y.1322 – Codificación del byte C2 (fin)

MSB 1 2 3 4	LSB 5 6 7 8	Código hexadecimal (Nota 1)	Interpretación
<p>NOTA 8 – Estas correspondencias están en estudio y las etiquetas de señal se han asignado provisionalmente.</p> <p>NOTA 9 – El valor "05" sólo ha de utilizarse en casos en los que no se define un código de correspondencia en el cuadro anterior. Utilizando este código, el desarrollo o las actividades experimentales se aíslan del resto de las redes SDH. No hay ninguna compatibilidad hacia adelante si una etiqueta de señal específica es asignada más tarde. Si ya está hecho, el equipo que ha de utilizar este código debe reconfigurarse para utilizar esa nueva etiqueta de señal específica o ser reciclado.</p>			

9.3.1.4 Categoría de trayecto: G1

Se asigna un byte para comunicar a una fuente de terminación de camino de VC-4-Xc/VC-4/VC-3 la categoría y calidad de funcionamiento del trayecto detectada por un sumidero de terminación de camino. Esta característica permite el control de la categoría y calidad de funcionamiento del camino dúplex completo en ambos extremos o en cualquier punto de este camino. En la figura 9-8 se ilustra la asignación de bits de G1.

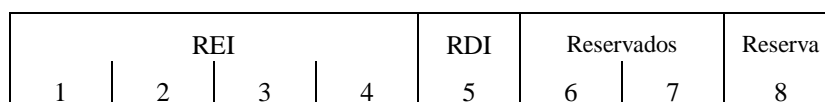


Figura 9-8/G.707/Y.1322 – Categoría de trayecto de VC-4-Xc/VC-4/VC-3 (G1)

Los bits 1 a 4 llevan la cuenta de los bloques de bits entrelazados que han sido detectados como erróneos por el sumidero de terminación de camino mediante el código BIP-8 del trayecto (B3). Esta cuenta tiene nueve valores válidos, a saber, errores 0 a 8. Los siete posibles valores restantes representados por estos cuatro bits únicamente pueden ser el resultado de alguna condición no relacionada y se interpretan como no errores.

El bit 5 se pone a 1 para indicar una indicación de defecto distante (RDI, *remote defect indication*) de trayecto VC-4-Xc/ VC-4/VC-3, y si no procede se pone a 0. La RDI de este trayecto es devuelta hacia la fuente de terminación de camino si el sumidero de terminación de camino detecta un fallo de la señal de servidor de AU-4-Xc/AU-4/AU-3 o TU-3 o un fallo de la señal de camino. La RDI no indica defectos de cabida útil distante o de adaptación. La RDI indica los defectos de conectividad y del servidor; para más detalles véase UIT-T G.783.

Los bits 6 y 7 se reservan para la utilización facultativa descrita en VII.1. Si no se utiliza esta opción, los bits 6 y 7 deberán ponerse a 00 ó 11. El receptor tiene que poder ignorar el contenido de estos bits. La utilización de la función facultativa queda a criterio del propietario de la fuente de terminación de camino que genera el byte G1.

El bit 8 se asigna a una utilización futura. No tiene un valor definido y el receptor ha de ignorar su contenido.

NOTA – El equipo conforme a la versión de 1993 de UIT-T I.432, puede utilizar el bit 5 de G1 para indicar una pérdida de delimitación de célula (LCD, *loss of cell delineation*) distante.

9.3.1.5 Canales de usuario de trayecto: F2, F3

Estos bytes se asignan para fines de comunicación de usuario entre elementos del trayecto y dependen de la cabida útil.

Para la correspondencia de DQDB en VC-4 se utilizan estos dos octetos para transmitir los octetos de información de gestión de capa DQDB (M1 y M2) [1].

9.3.1.6 Indicador de posición y de secuencia: H4

Este byte proporciona un indicador multitrama y de secuencia para la concatenación de VC-3/4 (véase 11.2) y un indicador de posición generalizado para cabidas útiles. En este último caso, el contenido es específico de la cabida útil (por ejemplo, H4 puede utilizarse como un indicador de multitrama para cabida útil VC-2/1 definida en 8.3.8).

Para la correspondencia de DQDB en VC-4, el byte H4 transporta la información de frontera de intervalo de tiempo y la señal de estado del enlace (LSS). Los bits 1 y 2 se utilizan para el código LSS [1]. Los bits 3 a 8 forman el indicador de desplazamiento de intervalo. El indicador de desplazamiento de intervalo contendrá un número binario que indique el desplazamiento en octetos entre el octeto H4 y la frontera del primer intervalo que sigue al octeto H4. La gama válida del valor de indicador de desplazamiento de intervalo será de 0 a 52. Un valor recibido de 53 a 63 corresponde a una condición de error.

9.3.1.7 Canal de conmutación automática de protección (APS): K3 (b1-b4)

Estos bits se asignan para señalización de APS para protección a los niveles de trayecto de VC-4/3.

9.3.1.8 Byte de operador de red: N1

Este byte se asigna para proporcionar una función de supervisión de conexión en cascada (TCM). En los anexos C y D se dan los detalles relativos a dos posibles implementaciones de la función HO-TCM.

9.3.1.9 Enlace de datos K3 (b7-b8)

Los bits 7 y 8 de K3 están reservados para un enlace de datos de trayecto de orden superior. Las aplicaciones y protocolos caen fuera del alcance de esta Recomendación.

9.3.1.10 Reserva: K3 (b5-b6)

Estos bits se asignan a una utilización futura. No tienen un valor definido y el receptor debe ignorar su contenido.

9.3.2 Tara de trayecto de VC-2/VC-1

Los bytes V5, J2, N2 y K4 se asignan a la tara de trayecto de VC-2/VC-1. El byte V5 es el primer byte de la multitrama y su posición viene indicada por el puntero de TU-2/TU-1. La posición de estos bytes en la multitrama se indica en la figura 8-9.

NOTA – La información dependiente de la cabida útil y la independiente de la cabida útil se comunica mediante codificaciones diferentes en los bits 5 a 7 del byte V5 y 5 a 7 del byte K4.

9.3.2.1 Byte V5

Este byte proporciona las funciones de comprobación de errores, etiqueta de señal y categoría de trayecto de los trayectos de VC-2/VC-1. Las asignaciones de bits del byte V5 se especifican en los párrafos siguientes y se ilustran en la figura 9-9.

BIP-2		REI	RFI	Etiqueta de señal			RDI
1	2	3	4	5	6	7	8

Figura 9-9/G.707/Y.1322 – POH V5 de VC-2/VC-1

Los bits 1 y 2 se utilizan para el control de la característica de error. Se especifica un esquema de paridad de entrelazado de bits (BIP). El bit 1 se fija de manera tal que la paridad de todos los bits de número impar (1, 3, 5 y 7) en todos los bytes del VC-2/VC-1 previo sea par, y el bit 2 se fija de forma similar para los bits de número par (2, 4, 6 y 8).

Obsérvese que el cálculo del BIP-2 incluye los bytes de POH de VC-2/VC-1, pero excluye los bytes V1, V2, V3 (excepto cuando se utilizan para justificación negativa) y V4.

El bit 3 es una indicación de error distante (REI) de trayecto de VC-2/VC-1 que se pone a uno y se envía hacia atrás al originador del trayecto de VC-2/VC-1 si uno o más errores son detectados por BIP-2, y en cualquier otro caso se pone a cero.

El bit 4 es una indicación de error distante (RFI, *remote failure indication*) de trayecto síncrono de byte VC-11. Este bit se pone a uno si se declara un fallo, en los demás casos se pone a cero. La RFI de trayecto de VC-11 es devuelta por la terminación de VC-11. El uso y el contenido de este bit no se definen para VC-2 y VC-12.

NOTA – Un fallo es un defecto que persiste más allá del tiempo máximo asignado a los mecanismos de protección del sistema de transmisión.

Los bits 5 a 7 proporcionan una etiqueta de señal VC-2/VC-1. Son posibles ocho valores binarios en estos tres bits. El valor 000 indica "trayecto de VC-2/VC-1 sin equipar o supervisor sin equipar". El valor 001 es utilizado por el equipo antiguo para indicar "cabida útil no específica equipada de trayecto de VC-2/VC-1". Otros valores son utilizados por los equipos nuevos para indicar correspondencias específicas, como se muestra en el cuadro 9-12. El valor 101 restante indica una correspondencia VC-2/VC-1 dada por la etiqueta de señal ampliada de 9.3.2.4. Cualquier valor recibido distinto de 000 indica un trayecto de VC-2/VC-1 equipado.

Cuadro 9-12/G.707/Y.1322 – Codificación de etiqueta de señal V5 de VC-2/VC-1

b5	b6	b7	Significado
0	0	0	Sin equipo o supervisor sin equipo
0	0	1	Reservado (nota 1)
0	1	0	Asíncrono, véanse 10.1.3.1, 10.1.4.1 y 10.1.5.1
0	1	1	Sincronismo de bit, véanse 10.1.3.2 y 10.1.5.2 (nota 2)
1	0	0	Sincronismo de byte, véanse 10.1.4.2, 10.1.4.3, 10.1.5.3 y 10.1.5.4
1	0	1	Etiqueta de señal ampliada descrita en 9.3.2.4 (nota 2)
1	1	0	Señal de prueba, correspondencia específica de la Recomendación O.181 (nota 3)
1	1	1	VC-AIS (nota 4)

**Cuadro 9-12/G.707/Y.1322 – Codificación de etiqueta de señal V5
de VC-2/VC-1 (continuación)**

b5	b6	b7	Significado
<p>NOTA 1 – El valor "1" no debe utilizarse en ningún equipo diseñado después de la fecha de aprobación (10/2000) de esta Recomendación. En el pasado, este código significaba "no equipado – no específico" y se ha utilizado en los casos en los que no se ha definido un código de correspondencia en este cuadro (véase código "101" y etiqueta de señal ampliada "02" en el cuadro 9-11 para los nuevos diseños. Para el interfuncionamiento con equipo antiguo (diseñado para transmitir solamente los valores "0" y "1"), se aplican las condiciones siguientes:</p> <ul style="list-style-type: none"> – para compatibilidad hacia atrás, el equipo antiguo interpretará cualquier valor recibido distinto del valor "0" como una condición de equipado; – para compatibilidad hacia adelante, cuando reciba el valor "1" del equipo antiguo, el equipo nuevo no generará una alarma de desadaptación de cabida útil. <p>NOTA 2 – En el caso de un VC-12, el código "3" seguirá siendo interpretado, a efectos de compatibilidad hacia atrás, como se definió anteriormente incluso si ya no se define la correspondencia síncrona de bits de la señal a 2048 kbit/s.</p> <p>NOTA 3 – Cae en esta categoría cualquier correspondencia no virtualmente concatenada definida en UIT-T O.181 que no se ajuste a una correspondencia definida en la presente Recomendación.</p> <p>NOTA 4 – El valor "7" indica VC-AIS. Es generado por una fuente de TCM si no se dispone de ninguna señal entrante válida y no se genera una señal sustitutiva.</p>			

El bit 8 se pone a 1 para señalar una indicación de defecto distante (RDI) de trayecto de VC-2/VC-1, y si no procede se pone a 0. La RDI del trayecto de VC-2/VC-1 se devuelve hacia la fuente de terminación de camino si el sumidero de terminación de camino detecta una condición de fallo de la señal de servidor TU-2/TU-1 o una condición de fallo de camino. La RDI no indica defectos de cabida útil distante o de adaptación. La RDI indica los defectos de conectividad y del servidor; para más detalles véase UIT-T G.783.

9.3.2.2 Traza de trayecto: J2

El byte J2 se utiliza para transmitir de manera repetitiva un identificador de punto de acceso de orden inferior, de tal modo que un terminal que reciba un trayecto puede verificar la continuidad de su conexión con el transmisor pretendido. El identificador de punto de acceso utiliza el formato definido en la cláusula 3/G.831. Se define una trama de 16 bytes para la transmisión de identificadores de punto de acceso de trayecto. Esta trama de 16 bytes es idéntica a la trama de 16 bytes definida en 9.2.2.2 para la descripción del byte J0.

NOTA – El equipo desarrollado antes de la adopción de la versión 1993 de UIT-T G.907 puede no soportar esta funcionalidad.

9.3.2.3 Byte de operador de red: N2

Este byte se asigna para proporcionar una función de supervisión de conexión en cascada (TCM). En el anexo E se dan los detalles relativos a la implementación de la LO-TCM.

9.3.2.4 Etiqueta de señal ampliada: K4 (b1)

Este bit está asignado a una etiqueta de señal ampliada. Si la etiqueta de señal en los bits 5 a 7 de V5 es 101, el contenido de la etiqueta de señal ampliada es válido y se describe a continuación. Para todos los demás valores de los bits 5 a 7 de V5 el bit de etiqueta de señal ampliada no está definido y debe ser ignorado por el receptor.

El bit contiene una multitrama de 32 tramas representada en la figura 9-10. La señal de alineación de multitrama, MFAS, se compone de "0111 1111 110". La etiqueta de señal ampliada está contenida en los bits 12 a 19. La posición de multitrama 20 debe contener "0". Los 12 bits restantes se reservan para normalización futura. Deben fijarse todos "0" y deben ser ignorados por el receptor.

NOTA 1 – La multitrama de concatenación virtual en el bit 2 de K4 utiliza la MFAS de este bit. Esto significa que la función de concatenación virtual necesita considerar este bit sin confirmar que la etiqueta de señal de V5 es 101. No hay problemas de incoherencia, puesto que todas las cabidas útiles virtualmente concatenadas de bajo orden deben tener una etiqueta de señal ampliada.

NOTA 2 – Si en una etapa posterior, los bits reservados para uso futuro son activados, debe tenerse el cuidado de asegurar que se evita una secuencia de nueve "1" (imitando la MFAS).

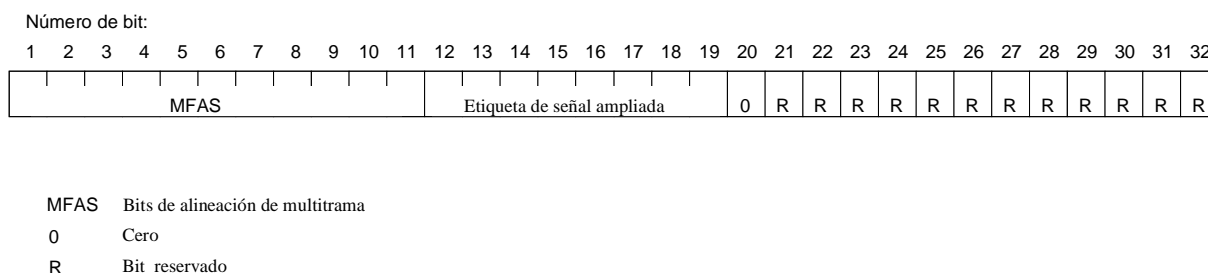


Figura 9-10/G.707/Y.1322 – Multitrama de bits 1 de K4

La codificación de la etiqueta de señal ampliada se indica en el cuadro 9-13. Las etiquetas de señal del cuadro 9-12 para la gama "0" a "7" y las etiquetas de señal en el cuadro 9-13 para la gama de "08" a "FF" juntas forman la gama de etiquetas de señal VC-1/2 completa de "00" a "FF".

NOTA 3 – La etiqueta de señal "5" es indicada por un equipo que no soporta la etiqueta de señal ampliada que recibe una etiqueta de señal ampliada.

NOTA 4 – Para el interfuncionamiento con equipo que utiliza la correspondencia ATM en 10.2.5, puede ser necesario aceptar la etiqueta de señal "5" de V5 sin la multitrama de bit 1 de K4 como condición equipada.

Cuadro 9-13/G.707 – Codificación de bytes de etiqueta de señal ampliada de VC-1/2

MSB b12 b13 b14 b15	LSB b16 b17 b18 b19	Código hexadecimal (Nota 1)	Interpretación
0 0 0 0	0 0 0 0	00	Reservado (nota 2)
...	
0 0 0 0	0 1 1 1	07	
0 0 0 0	1 0 0 0	08	Correspondencia en preparación (nota 3)
0 0 0 0	1 0 0 1	09	Correspondencia de ATM, véanse 10.2.3 a 10.2.5
0 0 0 0	1 0 1 0	0A	Correspondencia de HDLC/PPP [12], [13] señal entramada según 10.3
0 0 0 0	1 0 1 1	0B	Correspondencia de HDLC/LAPS [15] señal con alineación de trama según 10.3

Cuadro 9-13/G.707 – Codificación de bytes de etiqueta de señal ampliada de VC-1/2 (continuación)

MSB b12 b13 b14 b15	LSB b16 b17 b18 b19	Código hexadecimal (Nota 1)	Interpretación
0 0 0 0	1 1 0 0	0C	Señal de prueba virtualmente concatenada, correspondencia específica O.181 (nota 4)
0 0 0 0	1 1 0 1	0D	Correspondencia GFP (nota 5)
1 1 1 1	1 1 1 1	FF	Reservado

NOTA 1 – Hay 242 códigos de reserva que se dejan para futura utilización.

NOTA 2 – Los valores "00" a "07" están reservados para dar un nombre único a no ampliado en el cuadro 9-12 y a las etiquetas de señal ampliadas.

NOTA 3 – El valor "02" sólo ha de utilizarse en casos en los que no se define un código de correspondencia en el cuadro anterior. Utilizando este código, el desarrollo o las actividades experimentales se aíslan del resto de las redes SDH. No hay ninguna compatibilidad hacia adelante si una etiqueta de señal específica es asignada más tarde. Si ya está hecho, el equipo que ha de utilizar este código debe reconfigurarse para utilizar esa nueva etiqueta de señal específica o ser reciclado.

NOTA 4 – Cae en esta categoría cualquier correspondencia no virtualmente concatenada definida en UIT-T O.181 o en sus sucesoras que no se ajuste a una correspondencia definida en la presente Recomendación.

NOTA 5 – Esta correspondencia está en estudio y la etiqueta de señal provisionalmente asignada.

9.3.2.5 Concatenación virtual de bajo orden: K4 (bit 2)

Este bit está asignado a la cadena de concatenación virtual de orden inferior. Este bit está multitramado en 32 tramas para formar una cadena de 32 bits. Esta función se describe en 11.4.

9.3.2.6 Canal de conmutación automática de protección (APS): K4 (bits 3 a 4)

Estos bits se asignan para señalización de APS para protección al nivel de trayecto de orden inferior. Esta función queda en estudio.

9.3.2.7 Reservado: K4 (b5-b7)

Los bits 5 a 7 de K4 están reservados para la utilización facultativa descrita en VII.2. Si no se utiliza esta opción, estos bits se deberán poner a "000" ó "111". El receptor tiene que poder ignorar el contenido de estos bits. La utilización de la función facultativa queda a criterio del propietario de la fuente de terminación de camino que genera el byte K4.

9.3.2.8 Enlace de datos: K4 (b8)

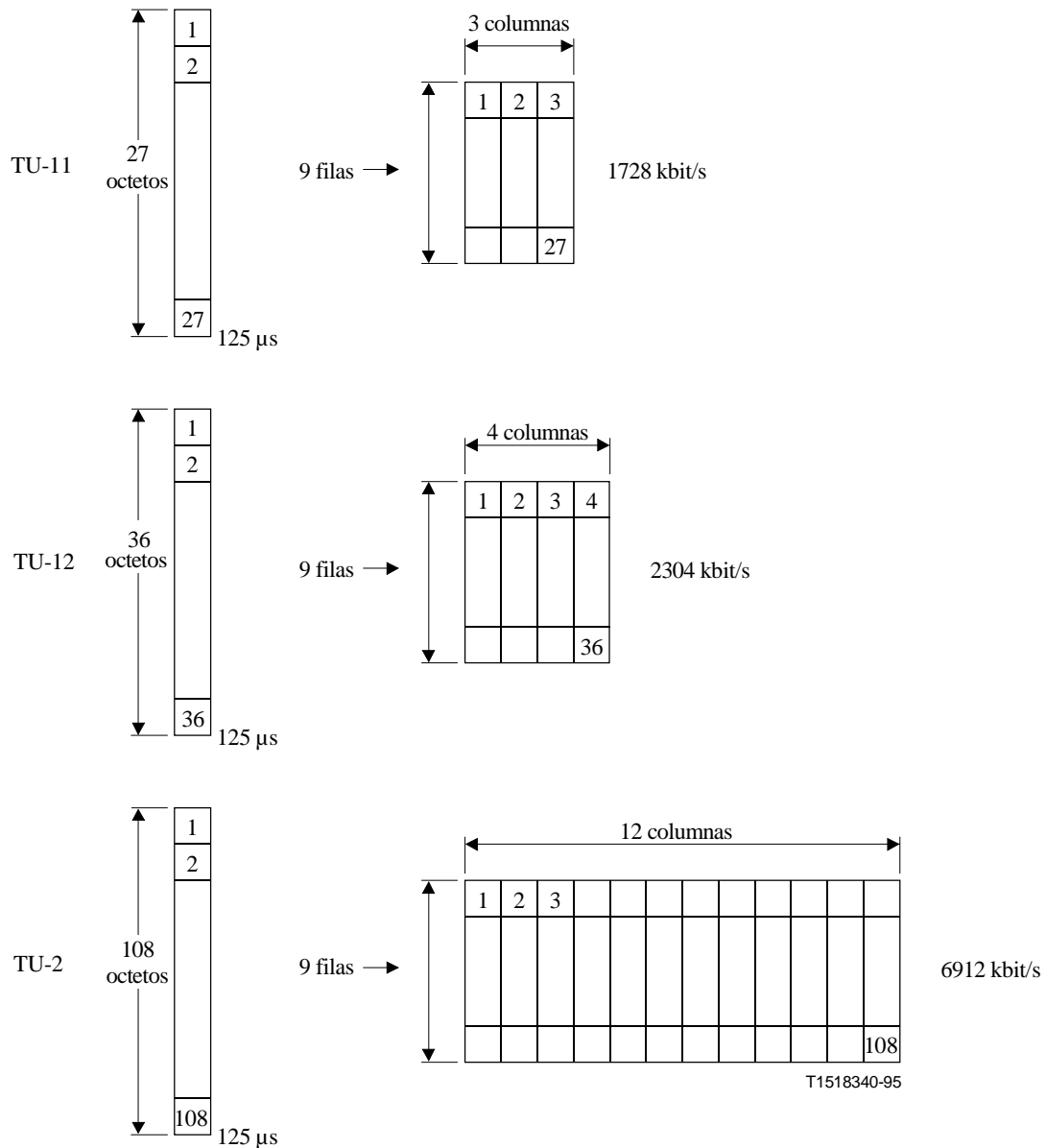
El bit 8 de K4 está reservado para un enlace de datos de trayecto de orden inferior. Las aplicaciones y los protocolos caen fuera del alcance de esta Recomendación.

10 Correspondencia de afluentes en VC-n

10.1 Correspondencia de señales G.702

Será posible la estructuración de los afluentes asíncronos y síncronos actualmente definidos en UIT-T G.702.

La figura 10-1 muestra los tamaños y formatos de TU-1 y TU-2.



NOTA – Los octetos de puntero de unidad afluente (V1 a V4) se encuentran en el octeto 1 (utilizando una multitrama de cuatro tramas).

Figura 10-1/G.707/Y.1322 – Tamaños y formatos de TU-1 y TU-2

10.1.1 Correspondencia en un VC-4

10.1.1.1 Correspondencia asíncrona de una señal a 139 264 kbit/s

Se puede hacer corresponder una señal a 139 264 kbit/s en un contenedor VC-4 de una trama STM-1 como se muestra en las figuras 10-2 y 10-3.

El contenedor VC-4 consta de una tara de trayecto (POH) de 9 bytes (una columna) más una estructura de cabida útil de 9 filas por 260 columnas como se muestra en la figura 10-2.

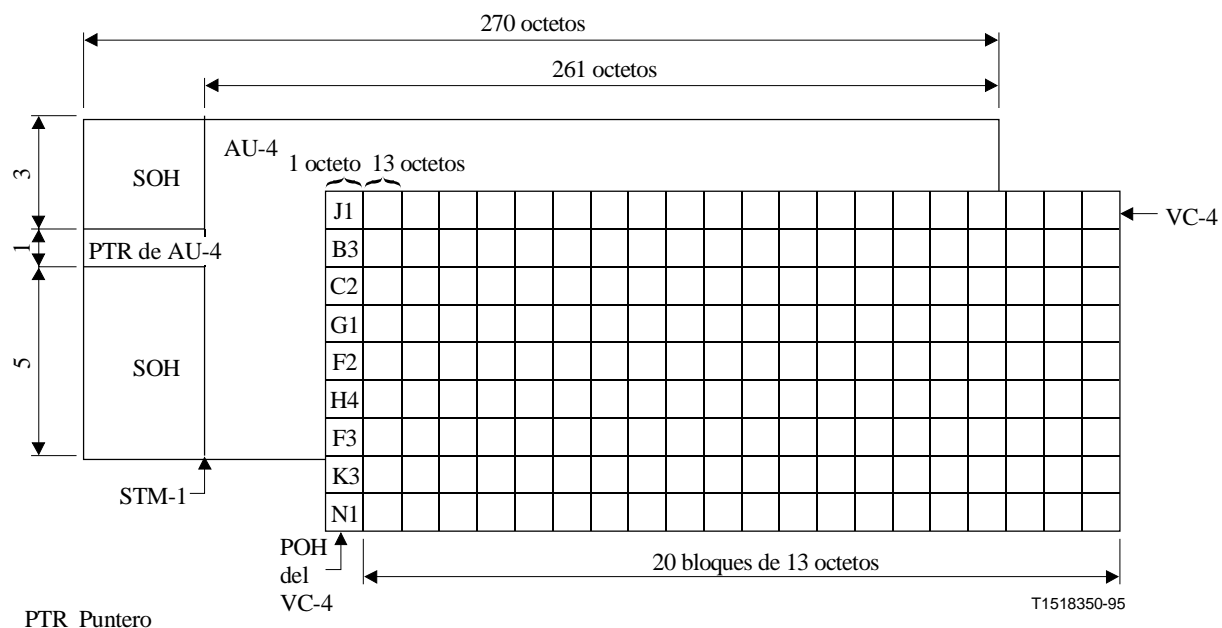
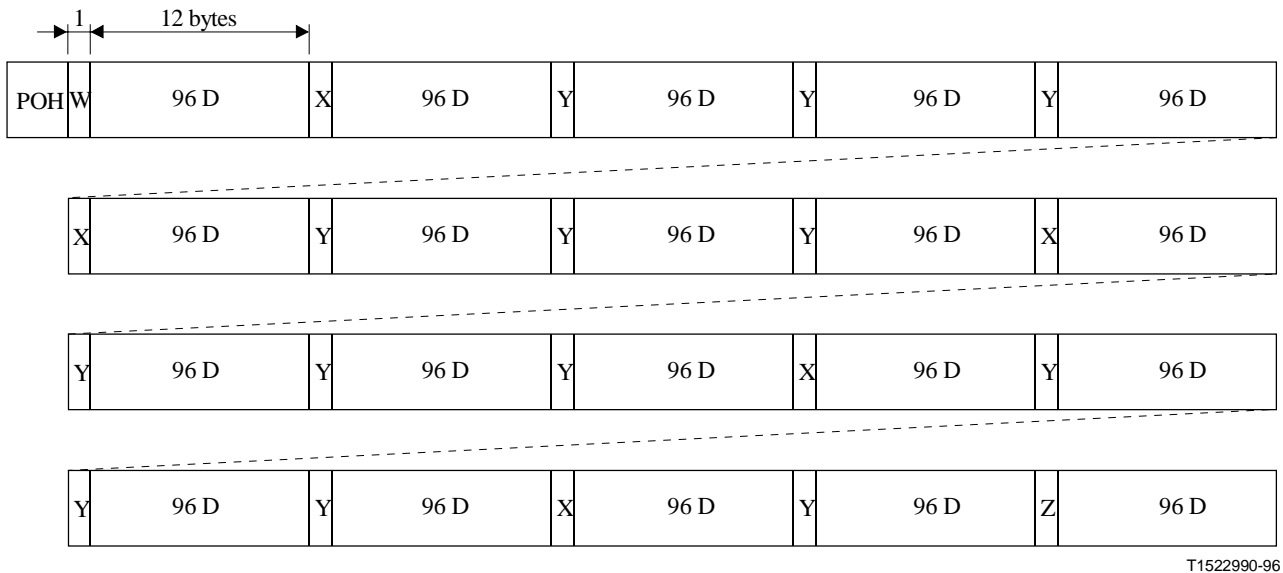


Figura 10-2/G.707/Y.1322 – Correspondencia de VC-4 con STM-1 y estructura de bloques de VC-4 para la correspondencia con un afluente asíncrono de 139 264 kbit/s

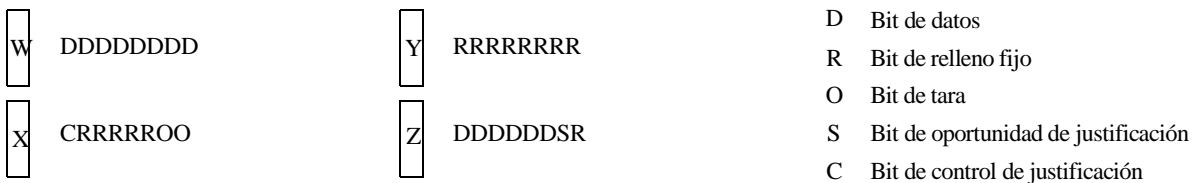
Esta cabida útil puede utilizarse para transportar una señal a 139 264 kbit/s:

- cada una de las 9 filas se divide en 20 bloques, que consta cada uno de 13 bytes (véase la figura 10-2);
- en cada fila, se proporcionan un bit de oportunidad de justificación (S) y cinco bits de control de justificación (C) (véase la figura 10-3);
- el primer byte de cada bloque consta de:
 - ocho bits de datos (D) (byte W), u
 - ocho bits de relleno fijos (R) (byte Y), o
 - un bit de control de justificación (C) más cinco bits de relleno fijo (R) más dos bits de tara (O) (byte X), o
 - seis bits de datos (D) más un bit de oportunidad de justificación (S) más un bit de relleno fijo (R) (byte Z),
- los últimos 12 bytes de cada bloque constan de bits de datos (D).

La secuencia de todos estos bytes se muestra en la figura 10-3.



T1522990-96



NOTA – Esta figura muestra una fila de la estructura de contenedor VC-4 de nueve filas.

Figura 10-3/G.707/Y.1322 – Correspondencia asíncrona de un afluente a 139 264 kbit/s en un VC-4

Los bytes de tara (O) se reservan para ulteriores fines de comunicación de tara.

El conjunto de cinco bits de control de justificación (C) de cada fila se utiliza para controlar el correspondiente bit de oportunidad de justificación (S). CCCCC = 00000 indica que el bit S es un bit de información, mientras que CCCCC = 11111 indica que el bit S es un bit de justificación.

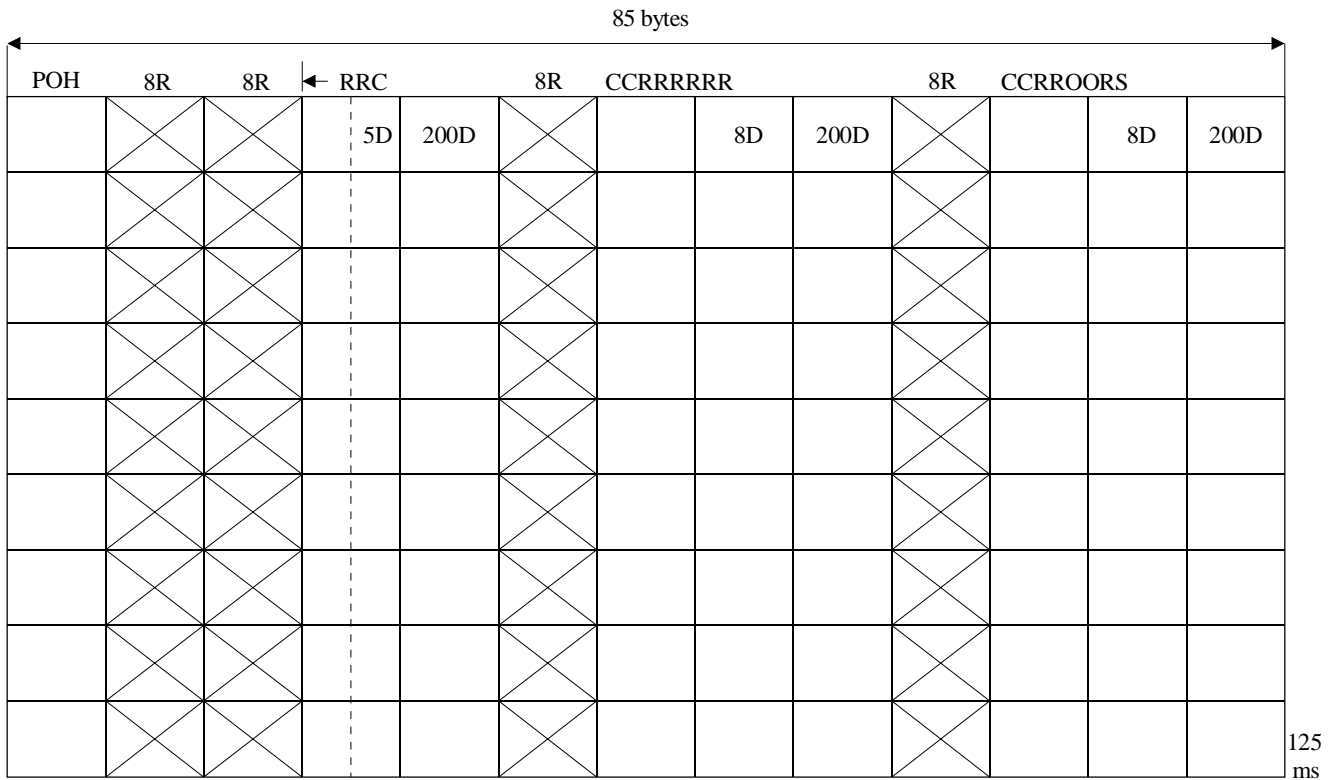
Debe utilizarse la votación por mayoría para tomar la decisión de justificación en el desincronizador, para la protección contra errores de bits simples y dobles en los bits C.

El valor contenido en el bit S, cuando éste se utiliza como bit de justificación, no está definido. El receptor debe ignorar el valor contenido en este bit siempre que se utilice como un bit de justificación.

10.1.2 Correspondencia en un VC-3

10.1.2.1 Correspondencia asíncrona de una señal a 44 736 kbit/s

Se puede hacer corresponder una señal de 44 736 kbit/s en un VC-3 como se muestra en la figura 10-4.



T1523000-96

- R Bit de relleno fijo
- C Bit de control de justificación
- S Bit de oportunidad de justificación
- D Bit de datos
- O Bit de tara

Figura 10-4/G.707/Y.1322 – Correspondencia asíncrona de un afluente a 44 736 kbit/s en un VC-3

El VC-3 consta de nueve subtramas cada 125 μs. Cada subtrama consta de un byte de POH de VC-3, 621 bits de datos, un conjunto de cinco bits de control de justificación, un bit de oportunidad de justificación y dos bits de canal de comunicación de tara. Los restantes bits son bits de rellenos fijo (R). Los bits O se reservan para fines futuros de comunicación de tara.

El conjunto de cinco bits de control de justificación (S) se utiliza para controlar el bit de oportunidad de justificación (S). CCCCC = 00000 indica que el bit S es un bit de datos, mientras que CCCCC = 11111 indica que el bit S es un bit de justificación. Debe utilizarse la votación por mayoría para tomar la decisión de justificación en el desincronizador, para la protección contra errores de bits simples y dobles en los bits C.

El valor contenido en el bit S, cuando éste se utiliza como bit de justificación, no está definido. El receptor debe ignorar el valor contenido en este bit cuando se utiliza como bit de justificación.

10.1.2.2 Correspondencia asíncrona de una señal a 34 368 kbit/s

Se puede hacer corresponder una señal de 34 368 kbit/s en un VC-3 como se muestra en la figura 10-5.

Además de la POH del VC-3, el VC-3 consta de una cabida útil de 9×84 bytes cada 125 μ s. Esta cabida útil se divide en tres subtramas, y cada subtrama consta de:

- 1431 bits de datos (*D, data bits*);
- dos conjuntos de cinco bits de control de justificación (C_1, C_2 , *justification control bits*);
- dos bits de oportunidad de justificación (S_1, S_2 , *justification opportunity bits*);
- 573 bits de relleno fijo (*R, fixed stuff bits*).

Dos conjuntos (C_1, C_2) de cinco bits de control de justificación se utilizan para controlar los dos bits de oportunidad de justificación S_1 y S_2 , respectivamente.

$C_1C_1C_1C_1C_1 = 00000$ indica que S_1 es un bit de datos, mientras que $C_1C_1C_1C_1C_1 = 11111$ indica que S_1 es un bit de justificación. Los bits C_2 controlan S_2 de la misma manera. Debe utilizarse la votación por mayoría para tomar la decisión de justificación en el desincronizador para la protección contra errores de bits simples y dobles en los bits C .

El valor contenido en S_1 y S_2 , cuando son bits de justificación, no se define. El receptor debe ignorar el valor contenido en estos bits cuando se utilizan como bits de justificación.

NOTA – Podría utilizarse la misma correspondencia para señales a 34 368 kbit/s, con sincronismo de bits o de bytes. En estos casos, el bit S_1 debe ser un relleno fijo y el bit S_2 un bit de datos. Al poner los bits C_1 a 1 y los bits C_2 a 0, podría utilizarse un desincronizador común para las correspondencias asíncrona y síncrona de ambas señales a 34 368 kbit/s.

10.1.3 Correspondencia en un VC-2

10.1.3.1 Correspondencia asíncrona de una señal a 6312 kbits

Se puede hacer corresponder una señal de 6312 kbit/s en un VC-2; la figura 10-6 muestra esto durante un periodo de 500 μ s.

V5	DDDDDDDR	(24 × 8) D	RRRRRRRR	125 μs
RRRRRRRR	C ₁ C ₂ OOODR	(24 × 8) D	RRRRRRRR	
DDDDDDDD	C ₁ C ₂ OOODR	(24 × 8) D	RRRRRRRR	
RRRRRRRR	C ₁ C ₂ DDDS ₁ S ₂ R	(24 × 8) D		
J2	DDDDDDDR	(24 × 8) D	RRRRRRRR	250 μs
RRRRRRRR	C ₁ C ₂ OOODR	(24 × 8) D	RRRRRRRR	
DDDDDDDD	C ₁ C ₂ OOODR	(24 × 8) D	RRRRRRRR	
RRRRRRRR	C ₁ C ₂ DDDS ₁ S ₂ R	(24 × 8) D		
N2	DDDDDDDR	(24 × 8) D	RRRRRRRR	375 μs
RRRRRRRR	C ₁ C ₂ OOODR	(24 × 8) D	RRRRRRRR	
DDDDDDDD	C ₁ C ₂ OOODR	(24 × 8) D	RRRRRRRR	
RRRRRRRR	C ₁ C ₂ DDDS ₁ S ₂ R	(24 × 8) D		
K4	DDDDDDDR	(24 × 8) D	RRRRRRRR	500 μs
RRRRRRRR	C ₁ C ₂ OOODR	(24 × 8) D	RRRRRRRR	
DDDDDDDD	C ₁ C ₂ OOODR	(24 × 8) D	RRRRRRRR	
RRRRRRRR	C ₁ C ₂ DDDS ₁ S ₂ R	(24 × 8) D		

- D Bit de datos
- S Bit de oportunidad de justificación
- R Bit de relleno fijo
- C Bit de control de justificación
- O Bit de tara

Figura 10-6/G.707/Y.1322 – Correspondencia asíncrona de un afluente a 6312 kbit/s

Además de la POH del VC-2, el VC-2 consta de 3152 bits de datos, 24 bits de control de justificación, ocho bits de oportunidad de justificación y 32 bits de canal de comunicación de tara. Los restantes bits son de relleno fijo (R). Los bits O se reservan para fines futuros de comunicación de tara.

Dos conjuntos (C₁, C₂) de tres bits de control de justificación se utilizan para controlar los dos bits de oportunidad de justificación S₁ y S₂, respectivamente.

C₁C₁C₁ = 000 indica que S₁ es un bit de datos, mientras que el C₁C₁C₁ = 111 indica que S₁ es un bit de justificación. Los bits C₂ controlan S₂ de la misma manera. Debe utilizarse la votación por mayoría para tomar la decisión de justificación en el desincronizador para la protección contra errores de bits simples en los bits C.

El valor contenido en S₁ y S₂, cuando estos son bits de justificación, no está definido. El receptor debe ignorar el valor contenido en estos bits cuando se utilizan como bits de justificación.

10.1.3.2 Correspondencia síncrona de bits de una señal a 6312 kbit/s

La correspondencia síncrona de bits para el afluente a 6312 kbit/s se muestra en la figura 10-7.

Obsérvese que se puede utilizar un desincronizador común para la correspondencia asíncrona y síncrona de bits.

V5	DDDDDDDR	(24 × 8) D	RRRRRRRR	125 μs
RRRRRRRR	1 ØOOO ODR	(24 × 8) D	RRRRRRRR	
DDDDDDDD	1 ØOOO ODR	(24 × 8) D	RRRRRRRR	
RRRRRRRR	1 ØDDDRDR	(24 × 8) D		
J2	DDDDDDDR	(24 × 8) D	RRRRRRRR	250 μs
RRRRRRRR	1 ØOOO ODR	(24 × 8) D	RRRRRRRR	
DDDDDDDD	1 ØOOO ODR	(24 × 8) D	RRRRRRRR	
RRRRRRRR	1 ØDDDRDR	(24 × 8) D		
N2	DDDDDDDR	(24 × 8) D	RRRRRRRR	375 μs
RRRRRRRR	1 ØOOO ODR	(24 × 8) D	RRRRRRRR	
DDDDDDDD	1 ØOOO ODR	(24 × 8) D	RRRRRRRR	
RRRRRRRR	1 ØDDDRDR	(24 × 8) D		
K4	DDDDDDDR	(24 × 8) D	RRRRRRRR	500 μs
RRRRRRRR	1 ØOOO ODR	(24 × 8) D	RRRRRRRR	
DDDDDDDD	1 ØOOO ODR	(24 × 8) D	RRRRRRRR	
RRRRRRRR	1 ØDDDRDR	(24 × 8) D		

D Bit de información de datos

R Bit de relleno fijo

O Bit de tara

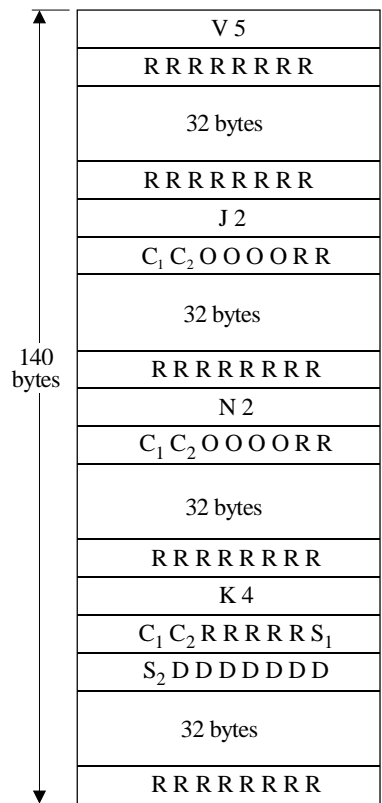
Figura 10-7/G.707/Y.1322 – Correspondencia síncrona de bits de un afluente a 6312 kbit/s

10.1.4 Correspondencia en un VC-12

NOTA – Véanse en la cláusula 9/G.803 los criterios de selección recomendados para la elección de la correspondencia a velocidad primaria.

10.1.4.1 Correspondencia asíncrona de una señal a 2048 kbit/s

Se puede hacer corresponder una señal de 2048 kbit/s en un VC-12. La figura 10-8 muestra esto durante un periodo de 500 μs.



T1523020-96

- D Bit de datos
- O Bit de tara
- C Bit de control de justificación
- S Bit de oportunidad de justificación
- R Bit(s) de relleno fijo

Figura 10-8/G.707/Y.1322 – Correspondencia asíncrona de un afluente a 2048 kbit/s

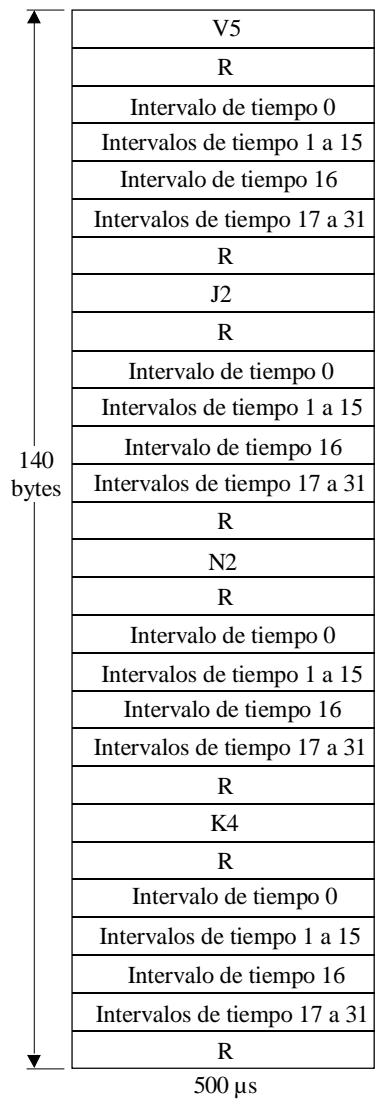
Además de la POH de trayecto del VC-1, el VC-12 consta de 1023 bits de datos, seis bits de control de justificación, dos bits de oportunidad de justificación, y ocho bits de canal de comunicación de tara. Los bits restantes son bits de relleno fijo (R). Los bits O se reservan para fines futuros de comunicación de tara.

Dos conjuntos (C_1 , C_2) de tres bits de control de justificación se utilizan para controlar los dos bits de oportunidad de justificación S_1 y S_2 , respectivamente. $C_1 C_1 C_1 = 000$ indica que S_1 es un bit de datos, mientras que $C_1 C_1 C_1 = 111$ indica que S_1 es un bit de justificación. Los bits C_2 controlan S_2 de la misma manera. Debe utilizarse la votación por mayoría para tomar la decisión de justificación en el desincronizador para la protección contra los errores de bits simples en los bits C.

El valor contenido en S_1 y S_2 , cuando éstos son bits de justificación, no está definido. El receptor debe ignorar el valor contenido en estos bits cuando se utilizan como bits de justificación.

10.1.4.2 Correspondencia síncrona de bytes de una señal a 2048 kbit/s

En la Figura 10-9 se muestra la correspondencia síncrona de bytes para los afluentes a 2048 kbit/s estructurada según la Recomendación G.704 que emplean, por ejemplo, señalización por canal común (CCS, *signalling common channel*) o señalización asociada al canal (CAS, *channel associated signalling*).

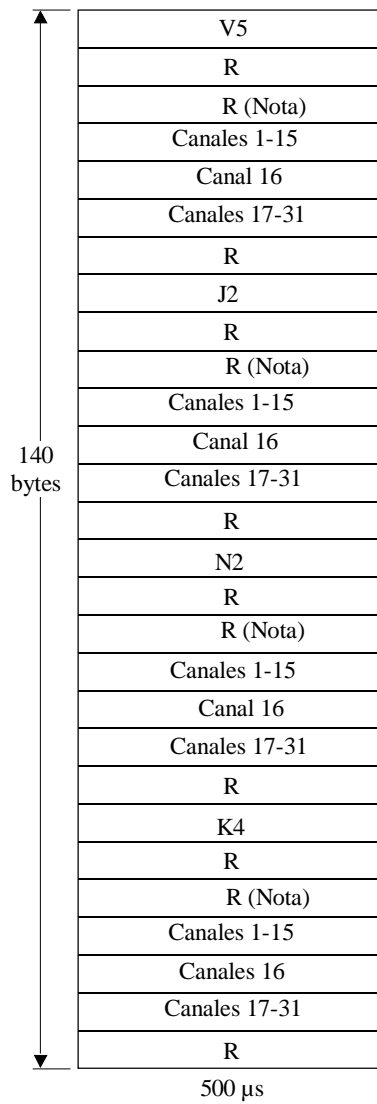


R byte de relleno fijo

Figura 10-9/G.707/Y.1322 – Correspondencia síncrona de bytes para un afluente a 2048 kbit/s (30 canales con señalización por canal común o señalización asociada al canal)

10.1.4.3 Correspondencia síncrona de bytes de 31 canales a 64 kbit/s

En la figura 10-10 se muestra la correspondencia síncrona de bytes de 31 canales a 64 kbit/s.



R byte de relleno fijo

NOTA – La inserción aquí de un intervalo de tiempo 0 de acuerdo con UIT-T G.704 daría lugar a la correspondencia de una señal a 2048 kbit/s que se describe en la figura 10-9.

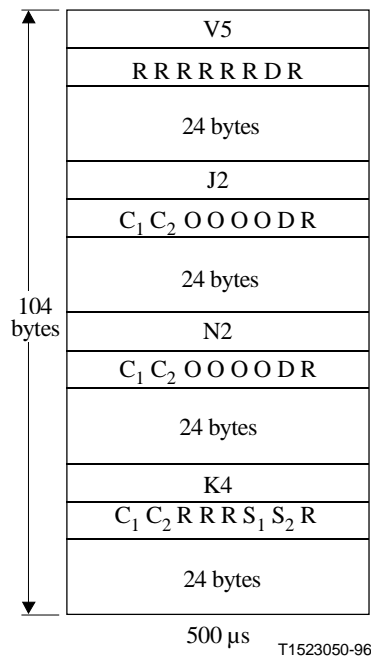
Figura 10-10/G.707/Y.1322 – Correspondencia síncrona de bytes de 31 canales a 64 kbit/s

10.1.5 Correspondencia en un VC-11

NOTA – Véanse en la cláusula 9/G.803 los criterios de selección recomendados para la elección de la correspondencia a velocidad primaria.

10.1.5.1 Correspondencia asíncrona de una señal a 1544 kbit/s

Se puede hacer corresponder una señal a 1544 kbit/s en un VC-11. La figura 10-11 muestra esto durante un periodo de 500 μs.



- D Bit de datos
- O Bit de tara
- C Bit de control de justificación
- S Bit de oportunidad de justificación
- R Bit(s) de relleno fijo

Figura 10-11/G.707/Y.1322 – Correspondencia asíncrona de un afluente a 1544 kbit/s

Además de la POH del VC-1, el VC-11 consta de 771 bits de datos, seis bits de control de justificación, dos bits de oportunidad de justificación y ocho bits de canal de comunicación de tara. Los bits restantes son bits de relleno fijo (R). Los bits O se reservan para fines futuros de comunicación.

Dos conjuntos (C_1 , C_2) de tres bits de control de justificación se utilizan para controlar los dos bits de oportunidad de justificación S_1 y S_2 , respectivamente.

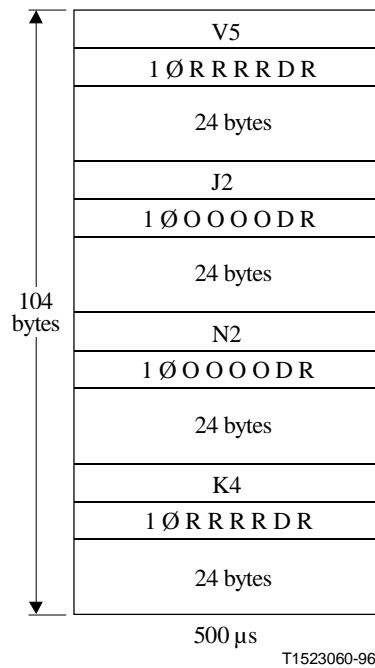
$C_1 C_1 C_1 = 000$ indica que S_1 es un bit de datos, mientras que $C_1 C_1 C_1 = 111$ indica que S_1 es un bit de justificación. Los bits C_2 controlan S_2 de la misma manera. Debe utilizarse votación por mayoría para tomar la decisión de justificación en el desincronizador, para la protección contra los errores de bits simples en los bits C.

El valor contenido en S_1 y S_2 , cuando estos son bits de justificación, no está definido. El receptor debe ignorar el valor contenido en estos bits cuando se utilizan como bits de justificación.

10.1.5.2 Correspondencia síncrona de bits de una señal a 1544 kbit/s

La correspondencia síncrona de bits para afluentes a 1544 kbit/s se muestra en la figura 10-12.

Obsérvese que se puede utilizar un desincronizador común para la correspondencia asíncrona y síncrona de bits.

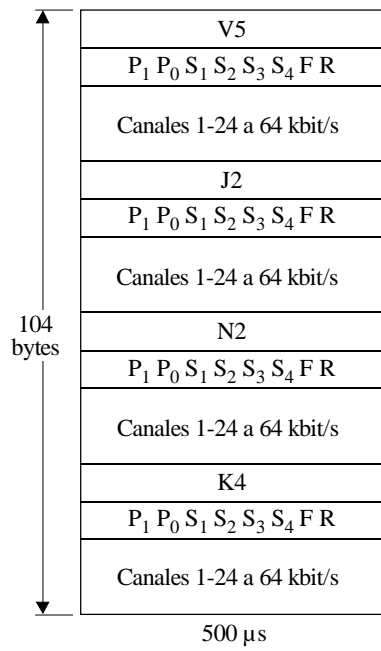


- D Bit de datos
- R Bit de relleno fijo
- O Bit de tara

Figura 10-12/G.707/Y.1322 – Correspondencia síncrona de bits para un afluente a 1544 kbit/s

10.1.5.3 Correspondencia síncrona de bytes de una señal a 1544 kbit/s

La correspondencia síncrona de bytes para señales a 1544 kbit/s se muestra en la figura 10-13.



T1523070-96

- F Bit de trama de afluente a 1544 kbit/s
- S Bits de señalización
- P₁ P₀ Indicador de fase de señalización
- P₁¹ P₀¹ 00 en el primer octeto de señalización de la multitrama

Figura 10-13/G.707/Y.1322 – Correspondencia síncrona de bytes para un afluente a 1544 kbit/s

Los bits S_1, S_2, S_3 y S_4 contienen la señalización para los 24 canales a 64 kbit/s. El bit F contiene el bit de trama a 1544 kbit/s. La fase de los bits de señalización y del bit F se indica en los bits P_1 y P_0 . Esto se ilustra en la figura 10-14.

Si los bits S o F no son utilizados en una aplicación, se fijarán a 0.

Señalización												Formatos				
Estado 2				Estado 4				Estado 16				24 tramas	12 tramas		Formatos	
S_1	S_2	S_3	S_4	S_1	S_2	S_3	S_4	S_1	S_2	S_3	S_4	F_4	FAS S		P_1	P_0
A_1	A_2	A_3	A_4	A_1	A_2	A_3	A_4	A_1	A_2	A_3	A_4	m	1	-	0	0
A_5	A_6	A_7	A_8	A_5	A_6	A_7	A_8	A_5	A_6	A_7	A_8	e_1	-	0	0	0
A_9	A_{10}	A_{11}	A_{12}	A_9	A_{10}	A_{11}	A_{12}	A_9	A_{10}	A_{11}	A_{12}	m	0	-	0	0
A_{13}	A_{14}	A_{15}	A_{16}	A_{13}	A_{14}	A_{15}	A_{16}	A_{13}	A_{14}	A_{15}	A_{16}	0	-	0	0	0
A_{17}	A_{18}	A_{19}	A_{20}	A_{17}	A_{18}	A_{19}	A_{20}	A_{17}	A_{18}	A_{19}	A_{20}	m	1	-	0	0
A_{21}	A_{22}	A_{23}	A_{24}	A_{21}	A_{22}	A_{23}	A_{24}	A_{21}	A_{22}	A_{23}	A_{24}	e_2	-	1	0	0
A_1	A_2	A_3	A_4	B_1	B_2	B_3	B_4	B_1	B_2	B_3	B_4	m	0	-	0	1
A_5	A_6	A_7	A_8	B_5	B_6	B_7	B_8	B_5	B_6	B_7	B_8	0	-	1	0	1
A_9	A_{10}	A_{11}	A_{12}	B_9	B_{10}	B_{11}	B_{12}	B_9	B_{10}	B_{11}	B_{12}	m	1	-	0	1
A_{13}	A_{14}	A_{15}	A_{16}	B_{13}	B_{14}	B_{15}	B_{16}	B_{13}	B_{14}	B_{15}	B_{16}	e_3	-	1	0	1
A_{17}	A_{18}	A_{19}	A_{20}	B_{17}	B_{18}	B_{19}	B_{20}	B_{17}	B_{18}	B_{19}	B_{20}	m	0	-	0	1
A_{21}	A_{22}	A_{23}	A_{24}	B_{21}	B_{22}	B_{23}	B_{24}	B_{21}	B_{22}	B_{23}	B_{24}	1	-	0	0	1
A_1	A_2	A_3	A_4	A_1	A_2	A_3	A_4	C_1	C_2	C_3	C_4	m	1	-	1	0
A_5	A_6	A_7	A_8	A_5	A_6	A_7	A_8	C_5	C_6	C_7	C_8	e_4	-	0	1	0
A_9	A_{10}	A_{11}	A_{12}	A_9	A_{10}	A_{11}	A_{12}	C_9	C_{10}	C_{11}	C_{12}	m	0	-	1	0
A_{13}	A_{14}	A_{15}	A_{16}	A_{13}	A_{14}	A_{15}	A_{16}	C_{13}	C_{14}	C_{15}	C_{16}	0	-	0	1	0
A_{17}	A_{18}	A_{19}	A_{20}	A_{17}	A_{18}	A_{19}	A_{20}	C_{17}	C_{18}	C_{19}	C_{20}	m	1	-	1	0
A_{21}	A_{22}	A_{23}	A_{24}	A_{21}	A_{22}	A_{23}	A_{24}	C_{21}	C_{22}	C_{23}	C_{24}	e_5	-	1	1	0
A_1	A_2	A_3	A_4	B_1	B_2	B_3	B_4	D_1	D_2	D_3	D_4	m	0	-	1	1
A_5	A_6	A_7	A_8	B_5	B_6	B_7	B_8	D_5	D_6	D_7	D_8	1	-	1	1	1
A_9	A_{10}	A_{11}	A_{12}	B_9	B_{10}	B_{11}	B_{12}	D_9	D_{10}	D_{11}	D_{12}	m	1	-	1	1
A_{13}	A_{14}	A_{15}	A_{16}	B_{13}	B_{14}	B_{15}	B_{16}	D_{13}	D_{14}	D_{15}	D_{16}	e_6	-	1	1	1
A_{17}	A_{18}	A_{19}	A_{20}	B_{17}	B_{18}	B_{19}	B_{20}	D_{17}	D_{18}	D_{19}	D_{20}	m	0	-	1	1
A_{21}	A_{22}	A_{23}	A_{24}	B_{21}	B_{22}	B_{23}	B_{24}	D_{21}	D_{22}	D_{23}	D_{24}	1	-	0	1	1

T1544320-01

A_n	Bit de señalización	F	Bit de señalización de trama
C_n	Bit de señalización	m	Bits de enlace de datos
B_n	Bit de señalización	e_n	Bits de CRC
D_n	Bit de señalización	FAS	Señal de alineación de trama
		S	FAS de multitrama de señalización

Figura 10-14/G.707/Y.1322 – Asignaciones de señalización fuera de intervalo (operaciones de señalización de 24 canales)

10.1.5.4 Correspondencia síncrona de bytes de una señal a 384 kbit/s

La correspondencia síncrona de bytes para afluentes a 384 kbit/s con entrelazado de 4 bytes se muestra en la figura 10-15.

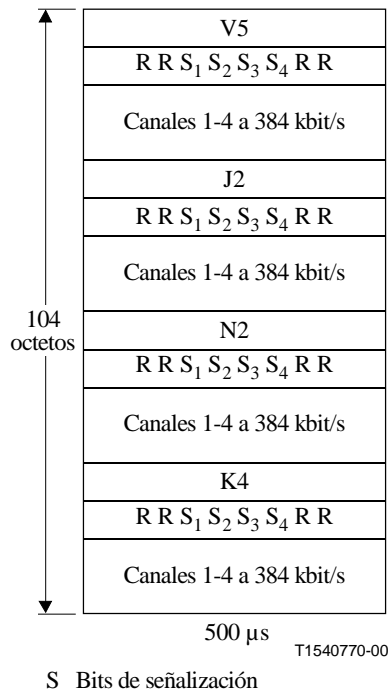


Figura 10-15/G.707/Y.1322 – Correspondencia síncrona de bytes para un afluente a 384 kbit/s

Los bits S₁, S₂, S₃ y S₄ contienen la señalización para cada uno de los cuatro canales a 384 kbit/s. Las asignaciones de señalización para los métodos de señalización asociadas al canal se muestran en la figura 10-16.

Número de trama	n	n + 1	n + 2	n + 3	n + 4	n + 5	n + 6	n + 7
Uso del bit S_i ($i = 1, 2, 3, 4$)	F_s	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	X
(notas 1, 4)	(nota 2)	(nota 3)					(nota 5)	

NOTA 1 – Cada S_i ($i = 1, 2, 3, 4$) constituye una multitrama de señalización independiente en ocho tramas. S_i incluye el indicador de fase en sí mismo, con la que los bits PP no se pueden utilizar para el indicador de fase.

NOTA 2 – El bit F_s o bien alternará entre 0 y 1 o tendrá el siguiente esquema digital de 48 bits:

A101011011 0000011001 1010100111 0011110110 10000101

En el caso del esquema digital de 48 bits, el bit A generalmente se pone a 1 y se reserva para uso nacional. Este esquema se genera de acuerdo con el siguiente polinomio primitivo (véase UIT-T X.50):

$$X^7 + X^4 + 1$$

NOTA 3 – El bit Y_j ($j = 1$ a 6) transporta la señalización asociada al canal o la información de mantenimiento. Cuando se adopta el esquema de 48 bits como señal de alineación de trama F_s , cada bit Y_j ($j = 1$ a 6) puede formar la siguiente multitrama:

$$Y_{j1}, Y_{j2}, \dots, Y_{j12}$$

El Y_{j1} transporta el siguiente esquema de alineación de trama de 16 bits generados de acuerdo con el mismo polinomio primitivo utilizado para el esquema de 48 bits:

A011101011011000

El bit A suele ponerse a 1 y está reservado para uso nacional. Cada bit Y_{ji} ($i = 2$ a 12) transporta señalización asociada al canal para circuitos a velocidades submúltiplo y/o información de mantenimiento.

NOTA 4 – Los bits S_i (F_s, Y_1, \dots, Y_6 y X), todos ellos con el valor 1, contienen la señal de indicación de alarma (AIS) para 6 canales a 64 kbit/s.

NOTA 5 – El bit X se fija usualmente al valor 1. Cuando se necesita enviar una AIS hacia atrás para seis canales a 64 kbit/s, el bit X se pone a 0.

Figura 10-16/G.707/Y.1322 – Asignaciones de señalización fuera de intervalo

Cuadro 10-1/G.707/Y.1322 – Diferencias entre la denominación G.707 y G.704

G.707	G.704
S_i	ST_i
Y_j	S_j
X	S_p

10.1.6 Conversión de VC-11 en VC-12 para transporte mediante TU-12

Cuando se transporta un VC-11 en una TU-12, el VC-11 se adapta añadiendo relleno fijo con paridad par como se muestra en la figura 10-17. De esta manera, la cabida útil de la TU-12 resultante puede ser supervisada y transconectada en la red como si fuese un VC-12 con su valor BIP inalterado mientras se preserva la integridad de extremo a extremo del trayecto VC-11 real.

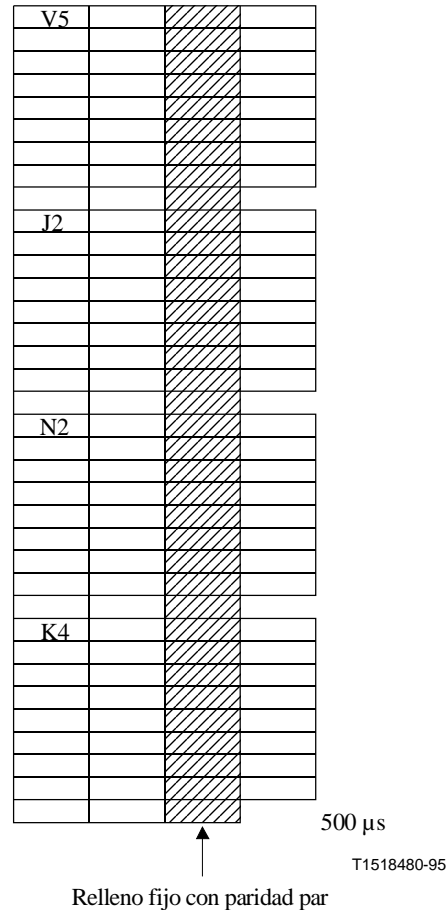


Figura 10-17/G.707/Y.1322 – Conversión de VC-11 en VC-12 para transporte mediante TU-12

10.2 Correspondencia de células ATM

La correspondencia de células ATM se realiza alineando la estructura de bytes de cada célula con la estructura de bytes de cada contenedor virtual utilizado, incluida la estructura concatenada (VC-n, VC-n-X, $n \geq 1$). Dado que la capacidad pertinente de contenedor-n, contenedor-n-Xc o contenedor-n-Xv puede no ser un múltiplo entero de la longitud de la célula ATM (53 bytes), se permite que una célula sobrepase el límite de contenedor-n, contenedor-n-Xc o contenedor-n-Xv.

El campo de información de la célula ATM (48 bytes) se aleatoriza antes de establecer la correspondencia en el VC-n o VC- n-X. En la operación inversa, después de terminar la señal de VC-x o VC-x-mc, el campo de información de la célula ATM se desaleatoriza antes de pasar a la capa ATM. Se utiliza un aleatorizador con autosincronismo con polinomio generador $x^{43} + 1$. El aleatorizador funciona mientras dura el campo de información de la célula. Durante el encabezamiento de 5 bytes, el aleatorizador no funciona, manteniéndose su estado. La primera célula transmitida al comienzo estará corrompida porque el desaleatorizador del extremo receptor no estará sincronizado con el desaleatorizador del transmisor. La aleatorización del campo de información de la célula es necesaria para la seguridad contra falsas desalineaciones de la misma y para que en el campo de información de la célula no se produzcan réplicas de la palabra de alineación de trama STM-N.

Cuando se termina el VC-n o VC-n-X, debe recuperarse la célula. El encabezamiento de la célula ATM contiene un campo de control de errores del encabezamiento (HEC, *header error control*) que se utiliza de manera semejante a una palabra de alineación de trama para conseguir la delimitación de la célula. El método del HEC utiliza la correlación entre los bits del encabezamiento que debe proteger el HEC (32 bits) y el bit de control del HEC (8 bits) introducido en el encabezamiento después del cálculo con un código cíclico acortado de polinomio generador $g(x) = x^8 + x^2 + x + 1$.

El resto de este polinomio se suma entonces al valor fijo "01010101" para mejorar las características de delimitación de células. Este método es similar a la recuperación de alineación de trama convencional, en el que la palabra de alineación no es fija sino que varía de una célula a otra.

En UIT-T I.432 aparece más información sobre la delimitación de células con HEC.

10.2.1 Correspondencia en un VC-4-Xc/VC-4-Xv

Se establece la correspondencia del flujo de células ATM en un contenedor-4-Xc o contenedor-4-Xv, haciendo que los límites de sus bytes están alineados con los límites del byte contenedor-4-Xc o contenedor-4-Xv. Se hace entonces corresponder al contenedor-4-Xc o contenedor-4-Xv en el VC-4-X junto con la POH del VC-4-X y (X-1) columnas de relleno fijo (véase la figura 10-18). Los límites de la célula ATM se alinean a continuación con los límites del byte VC-4-X. Dado que la capacidad de contenedor-4-Xc o contenedor-4-Xv ($X \times 2340$ bytes) no es un número múltiplo entero de la longitud de la célula (53 bytes), una célula puede sobrepasar los límites de la trama del contenedor-4-Xc o contenedor-4-Xv.

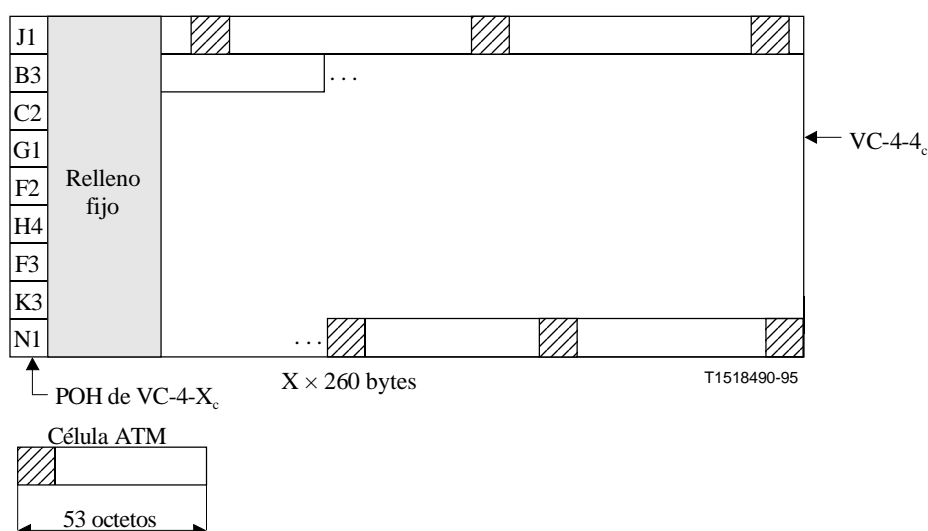


Figura 10-18/G.707/Y.1322 – Correspondencia de células ATM en un VC-4-Xc

10.2.2 Correspondencia en un VC-4/VC-3

Se establece la correspondencia del flujo de células ATM en un contenedor-4/contenedor-3, haciendo que los límites de sus bytes estén alineados con los límites del byte contenedor-4/contenedor-3. Se hace entonces corresponder al contenedor-4/contenedor-3 en el VC-4/VC-3 junto con la POH del VC-4/VC-3 (véase la figura 10-19). Los límites de la célula ATM se alinean a continuación con los límites del byte VC-4/VC-3. Dado que la capacidad del contenedor-4/contenedor-3 (2340/756 bytes respectivamente) no es un número múltiplo entero de la longitud de la célula (53 bytes), una célula puede sobrepasar los límites de la trama del contenedor-4/contenedor-3.

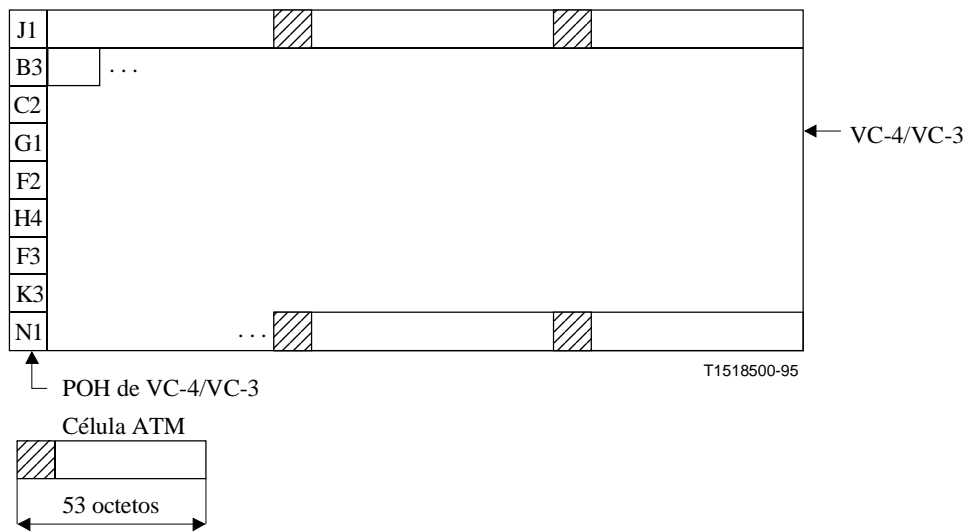
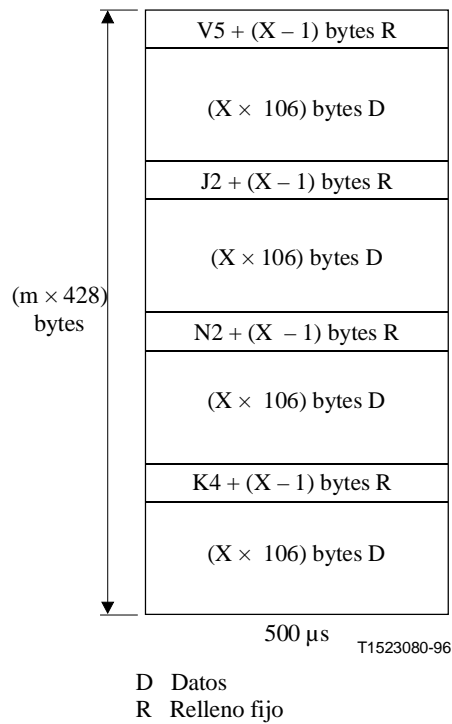


Figura 10-19/G.707/Y.1322 – Correspondencia de células ATM en un VC-4/VC-3

10.2.3 Correspondencia en un VC-2-Xc/VC-2-Xv

La figura 10-20 muestra la correspondencia de un flujo de células ATM con una velocidad de datos de $X \times 6,784$ Mbit/s, donde "X" puede tomar cualquier valor entero entre 1 y 7 inclusive para concatenación contigua y entre 1 y 64 inclusive para concatenación virtual.

La estructura del VC-2-X está organizada a modo de multitrama de cuatro tramas. Las tramas de la multitrama VC-2-Xc (concatenación contigua) constan de un byte de POH, (X-1) bytes de relleno y (X × 106) bytes de zona de cabida. Las tramas de la multitrama VC-2-Xv (concatenación virtual) constan de X bytes independientes de POH y (X × 106) bytes de zona de cabida útil. Las células ATM se cargan en la zona de cabida útil del VC-2-X con los límites de las células alineados con cualquier límite del byte VC-2-X. Puesto que el espacio de cabida útil del VC-2-X equivale exactamente a (X × 2) células ATM por trama de 125 μs, la alineación entre límites de células ATM y la estructura del VC-2-X permanecerá constante de trama en trama. Las células pueden sobrepasar los límites de la trama del VC-2-X.



NOTA – En el caso de concatenación virtual, las tramas contienen X bytes de POH de VC-2-mc independientes.

Figura 10-20/G.707/Y.1322 – Correspondencia de células ATM en un VC-2-Xc utilizando concatenación contigua

10.2.4 Correspondencias en un VC-2

La figura 10-21 muestra la correspondencia de un flujo de células ATM con una velocidad de datos de 6,784 Mbit/s.

La estructura del VC-2 está organizada a modo de multitrama de cuatro tramas. Las tramas de la multitrama constan de un octeto de POH de VC-2 y 106 octetos de zona de cabida útil. Las células ATM se cargan en la zona de cabida útil del VC-2 con los límites de las células alineados con cualquier límite del octeto VC-2. Puesto que el espacio de cabida útil del VC-2 equivale exactamente a dos células ATM por trama de 125 μ s, la alineación entre los límites de células ATM y la estructura del VC-2 permanecerá constante de trama en trama. Las células pueden sobrepasar los límites de la trama del VC-2.

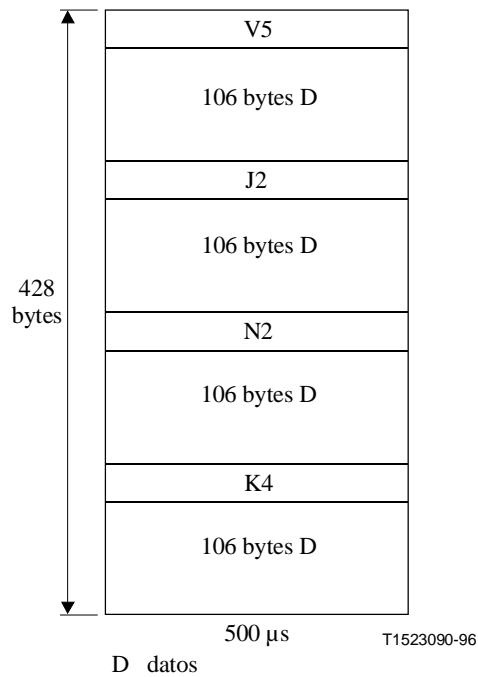
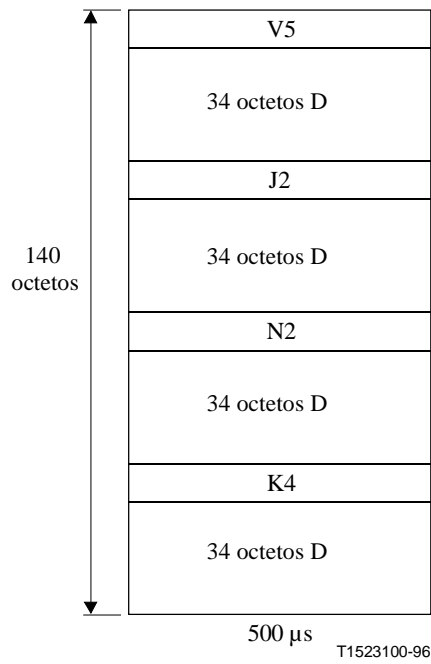


Figura 10-21/G.707/Y.1322 – Correspondencia de células ATM en un VC-2

10.2.5 Correspondencia en un VC-12/VC-11

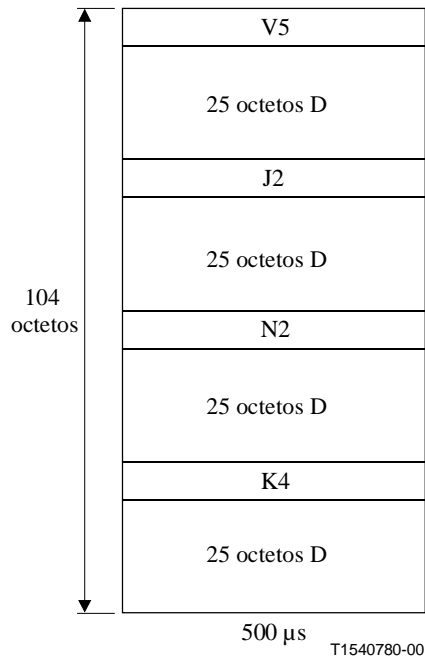
Las figuras 10-22 y 10-23 muestran la correspondencia de un flujo de células ATM con velocidades de datos de 2,176 Mbit/s y 1,600 Mbit/s en un VC-12 y un VC-11, respectivamente.

En el modo TU-n flotante, la estructura del VC-12/VC-11 está organizada a modo de multitrama de cuatro tramas. Las tramas de la multitrama constan de un octeto de POH de VC-12/VC-11 y de 34 ó 25 octetos, respectivamente, de zona de cabida útil. Las células ATM se cargan en la zona de cabida útil del VC-12/VC-11 con los límites de las células alineados con cualquier límite del octeto VC-12/VC-11. Puesto que el espacio de cabida útil del VC-12/VC-11 no está en relación con el tamaño de una célula ATM (53 octetos) la alineación entre límites de células ATM y la estructura del VC-12/VC-11 cambiará de trama en trama en una secuencia que se repite cada 53 tramas. Las células pueden sobrepasar los límites de la trama del VC-12/VC-11.



D Datos

Figura 10-22/G.707/Y.1322 – Correspondencia de células ATM en un VC-12



D Datos

Figura 10-23/G.707/Y.1322 – Correspondencia de células ATM en un VC-11

10.3 Correspondencia de señales con alineación de trama HDLC

La correspondencia de señales con alineación de trama HDLC [2] se efectúa alineando la estructura de bytes de cada trama con la estructura de bytes del contenedor virtual utilizado, incluida la estructura concatenada (VC-n-Xc/VC-n-Xv/VC-n). Como las trama HDLC son de longitud variable (la correspondencia no impone restricciones a la longitud máxima), una trama puede cruzar la frontera de trama del contenedor-x.

Las banderas HDLC (01111110) se utilizan como relleno intertramas para desmemorizar la naturaleza asíncrona de la llegada de las señales con alineación de tramas HDLC según la cabida útil efectiva del contenedor virtual utilizado (esto excluye cualesquiera bytes de relleno fijo).

La señal con alineación de trama HDLC más el relleno intertramas se aleatorizarán antes de insertarlos como cabida útil del contenedor virtual (VC-n-Xc/VC-n-Xv/VC-4/VC-3) utilizado. En la operación inversa, tras la terminación de la señal VC, la cabida útil se desaleatorizará antes de que se pase a la capa HDLC. Se utilizará un aleatorizador de autosincronización con un polinomio $x^{43}+1$.

El aleatorizador $x^{43}+1$ operará continuamente a través de los bytes del VC-n-Xc/VC-n-Xv/VC-4/VC-3, soslayando los bytes de la tara de trayecto SDH. El estado de aleatorización al comienzo de un VC-n-Xc/VC-n-Xv/VC-4/VC-3 será el estado al final del VC-n. Por tanto, el aleatorizador opera continuamente y no es reiniciado por trama. No se especifica un modelo inicial de aleatorizador. Por consiguiente, los primeros 43 bits transmitidos que siguen al arranque de la operación de retrama SDH no se desaleatorizarán correctamente.

El aleatorizador $x^{43}+1$ opera en el tren de datos de entrada con el bit más significativo (MSB, *most significant bit*) primero, con arreglo al orden de bits y el orden de transmisión definidos para SDH en la cláusula 5.

El procedimiento de correspondencia citado con aleatorización se utilizará para la correspondencia de las señales con alineación de trama HDLC (por ejemplo, HDLC/PPP o HDLC/LAPS con paquetes IP) en cualquier VC-n-Xc/VC-n-Xv/VC-4/VC-3 mientras no se requiera aleatorización para VC-2/VC-12/VC-11.

No hay otros requisitos específicos de cualquier tamaño de contenedor virtual, aparte de que la etiqueta de señal apropiada para ese contenedor se inserta en la ubicación de tara de trayecto. Las etiquetas de señal de trayecto se especifican en 9.3.

10.4 Correspondencia de DQDB en VC-4

La correspondencia de las señales de bus dual de cola distribuida (DQDB) [1] debe efectuarse con arreglo a ETSI ETS 300 216.

10.5 Correspondencia asíncrona para FDDI a 125 000 kbit/s en VC-4

La señal de capa física de interfaz de fibra de datos distribuidos (FDDI, *fiber distributed data interface*) a 125 000 kbit/s [3]-[11] se hace corresponder a un VC-4 SDH. El VC-4 consta de 1 columna (9 bytes) de tara de trayecto (POH) más una estructura de cabida útil de 9 filas por 260 columnas. Para esta correspondencia, cada fila de 260 bytes se divide en 20 bloques de 13 bytes cada uno (véase la figura 10-24).

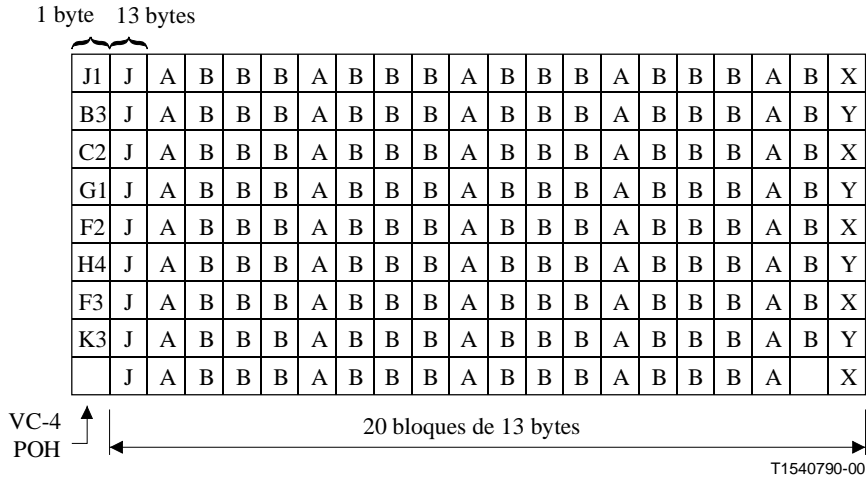


Figura 10-24/G.707/Y.1322 – Estructura de bloques de un VC-4 para correspondencia asíncrona de FDDI

Hay 5 tipos de bloques: J, A, B, X e Y. Los bloques constan de 13 bytes. Sus definiciones se hallan en la figura 10-25.

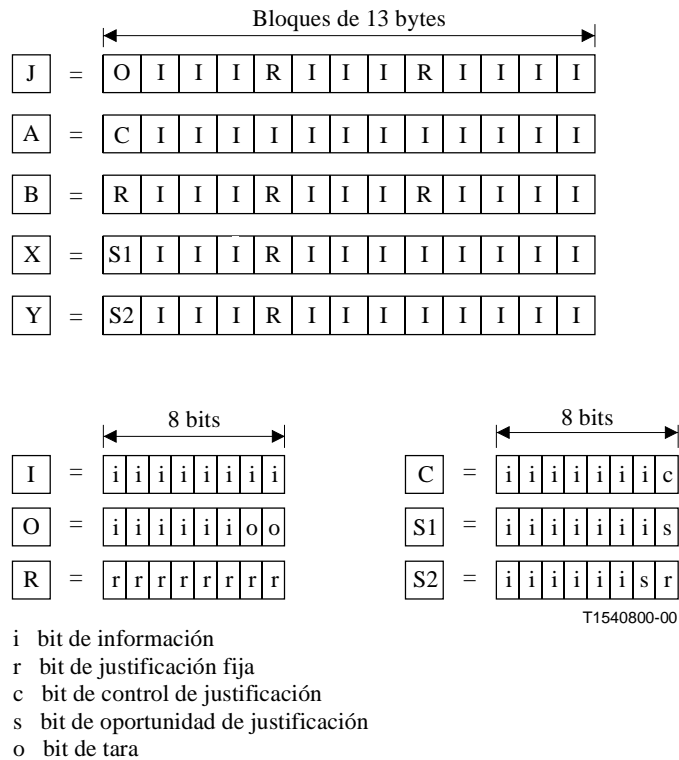


Figura 10-25/G.707/Y.1322 – Contenido de bloques para la correspondencia asíncrona de FDDI

A fin de acomodar la cabida útil de FDDI asíncrona (aproximadamente $15\,625 \pm 1$ bits por VC-4), se utiliza un mecanismo de justificación de bits. Los 15 620 bits de información (i) y los 9 bits de justificación (s) con esta estructura transportan los bits de capa física de FDDI. En cada fila de la estructura de cabida útil, se utilizan cinco bits de control de justificación (c) para controlar el bit de oportunidad de justificación (s) correspondiente de esa fila.

Si el bit s se utiliza para transportar información, los cinco bits c se fijan a cero {c c c c c = 0 0 0 0 0}. Si el bit s se utiliza como bit de justificación, los cinco bits c se fijan a uno {c c c c c = 1 1 1 1 1}. No se define el valor contenido en el bit s cuando se utiliza como justificación. El receptor ignorará el valor contenido en este bit siempre que se utilice como bit de justificación. Debe utilizarse voto por mayoría para tomar la decisión de justificación en el desincronizador para la protección contra los errores de un solo bit o de doble bit en los bits c.

Los bits de tara (o) está reservados para fines de futuras comunicaciones de tara. Los bits restantes son bits de relleno fijo (r).

11 Concatenación de VC

Para el transporte de cabidas útiles que no encajen eficientemente en el conjunto normalizado de contenedores virtuales (VC-3/4/2/12/11) puede utilizarse concatenación de VC. La concatenación de VC se define para:

- VC-3/4 – para proporcionar transporte de cabidas útiles que requieren capacidad mayor que un contenedor-3/4;
- VC-2 – para proporcionar transporte de cabidas útiles que requieren capacidad mayor que un contenedor-2;
- VC-1n – para proporcionar transporte de cabidas útiles que requieren capacidad mayor que un contenedor-1.

Se definen dos métodos de concatenación: concatenación contigua o concatenación virtual. Ambos métodos proporcionan una anchura de banda concatenada de X veces el contenedor-N en la terminación de trayecto. La diferencia es el transporte entre la terminación de trayecto. La concatenación contigua mantiene la anchura de banda contigua a lo largo del transporte completo, mientras que la concatenación virtual descompone la anchura de banda contigua en VC individuales, transporta los VC individuales y recombina estos VC para formar una anchura de banda contigua en el punto extremo de la conexión. La concatenación virtual requiere funcionalidad de concatenación solamente en el equipo de terminación de trayecto, mientras que la concatenación contigua requiere funcionalidad de concatenación en cada elemento de red.

Es posible realizar una conversión entre los dos tipos de concatenación. La conversión entre concatenación de VC-4 virtual y contigua se define en UIT-T G.783. La conversión entre concatenación de VC-2 virtual y contigua queda en estudio.

11.1 Concatenación contigua de X VC-4 (VC-4-Xc, X = 4, 16, 64, 256)

Un VC-4-Xc proporciona un área de cabida útil de X contenedor-4 como se muestra en la figura 11-1. Se utiliza un conjunto común de POH, ubicado en la primera columna para el VC-4-Xc completo (por ejemplo, el BIP-8 comprende las $261 * X$ columnas del VC-4-Xc). Las columnas 2 a X son relleno fijo.

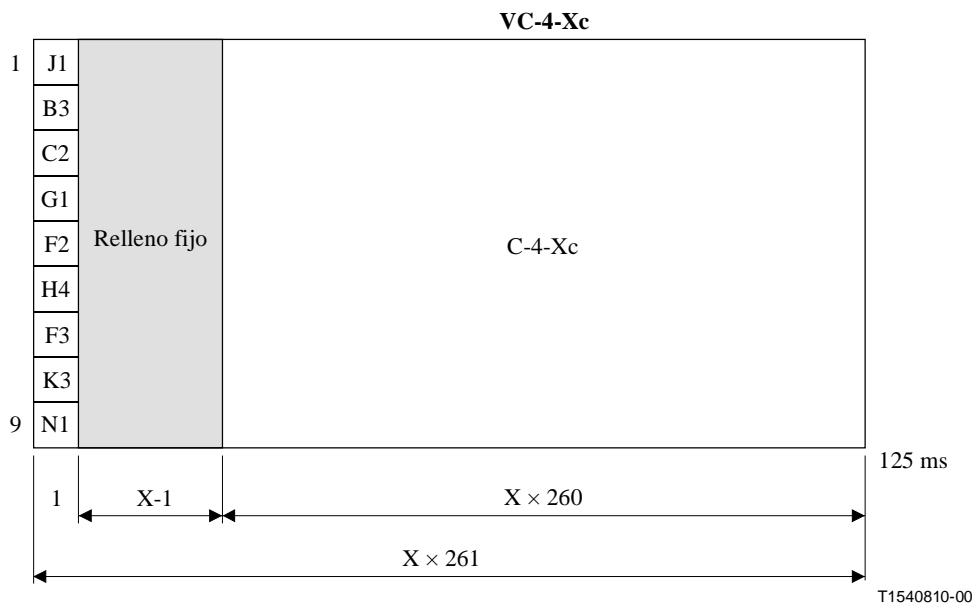


Figura 11-1/G.707/Y.1322 – Estructura de VC-4-Xc

El VC-4-Xc es transportado en X AU-4 contiguas en la señal STM-N. La primera columna del VC-4-Xc está siempre ubicada siempre en la primera AU-4. El puntero de esta primera AU-4 indica la posición del byte J1 del VC-4-Xc. Los punteros de la AU-4 #2 a X son fijados a la indicación de concatenación (véase la figura 8-3) para indicar la cabida útil contiguamente concatenada. La justificación de puntero se efectúa en común para las AU-4 concatenadas de X y se utilizan $X \times 3$ bytes de relleno.

Un VC-4-Xc proporciona una capacidad de cabida útil de 599 040 kbit/s para $X = 4$, 2'396'160 kbit/s para $X = 16$, y 9'584'640 kbit/s para $X = 64$ y 38'338'560 kbit/s para $X = 256$.

NOTA – Podría utilizarse un VC-4-Xc de alta velocidad sin constricciones en las conexiones punto a punto. Las redes SDH pueden limitarse a una cierta velocidad binaria de VC-4-Xc (por ejemplo, $X \leq 64$), por ejemplo debido a anillos con MSSPRING que tiene que reservar el 50% de la anchura de banda del STM-N para protección.

11.2 Concatenación virtual de X VC-3/4 (VC-3/4-Xv, X = 1 ... 256)

Un VC-3/4-Xv proporciona un área de cabida útil contigua de X contenedor-3/4 (VC-3/4-Xc) con una capacidad de cabida útil de $X \cdot 48384 / 149760$ kbit/s como se muestra en las figuras 11-2 y 11-3. Se establece correspondencia entre el contenedor y los X VC-3/4 individuales que forman el VC-3/4-Xv. Cada VC-3/4 tiene su propia POH como se especifica en 9.3.1. El byte POH de H4 es utilizado para la secuencia específica de concatenación virtual y la indicación de multitrama como se define a continuación.

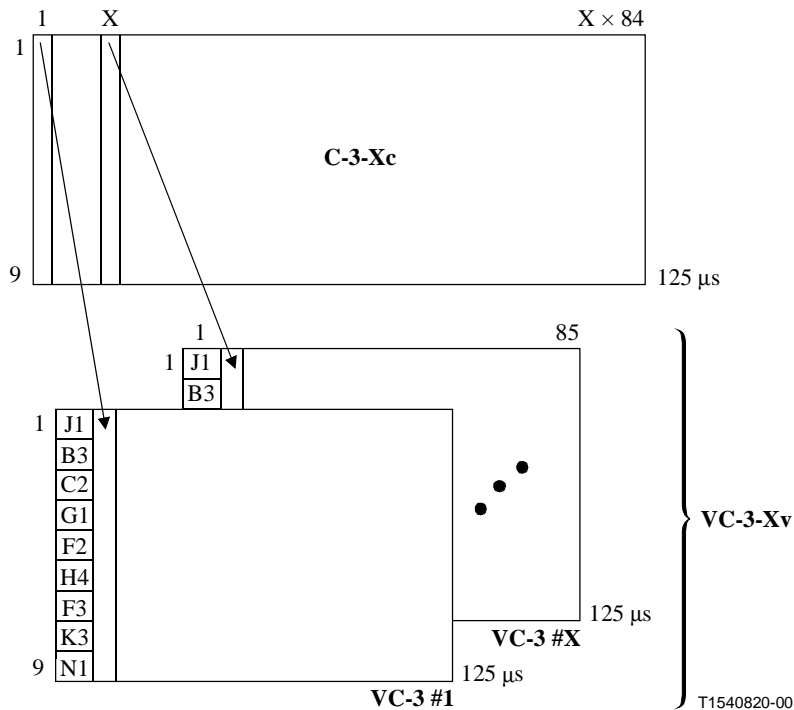


Figura 11-2/G.707/Y.1322 – Estructura de VC-3-Xv

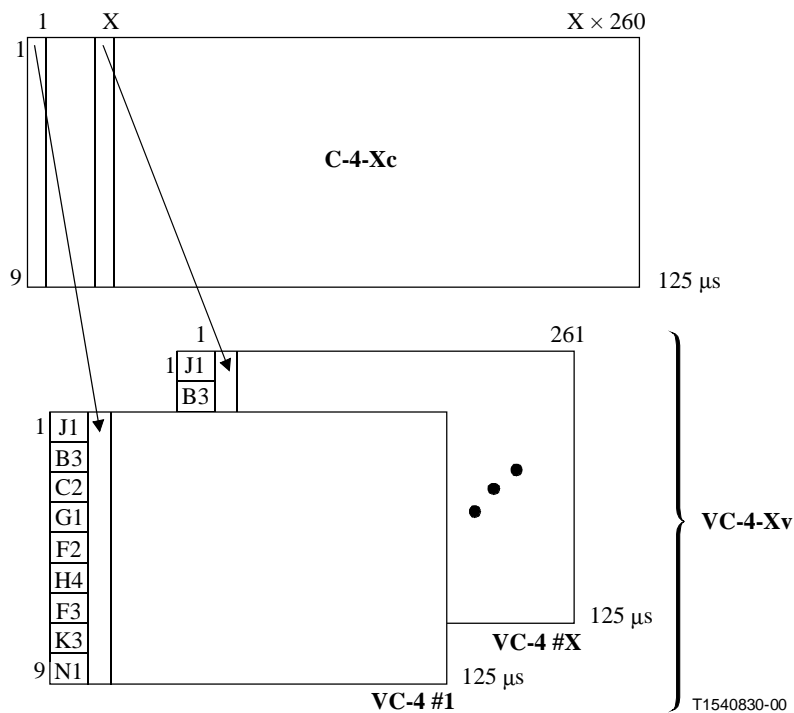


Figura 11-3/G.707/Y.1322 – Estructura de VC-4-Xv

Cada VC-3/4 del VC-3/4-Xv es transportado individualmente a través de la red. Debido al diferente retardo de propagación de los VC-3/4, se producirá un retardo diferencial entre los distintos VC-3/4. Este retardo diferencial tiene que ser compensado y los distintos VC-3/4 tienen que ser realineados para el acceso al área de cabida útil contigua. El proceso de realineación tiene que cubrir al menos un retardo diferencial de 125 μ s.

Se introduce una multitrama de 512 ms de dos etapas para cubrir retardos diferenciales de 125 μ s y superiores (hasta 256 ms). La primera etapa utiliza H4, bits 5-8 para el indicador de multitrama de 4 bits (MFI1, *multiframe indicator*). MFI1 es incrementado cada trama básica y cuenta de 0 a 15. Para el indicador de multitrama de 8 bits de la segunda etapa (MFI2), se utilizan H4, bits 1-4 en la trama 0 (MFI2 bits 1-4) y 1 (MFI2 bits 5-8) de la primera multitrama (véase el cuadro 11-1). MFI2 se incrementa una vez cada multitrama de la primera etapa y cuenta de 0 a 255. La multitrama global resultante tiene una longitud de 4096 tramas (= 512 ms).

Cuadro 11-1/G.707/Y.1322 – Codificación del H4 indicador de multitrama y de secuencia de VC-3/4-Xv

Byte H4								Primer número de multi-trama	Segundo número de multi-trama
Bit 1	Bit 2	Bit 3	Bit 4	Bit 5	Bit 6	Bit 7	Bit 8		
				Primer indicador de multitrama MFI1 (bits 1-4)					
MSB de indicador de secuencia (bits 1-4)				1	1	1	0	14	n-1
LSB de indicador de secuencia (bits 5-8)				1	1	1	1	15	
MSB de segundo indicador de multitrama MFI2 (bits 1-4)				0	0	0	0	0	n
MFI2 de primer indicador de multitrama LSB (bits 5-8)				0	0	0	1	1	
Reservado ("0000")				0	0	1	0	2	
Reservado ("0000")				0	0	1	1	3	
Reservado ("0000")				0	1	0	0	4	
Reservado ("0000")				0	1	0	1	5	
Reservado ("0000")				0	1	1	0	6	
Reservado ("0000")				0	1	1	1	7	
Reservado ("0000")				1	0	0	0	8	
Reservado ("0000")				1	0	0	1	9	
Reservado ("0000")				1	0	1	0	10	
Reservado ("0000")				1	0	1	1	11	
Reservado ("0000")				1	1	0	0	12	
Reservado ("0000")				1	1	0	1	13	
MSB de indicador de secuencia SQ (bits 1-4)				1	1	1	0	14	
LSB de indicador de secuencia SQ (bits 5-8)				1	1	1	1	15	
MSB de segundo indicador de multitrama MFI2 (bits 1-4)				0	0	0	0	0	n+1
LSB de segundo indicador de multitrama MFI2 (bits 5-8)				0	0	0	1	1	
Reservado ("0000")				0	0	1	0	2	

El indicador de secuencia SQ identifica la secuencia/orden en que se combinan los VC-3/4 individuales del VC-3/4-Xv para formar el contenedor VC-3/4-Xc contiguo como se muestra en la figura 11-4. Cada VC-3/4 de VC-3/4-Xv tiene un número de frecuencia único fijo de la gama de 0 a (X-1). El VC-3/4 que transporta el primer intervalo de tiempo del VC-3/4-Xc tiene el número de secuencia 0, el VC-3/4 que transporta el segundo intervalo de secuencia el número de secuencia 1 y así sucesivamente hasta el VC-3/4 que transporta el intervalo de tiempo X del VC-3/4-Xc con el número de secuencia (X-1). En las aplicaciones que requieren anchura de banda fija, el número de secuencia se asigna fijo y no es configurable, lo cual permite verificar la constitución del VC-3/4-Xv sin utilizar la traza. El número de secuencia de 8 bits (que soporta valores de X hasta 256) es transportado en los bits 1 a 4 de los bytes H4, utilizando la trama 14 (SQ bits 1-4) y 15 (SQ bits 5-8) de la primera etapa multitrama como se muestra en el cuadro 11-1.

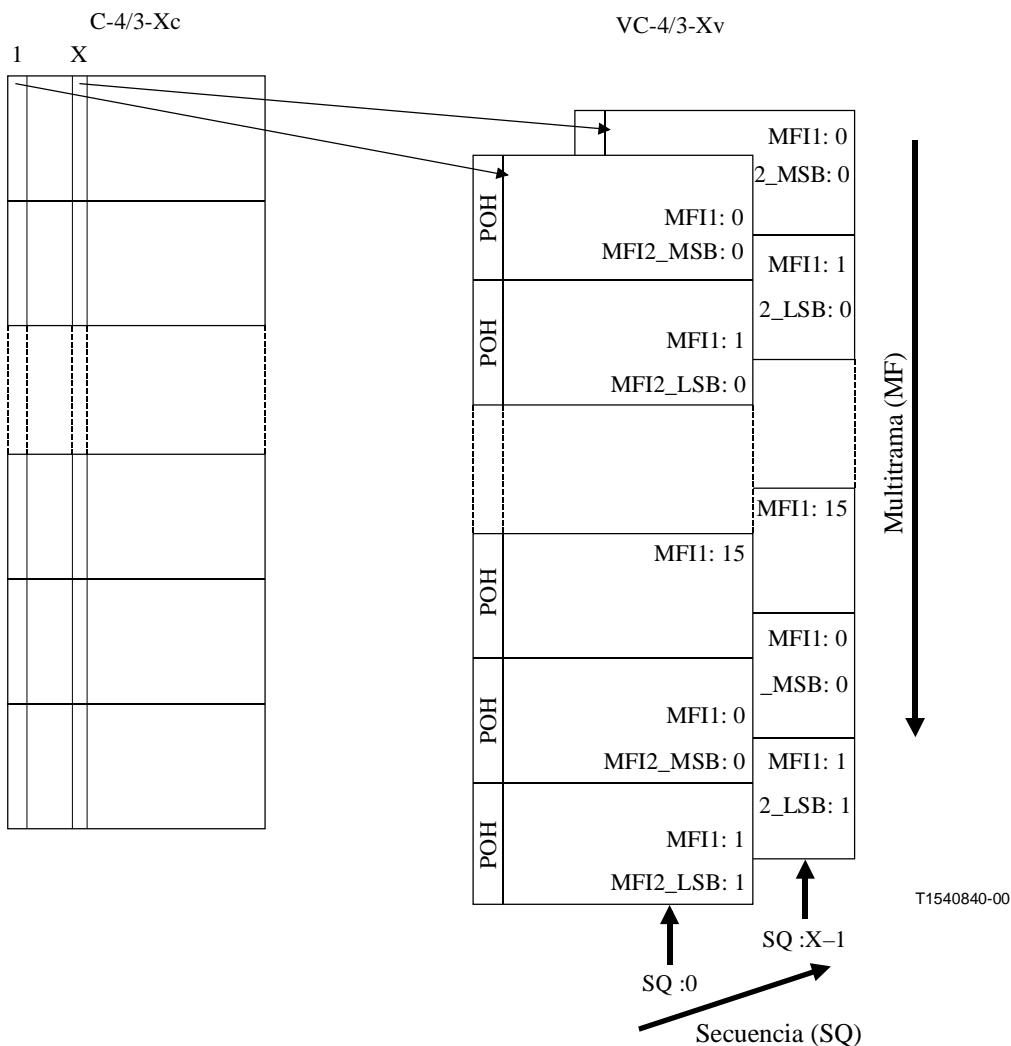


Figura 11-4/G.707/Y.1322 – Indicador de multitrama y de secuencia de VC-3/4-Xv

11.3 Concatenación contigua de X VC-2 en un VC-3 de orden superior (VC-2-Xc, X = 1 ... 7)

Un VC-2-Xc proporciona un área de cabida útil de X contenedor-2 que se muestra en la figura 11-5. Se utiliza un conjunto común de POH, correspondiente a la POH del primer VC-2, para el VC-2-Xc (por ejemplo, el BIP-2 comprende los 428*X bytes del VC-2-Xc). Las posiciones de POH correspondientes a VC-2 #2 a VC-2 #X son relleno fijo.

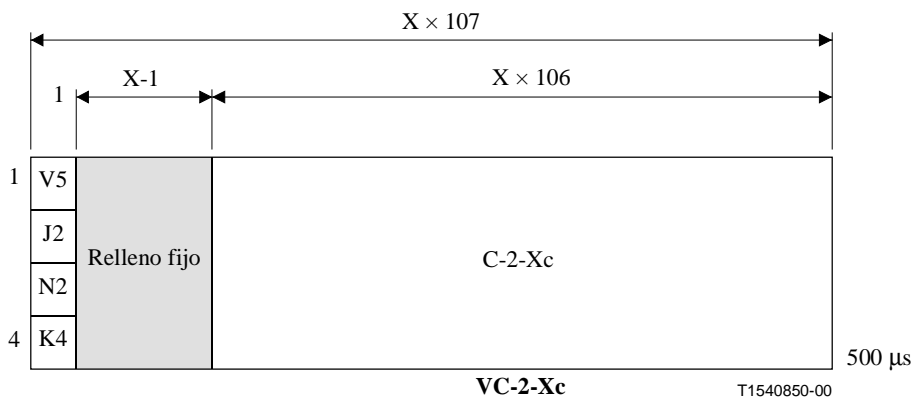


Figura 11-5/G.707/Y.1322 – Estructura de VC-2-Xc

El VC-2-Xc está ubicado en X TU-2 contiguas en un VC-3 de orden superior. La primera columna del VC-2-Xc está siempre ubicada en la primera TU-2. El puntero de esta primera TU-2 indica la posición del byte V5 POH del VC-2-Xc. Los punteros de las TU-2 #2 a #X se fijan a la indicación de concatenación (véase la figura 8-10) para indicar la cabida útil concatenada contigua. La justificación de puntero se efectúa en común para las X TU-2 concatenadas y se utilizan X bytes de relleno.

Con valores permitidos de X entre 1 y 7, el VC-2-Xc proporciona una capacidad de cabida útil entre 6784 kbit/s y 47 488 kbit/s en pasos de 6784 kbit/s.

11.4 Concatenación virtual de X VC-2/1s

Un VC-2/1-Xv proporciona un área de cabida útil de X contenedor-2/1 como se muestra en las figuras 11-6, 11-7 y 11-8. El contenedor se hace corresponder en X VC-2/1 individuales que forman el VC-2/1-Xv. Cada VC-2/1 tiene su propia POH.

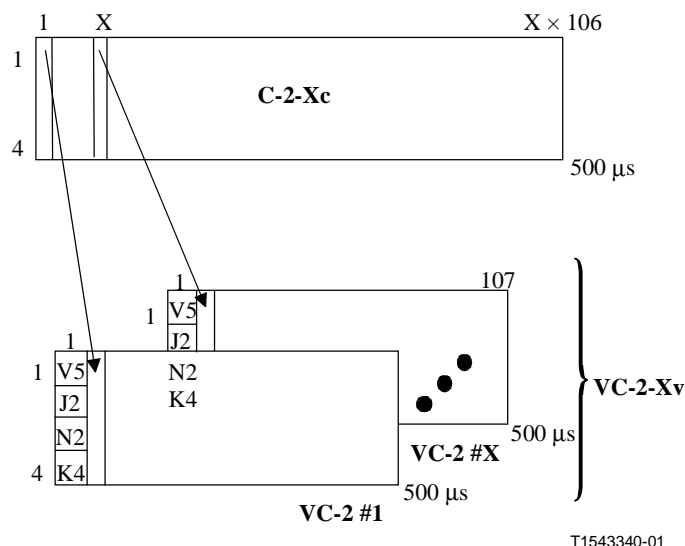


Figura 11-6/G.707/Y.1322 – Estructura de VC-2-Xv

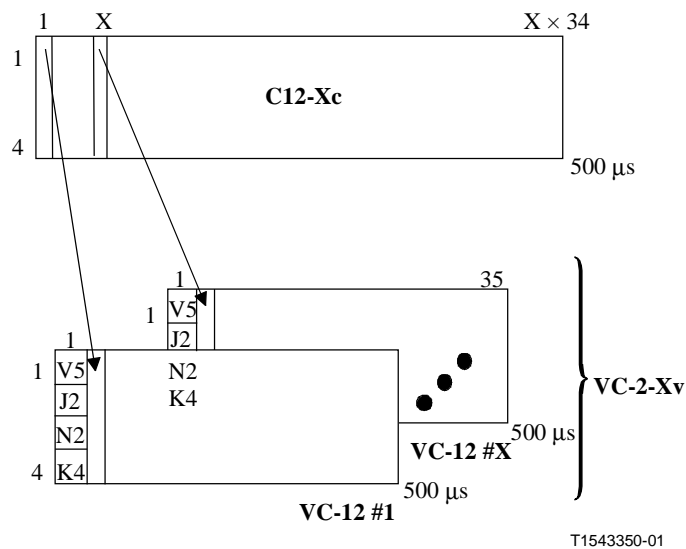


Figura 11-7/G.707/Y.1322 – Estructura de VC-12-Xv

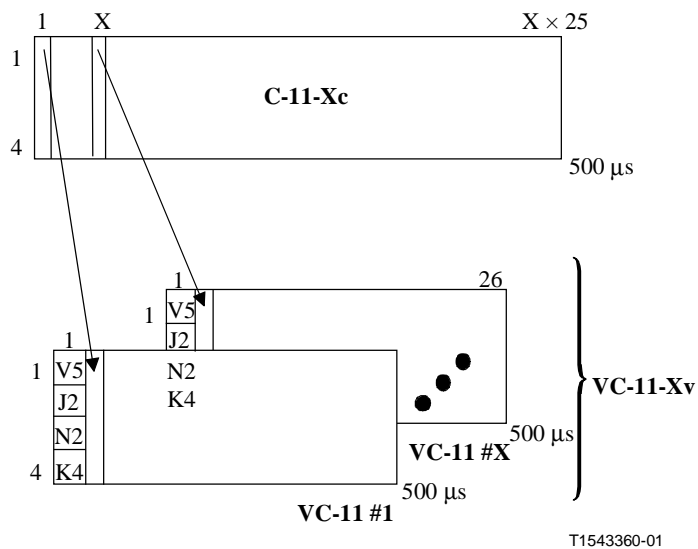


Figura 11-8/G.707/Y.1322 – Estructura VC-11-Xv

Cada VC-2/1 del VC-2/1-Xv es transportado individualmente a través de la red. Por esta razón se producirá un retardo diferencial entre los VC-2/1 individuales y por tanto cambiará el orden de alineación de los VC-2/1. A la terminación, los VC-2/1 individuales tienen que reordenarse y realinearse a fin de restablecer el contenedor concatenado contiguo. El proceso de realineación tiene que cubrir al menos un retardo diferencial de 125 μs.

En el cuadro 11-2 se muestran las capacidades de cabida útil para VC-11-Xv, VC-12-Xv y VC-2-Xv.

Cuadro 11-2/G.707/Y.1322 – Capacidad de un VC-1n-Xv virtualmente concatenado

	Si se transporta en	X	Capacidad	En pasos de
VC-11-Xv	VC-3 (nota 1)	1 a 28	1 600 kbit/s a 44 800 kbit/s	1 600 kbit/s
VC-11-Xv	VC-4	1 a 64 (nota 2)	1 600 kbit/s a 102 400 kbit/s	1 600 kbit/s
VC-11-Xv	Sin especificar	1 a 64	1 600 kbit/s a 102 400 kbit/s	1 600 kbit/s
VC-12-Xv	VC-3	1 a 21	2 176 kbit/s a 45 696 kbit/s	2 176 kbit/s
VC-12-Xv	VC-4	1 a 63	2 176 kbit/s a 137 088 kbit/s	2 176 kbit/s
VC-12-Xv	Sin especificar	1 a 64	2 176 kbit/s a 139 264 kbit/s	2 176 kbit/s
VC-2-Xv	VC-3	1 a 7	6 784 kbit/s a 47 448 kbit/s	6 784 kbit/s
VC-2-Xv	VC-4	1 a 21	6 784 kbit/s a 142 464 kbit/s	6 784 kbit/s
VC-2-Xv	Sin especificar	1 a 64	6 784 kbit/s a 434 176 kbit/s	6 784 kbit/s

NOTA 1 – Esta opción se utiliza solamente para la estructura múltiplex: C-11 → VC-11 → TU-11 → TUG-2 → VC-3 → AU-3 → STM-0.

NOTA 2 – Limitado a 64 debido a:

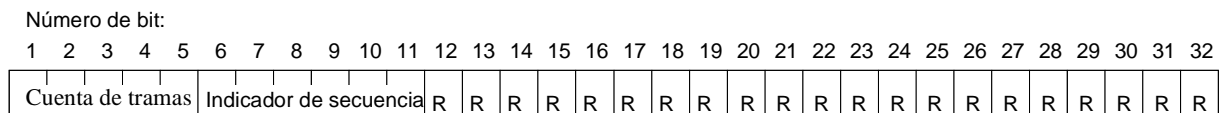
a) seis bits para el indicador de secuencia en la trama de bits 2 de K4; y

b) ineficaz e improbable de hacer corresponder más de 63 VC-11 en VC-4.

Para efectuar la realineación de los VC-n individuales (n = 2/12/11) que pertenecen a un grupo virtualmente concatenado, es necesario:

- a) compensar el retardo diferencial experimentado por los VC-n individuales;
- b) conocer los números de secuencia individuales de los VC-n individuales.

El bit 2 del byte K4 de la POH de VC-n de bajo orden se utiliza para transportar esta información desde el extremo emisor al extremo receptor de la señal virtualmente concatenada en la que se efectúa el proceso de realineación. Una cadena serie de 32 bits (sobre 32 multitramas de cuatro tramas) se dispone como en la figura 11-9. Esta cadena se repite cada 16 ms (32 bits × 500 μs/bit) o cada 128 tramas.



R Bit reservado

Figura 11-9/G.707/Y.1322 – Multitrama de bit 2 de K4

La información de concatenación virtual de bajo orden en el bit 2 de K4 tiene una multitrama de 32 bits representada en la figura 11-9. La fase de la información de concatenación virtual de bajo orden en el bit 2 de K4 debe ser la misma que para la etiqueta de señal ampliada del bit 1 de K4 descrita en 9.3.2.4.

NOTA – El VC-1/2 virtualmente concatenado debe utilizar la etiqueta de señal ampliada. En otro caso, la fase de trama de la multitrama de bit 2 de K4 no puede ser establecida.

La trama se compone de los siguientes campos:

La cuenta de tramas de concatenación virtual de bajo orden está contenida en los bits 1 a 5. El indicador de secuencia de concatenación virtual de bajo orden está contenido en los bits 6 a 11. Los 21 bits restantes están reservados para normalización futura, deben todos fijarse a "0" y deben ser ignorados por el receptor.

La cuenta de tramas de concatenación virtual de bajo orden ofrece una medida del retardo diferencial hasta 512 ms en 32 pasos de 16 ms, que es la longitud de la multitrama ($32 \times 16 \text{ ms} = 512 \text{ ms}$).

El indicador de secuencia de concatenación virtual de bajo orden identifica la secuencia/orden en el que se combinan los VC-1/2 individuales del VC-1/2-Xv para formar el contenedor contiguo VC-1/2-Xc como se muestra en las figuras 11-6 a 11-8. Cada VC-1/2 de un VC-1/2-Xv tiene un número de secuencia único fijo en la gama de 0 a (X-1). El VC-1/2 que transporta el primer intervalo de tiempo del VC-1/2-Xc tiene el número de secuencia 0, el VC-1/2 que transporta el segundo intervalo de tiempo el número de secuencia 1 y así sucesivamente hasta el intervalo de tiempo de transporte VC-1/2 X del VC-1/2-Xc con el número de secuencia (X-1). Para aplicaciones que requieren anchura de banda fija, el número de secuencia se fija asignado y no configurable, lo que permite comprobar la constitución del VC-1/2-Xv sin utilizar la traza.

ANEXO A

Corrección de errores en recepción para STM-64 y STM-256

A.1 Modelo de referencia de red

El modelo de referencia de red para FEC dentro de banda tiene las características siguientes:

- a) Conceptualmente, la FEC cae por debajo de la capa MS y proporciona un "servicio de corrección" a la capa MS. Es posible la corrección en regeneradores intermedios.
- b) La FEC cubre y proporciona corrección para el área de AUG-N, todos los bytes MSOH y el byte de FSI ubicado en la RSOH.
- c) La FEC utiliza bytes de tara de la MSOH y de RSOH. Los regeneradores tienen que pasar por los bytes de RSOH relacionados con la FEC.
- d) La función de inserción de FEC compensará B2 apropiadamente para reflejar los cambios en los bytes MSOH de FEC. La paridad de FEC cubre los bytes B2 compensados.
- e) Las funciones de degradación de señal de capa MS y otras funciones de supervisión de funcionamiento basadas en B2 se aplican a los datos corregidos; son por tanto apropiadas para mediciones de calidad de funcionamiento relacionadas con el servicio (por ejemplo, las que se utilizan para la conmutación de protección), pero no dan información acerca de la calidad de funcionamiento bruta de la línea.
- f) Las funciones de supervisión de calidad de FEC pueden proporcionar información acerca de la condición de la calidad de funcionamiento bruta de la sección de multiplexación. Queda en estudio la utilización de la supervisión de la calidad de FEC dentro de banda.

A.2 La función FEC

A.2.1 Tipo de código y parámetros

El código es un código BCH binario sistemático acortado derivado de un código progenitor (8191, 8152). Se generan suficientes bits de paridad para soportar la triple corrección de errores.

El tamaño de bloque es de una fila (lámina de bits) del STM-N (véase la figura A.1) ordenado en $8 \times N/16$ filas, es decir, $k = 4320$ bits de información más 39 bits de paridad por bloque, es decir, $n = 4359$. La mínima distancia de código $= 7$, es decir, número de errores corregibles, $t = 3$.

A.2.2 Descripción y algoritmo del codificador FEC

El polinomio generador utilizado es $G(x) = G1(x) \times G3(x) \times G5(x)$, donde:

$$G1(x) = x^{13} + x^4 + x^3 + x + 1$$

$$G3(x) = x^{13} + x^{10} + x^9 + x^7 + x^5 + x^4 + 1$$

$$G5(x) = x^{13} + x^{11} + x^8 + x^7 + x^4 + x + 1$$

La codificación FEC funciona fila por fila. La palabra de código es representada por el polinomio

$$C(x) = I(x) + R(x),$$

donde:

$$I(x) = a_{4358} x^{4358} + \dots + a_{39} x^{39}, \text{ donde } a_n \text{ (} n = 4358 \text{ a } 39\text{) representa los bits de información}$$

y

$$R(x) = a_{38} x^{38} + \dots + a_0, \text{ donde } a_n \text{ (} n = 38 \text{ a } 0\text{) representa los bits de paridad.}$$

El primer bit de la tara en cada bloque de código es el primer bit de la palabra de código y es el coeficiente a_{4358} de x^{4358} . Los bits de información no comprendidos (véase A.2.5) en los cálculos de FEC se sustituyen por ceros en el codificador y decodificador FEC.

Dado que éste es un código sistemático, los bits de paridad $R(x)$ son proporcionados por

$$R(x) = I(x) \text{ mod } G(x)$$

A.2.3 Ubicaciones del codificador y del decodificador

El codificador está siempre ubicado en el lado transmisor del equipo que termina MSOH.

Hay siempre un decodificador a la entrada de un equipo conforme con FEC dentro de banda que termina MSOH. Opcionalmente, un equipo de regeneración puede decodificar (corregir), pero no recodificará.

A.2.4 Característica de retardo FEC

El retardo de decodificación no es superior a $15 \mu\text{s}$ siempre que se produce. El equipo conforme con esta norma no tendrá un retraso de procesamiento de FEC superior a $15 \mu\text{s}$. En el caso de que se soporte FEC dentro de banda, cada equipo de regeneración correctiva añade un retraso no superior a $15 \mu\text{s}$.

A.2.5 SDH y bits de verificación FEC no incluidos en la codificación FEC

Los bits y los bytes que no están incluidos en la codificación de la FEC son:

- Todos los bytes RSOH incluidos los bytes RSOH no definidos, pero no los bytes Q1.
- Todos los bit de paridad FEC.

NOTA – Aunque los bits de paridad $R(x)$ de cada palabra de código son transportados en posiciones de bits de información $I(x)$, no se incluyen en $I(x)$, forman la parte $R(x)$ de la palabra de código $C(x)$. Por tanto, $R(x)$

puede corregirse. Los regeneradores intermedios que corrigen errores de $I(x)$ debe corregir errores en la paridad $R(x)$. En los puntos de terminación de MS, no es necesaria la corrección de errores en los bits de paridad $R(x)$.

A.3 Correspondencia en la trama SDH

Para minimizar el retardo relativo al mantenimiento de la integridad de la capa RSOH/MSOH, se utiliza MSOH y RSOH como bits de paridad para limitar el retardo a 30 μ s por codificador/decodificador.

Las figuras 9-5, 9-6 a 9-7 dan la asignación de bytes de paridad y de categoría P1 y Q1 para señales STM-N, ($N = 64, 256$).

A.3.1 Ubicación de los bits de información

Cada una de las 9 filas de un STM-N, ($N = 64, 256$) se considera igual e independientemente. No hay ninguna diferencia entre la SOH y el AUG-N en cuanto a los bits de información $I(x)$.

En la figura A.1 se muestra una fila K de la trama STM-N. El orden de transmisión es columna por columna. La fila se divide de manera que cada $8 \times N/16$ bits forma una lámina de bits. Los bits de información FEC a_n , ($n = 4358 \dots 39$) están ubicados en las posiciones mostradas en la figura. Cada subfila forma una palabra de información $I(x)$ de la función FEC.

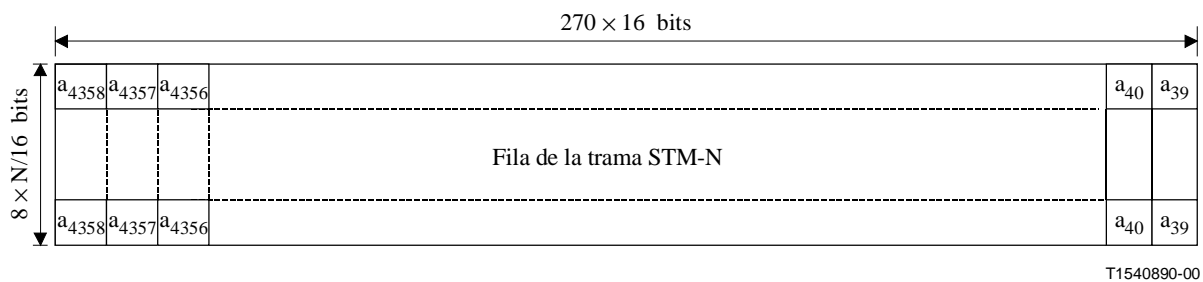


Figura A.1/G.707/Y.1322 – Bits de información de FEC en la fila K de la trama STM-N

NOTA – Algunos de los bits de información FEC a_n se fijan a cero para el cálculo de la paridad $R(x)$; véase A.2.5.

El entrelazado de bits de 8 modos en unión del BCH-3 proporciona una capacidad de corrección de errores en ráfaga de 24 bits por fila para STM-64 y STN-256.

A.3.2 Ubicación de la paridad FEC dentro de banda

Los bytes P1 son asignados a la paridad FEC. Hay un conjunto de bits de paridad a_n , ($n = 0 \dots 38$) para cada subfila de la figura A.1 de un STM-N, es decir $8 \times N/16$ conjuntos. El bit de paridad de FEC a_n , ($n = 0 \dots 38$), para la fila K está ubicado en el byte SOH:

$$S(x, y, M \times 16 - n + 13 \times \text{Int}[n/13]);$$

donde x, y para STM-N fila K y bit de paridad n se obtienen del cuadro A.1,

$$M = 1, 2, 3, 4 \quad \text{para STM-64}$$

$$M = 1, 2, \dots, 16 \quad \text{para STM-256}$$

Cuadro A.1/G.707/Y.1322 – Valores x, y para la ubicación de la paridad FEC para la fila M

Fila K	(x, y) para a_n $26 \leq n \leq 38$	(x, y) para a_n $13 \leq n \leq 25$	(x, y) para a_n $n \leq 12$
1	2,1	2,4	2,6
2	3,1	3,4	3,6
3	3,7	3,8	3,9
4	5,4	5,5	5,6
5	5,7	5,8	5,9
6	6,7	6,8	6,9
7	7,7	7,8	7,9
8	8,7	8,8	8,9
9	9,1	9,2	9,3

NOTA – La paridad FEC R(x) no está necesariamente ubicada en la misma fila que sus bits de información.

A.3.3 Ubicación de los bits de estado/control

El byte que transporta la FEC y de FSI está ubicado en el primer byte S (3,9,3) de Q1.

FSI es un indicador de estado FEC. Se utiliza en el punto de decodificación FEC para determinar si aparece información de FEC para permitir que tenga lugar la corrección de errores. La ubicación de los bits FSI dentro del byte FSI se indica en la figura A.2.

Reservados						FSI	
1	2	3	4	5	6	7	8

Figura A.2/G.707/Y.1322 – QS (3,9,3) de Q1

A.3.4 Indicación de estado de FEC (FSI, *FEC status indication*)

El codificador FEC se requiere para generar los bits de indicación de estado FEC (FSI) para habilitar los decodificadores descendentes. Se evita así que los decodificadores descendentes causen errores de corrección incorrecta cuando no hay presente codificación FEC.

Los bits FSI son los bits 7 y 8 del byte FSI (véase la figura A.2). Los bits restantes de los bytes FSI están reservados, pero están cubiertos por la FEC. El valor por defecto transmitido de estos seis bits restantes será cero. Los bits FSI (7 y 8) se comprueban previamente a la decodificación FEC, pero el byte FSI completo se incluye en el bloque FEC para su corrección antes de la retransmisión por regeneradores de corrección. La codificación de bits FSI se define en A.6.2.

A.3.5 Cálculo de B1 en el codificador y el decodificador

B1 se calcula de acuerdo con 9.2.2.4. Los bytes de verificación FEC y el byte FSI en la SOH se incluyen en el cálculo de B1.

Los errores de bits B1 se calculan antes de la FEC basándose en la señal no corregida. El cálculo de B1 da la característica de error de cada sección de regeneración antes de la corrección de errores.

A.3.6 Cálculo de B2 en el codificador y el decodificador

B2 se calcula de acuerdo con 9.2.2.8. Los bytes de verificación FEC y el byte FSI en la RSOH se incluyen en el cálculo de B2. Los bytes de paridad FEC de la MSOH se incluyen en el cálculo de B2. En otras palabras, el B2 tiene que compensarse para que incluya convenientemente los bytes de paridad FEC a fin de presentar la paridad B2 correcta.

NOTA – La codificación FEC se realiza en la paridad B2 compensada.

Los errores de bits B2 se calculan después de la codificación FEC basándose en la señal corregida y en los bytes B2.

A.4 Funciones de regeneración de FEC dentro de banda

A.4.1 Regeneradores que no soportan FEC dentro de banda

El equipo de regeneración desarrollado antes de la adopción de la FEC en esta revisión de la presente Recomendación no pueden pasar transparentemente a través de los bytes P1 y Q1. Si esta información se bloquea al pasar por equipo de regeneración más antiguo, el equipo descendente no intentará la corrección de resultados de la no recepción del valor de byte FSI esperado.

A.4.2 Regeneradores que pasan FEC dentro de banda transparentemente sin corrección de errores

El equipo de regeneración que permite FEC dentro de banda pero que no permite corrección de errores pasará a través de los bytes P1 y Q1 sin variación.

A.4.3 Regeneradores con corrección de errores

El equipo de regeneración puede opcionalmente efectuar la decodificación y corrección FEC sin recodificación. Se envían los bits de paridad FEC corregidos más el byte FEC.

A.5 Supervisión de calidad de funcionamiento

A.5.1 Cuenta de errores corregibles de FEC

Los errores corregibles son los que son detectados y corregidos.

La BER de capa MS bruta puede calcularse sin ayuda de cuentas de corrección FEC. Si se efectúa corrección de errores, la cuenta de errores corregibles FEC refleja entonces la BER bruta desde el último punto de decodificación.

A.5.2 Cuenta de errores no corregibles FEC

Los errores no corregibles son los que son detectados pero no corregidos. El uso de esta cuenta queda en estudio.

A.5.3 Cuenta de errores después de la decodificación FEC

B2 se utiliza para calcular la cuenta de errores después de la decodificación FEC en un punto de terminación MS o en un monitor no intrusivo.

A.6 Activación y desactivación de FEC

A.6.1 Estados operacionales de FEC

A.6.1.1 Estados del codificador

Hay tres estados operacionales:

- a) FEC activada;
- b) FEC desactivada con retardo de codificador;
- c) FEC desactivada sin retardo de codificador.

La capa de gestión controla el estado operacional del codificador. Las transiciones al/del estado c) afectan al retardo del trayecto de datos y no se producirán sin discontinuidades.

A.6.1.2 Estados del decodificador

Hay tres estados operacionales:

- a) corrección de FEC activada;
- b) corrección de FEC desactivada con retardo de decodificador;
- c) corrección de FEC desactivada sin retardo de decodificador.

Los estados de transición al/del estado c) se producen únicamente bajo control de la capa de gestión y afectan al retardo del trayecto de datos. Por tanto, esta transición no se produce sin discontinuidades. Los estados de transición entre el estado a) y el estado b) son controlados por la FSI recibida.

A.6.2 Indicación de estado de FEC (FSI)

A.6.2.1 Interacción de la FSI con los estados de decodificador

Sólo puede entrarse en el estado de decodificador a) Si se recibe la condición FSI "activada". Si se opera en el estado de decodificador a) y se recibe FSI "desactivada", el decodificador entrará en el estado b). Las transiciones entre el estado a) y el estado b) se producirán sin discontinuidades.

A.6.2.2 Generación de indicación de estado FEC activada/desactivada en el transmisor

Cuando el codificador está en el estado a) se transmite FSI = 01. Cuando el codificador está en el estado b) o el estado c), FSI = 00. FSI = 10 y 11 no son valores de transmisión de codificador válidos.

A fin de permitir la conmutación de decodificador sincronizada en el receptor, la FSI se cambia de 01 a 00 o (00 a 01) siete tramas antes de que se desactive (active) el decodificador. El decodificador se desactiva (activa) empezando por la primera fila de la octava trama tras el cambio de FSI.

A.6.2.3 Detección del estado FEC activada/desactivada en el receptor

La transición FSI activada→desactivada es detectada al recibo del tercer no 01 consecutivo. La transición FSI desactivada→activada es detectada al recibo del noveno valor "activado" consecutivo de 01. Esto permite al decodificador implementar un conmutador activado/desactivado automático mientras se gana en robustez contra la decodificación erróneamente ejecutada (y la corrupción de bits) cuando el codificador está desactivado.

A.6.3 Interacción de MS-AIS con la FEC

Se requiere un punto de terminación de capa MS para supervisar la MSF-AIS antes de las correcciones de FEC. Si se detecta MSF-AIS, las correcciones FEC deben ser neutralizadas no más tarde del comienzo de la trama siguiente tras la detección de MSF-AIS.

Se requiere un regenerador que efectúe correcciones para supervisar MSF-AIS antes de las correcciones. Si se detecta MSF-AIS, deben desactivarse las correcciones no más tarde del comienzo de la trama siguiente tras la detección de MSF-AIS.

Una vez que se suprime el defecto MSF-AIS, las correcciones FEC deben reanudarse no más tarde de la trama siguiente después de la liberación de MSF-AIS, suponiendo que la FSI está en el estado corrección.

Los defectos de sección de regeneración que corrompen los bits de paridad FEC (por ejemplo, LOS y LOF) neutralizarán las correcciones FEC. Los defectos de sección de regeneración que no corrompen los bits de paridad FEC (por ejemplo, desadaptación de J0) no neutralizarán las correcciones FEC.

A.7 Calidad de funcionamiento de la FEC dentro de banda

La calidad de funcionamiento de la FEC dentro de banda se trata en el apéndice X.

ANEXO B

Algoritmo polinómico de CRC-7

B.1 Proceso de multiplicación/división

Una palabra específica de la CRC-7 es el resto tras la multiplicación por X^7 y posterior división (modulo 2) por el generador polinómico $X^7 + X^3 + 1$ de la representación polinómica de la multitrama del identificador de traza de camino (TTI, *trail trace identifier*) anterior.

Cuando el contenido del bloque se represente como un polinomio, el primer bit del bloque, es decir el bit 1 del byte 1, debe tomarse como el bit más significativo. De manera similar, se define C_1 como el bit más significativo del resto y C_7 como el bit menos significativo del resto.

B.2 Procedimiento de codificación

Al contrario que, por ejemplo, el procedimiento de CRC-4 en señales de 2 Mbit/s, la palabra CRC-7 es estática porque los datos son estáticos (el TTI representa la dirección fuente). Esto significa que la suma de control de CRC-7 puede calcularse *a priori* en la multitrama del TTI. Por coherencia con las Recomendaciones existentes, la suma de control de CRC-7 debe calcularse en la multitrama anterior. En teoría esto significa que la cadena de 16 bytes que se carga en un dispositivo para transmisión de repetición debe tener la suma de control como último byte, aunque en la práctica esto no tiene ninguna importancia ya que el TTI es estático.

El procedimiento de codificación es como sigue:

- i) Los bits de CRC-7 del TTI son sustituidos por 0 binarios.
- ii) A continuación se somete al TTI al proceso de multiplicación/división mencionado en B.1.
- iii) El resto resultante del proceso de multiplicación/división se inserta en el emplazamiento de la CRC-7.

Los bits de CRC-7 generados no influyen en el resultado del proceso de multiplicación/división porque, como se ha indicado en i), las posiciones de bit de CRC-7 se ponen inicialmente a 0 durante el proceso de multiplicación/división.

B.3 Procedimiento de decodificación

El procedimiento de decodificación es como sigue:

- i) Se somete un TTI recibido al proceso de multiplicación/división mencionado en B.1, una vez que sus bits de CRC-7 han sido extraídos y sustituidos por 0.
- ii) El resto resultante del proceso de división se compara a continuación, bit por bit, con los bits de CRC-7 recibidos.
- iii) Si el resto calculado en el decodificador corresponde exactamente a los bits de CRC-7 recibidos, se da por supuesto que el TTI verificado está libre de errores.

ANEXO C

Protocolo de supervisión de conexión en cascada de VC-4-Xc/VC-4/VC-3: Opción 1

En este anexo se describe la subcapa de tara de conexión en cascada para la SDH. La subcapa de conexión en cascada es una subcapa opcional que se encuentra entre las subcapas de sección de multiplexación y de trayecto definidas en la presente Recomendación. La subcapa de tara se refiere al transporte fiable de la cabida útil de la subcapa de trayecto y su tara a través de una red. La utilización de conexión en cascada es específica de la aplicación y queda a la discreción de la entidad operadora. Se espera que las aplicaciones principales de la conexión en cascada tengan lugar en la red entre oficinas y que las conexiones en cascada no se utilicen, por lo general, en aplicaciones tales como la red de acceso de abonado.

NOTA – La supervisión de conexión en cascada puede tener una dependencia inesperada de la señal entrante. Véase en el apéndice VIII una descripción del problema.

C.1 Tara de conexión en cascada – Ubicación de los bytes

El byte N1 de la tara de trayecto de cada HOVC de la conexión en cascada se define como tara de conexión en cascada (TCOH, *tandem connection overhead*). Los bits 1 a 4 de este byte de cada HOVC de la conexión en cascada se utilizan para proporcionar una cuenta de errores de entrada (IEC, *incoming error count*) de la conexión en cascada, que se define más adelante. Con los cuatro bits restantes del byte N1 del primer VC-n dentro de la conexión en cascada se proporciona un enlace de datos de extremo a extremo.

NOTA – Las aplicaciones que actualmente son objeto de estudio quizá necesiten la transferencia de algunos mensajes de protocolo de acceso de enlace por el canal D (LAPD), generados antes del TCTE de origen, a través del enlace de datos de la conexión en cascada. Este aspecto queda en estudio.

En la figura C.1 se muestran las taras de conexión en cascada para una conexión en cascada a velocidad de STM-1 formada por un grupo de tres trayectos de orden superior de VC-3.

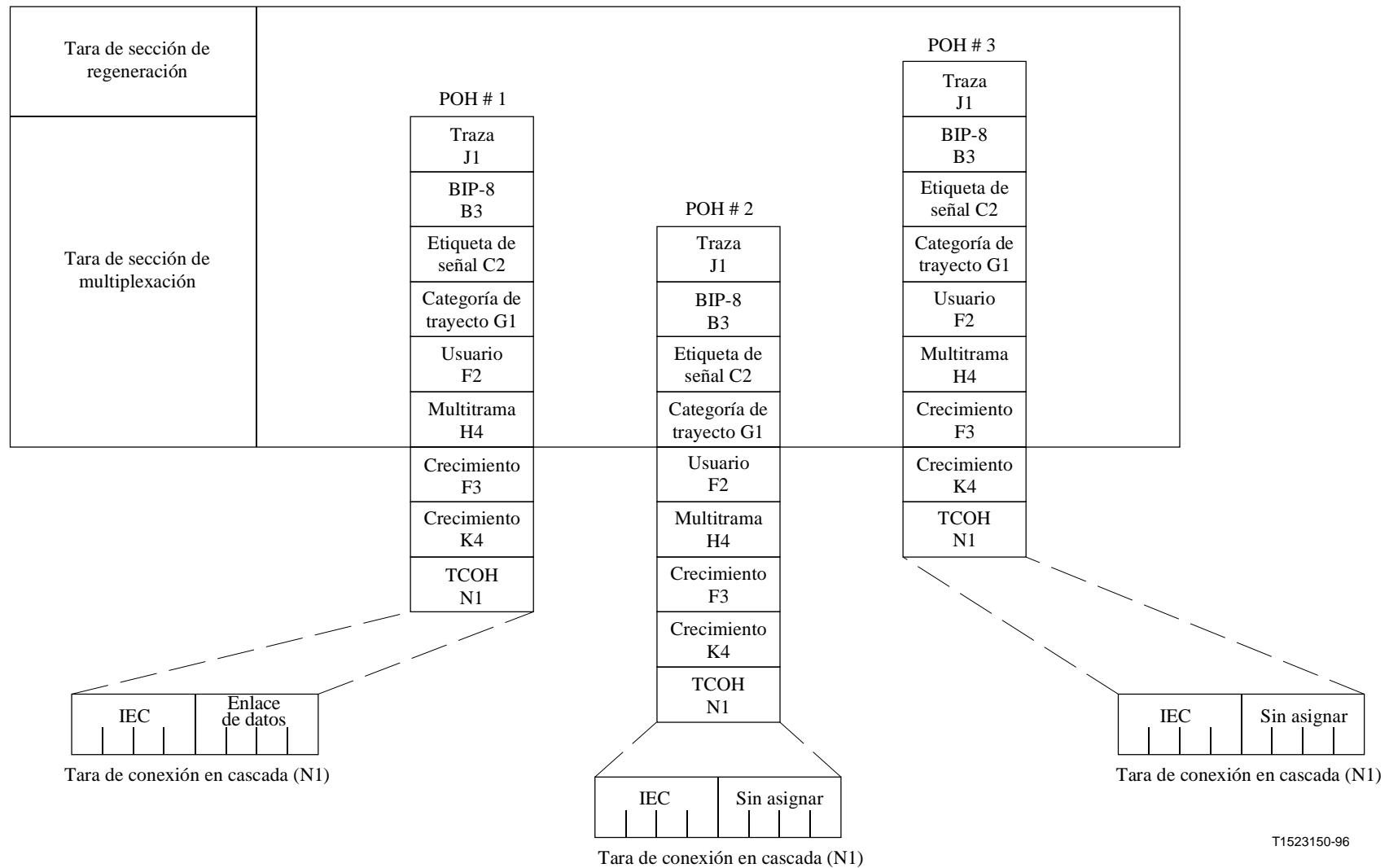


Figura C.1/G.707/Y.1322 – Tara de conexión en cascada en una conexión en cascada a velocidad de STM-1 (basada en AU-3)

C.2 Definiciones

C.2.1 conexión en cascada (TC, *tandem connection*): Una conexión en cascada se define como un grupo de VC-n de orden superior transportados y mantenidos juntos a través de uno o más sistemas de línea en cascada, con las capacidades de cabida útil de los HOVC constituyentes inalteradas. Obsérvese que, confirmando el método de taras estratificadas utilizado en la SDH, la subcapa de conexiones en cascada se encuentra entre la subcapa de sección de multiplexación y la subcapa de tara de trayecto (es decir, la estratificación original de taras funcionales de sección de regeneración, sección de multiplexación, conexión en cascada y trayecto se transforma en subcapas de sección de regeneración, sección de multiplexación, conexión en cascada y trayecto).

C.2.2 elemento de terminación de conexión en cascada (TCTE, *tandem connection terminating element*): Se trata del elemento que origina/termina la conexión en cascada. Un elemento de terminación de sección de multiplexación (MSTE) o un elemento de terminación de trayecto (PTE) puede ser también un TCTE.

C.3 Agrupación de conexiones en cascada

El mantenimiento de las conexiones en cascada puede efectuarse en un único VC-n de orden superior, o en un grupo de ellos, con capacidad de N STM-1, donde N es cualquiera de los niveles jerárquicos de la SDH permitidos, definidos en 6.3. El tamaño de los grupos soportados depende de la aplicación y del equipo. En la cláusula que sigue se describe la manera de agrupar las conexiones en cascada.

C.3.1 Agrupación de los VC-3 dentro de un STM-1

Los bytes de los VC-3 agrupados dentro de un STM-1 deberán ser contiguos al nivel del STM-1, pero no lo son cuando están entrelazados a niveles de orden superior. El primer VC-n del grupo contendrá el enlace de datos de la conexión en cascada.

La figura C.2 ilustra lo anterior para una conexión en cascada a velocidad de STM-1

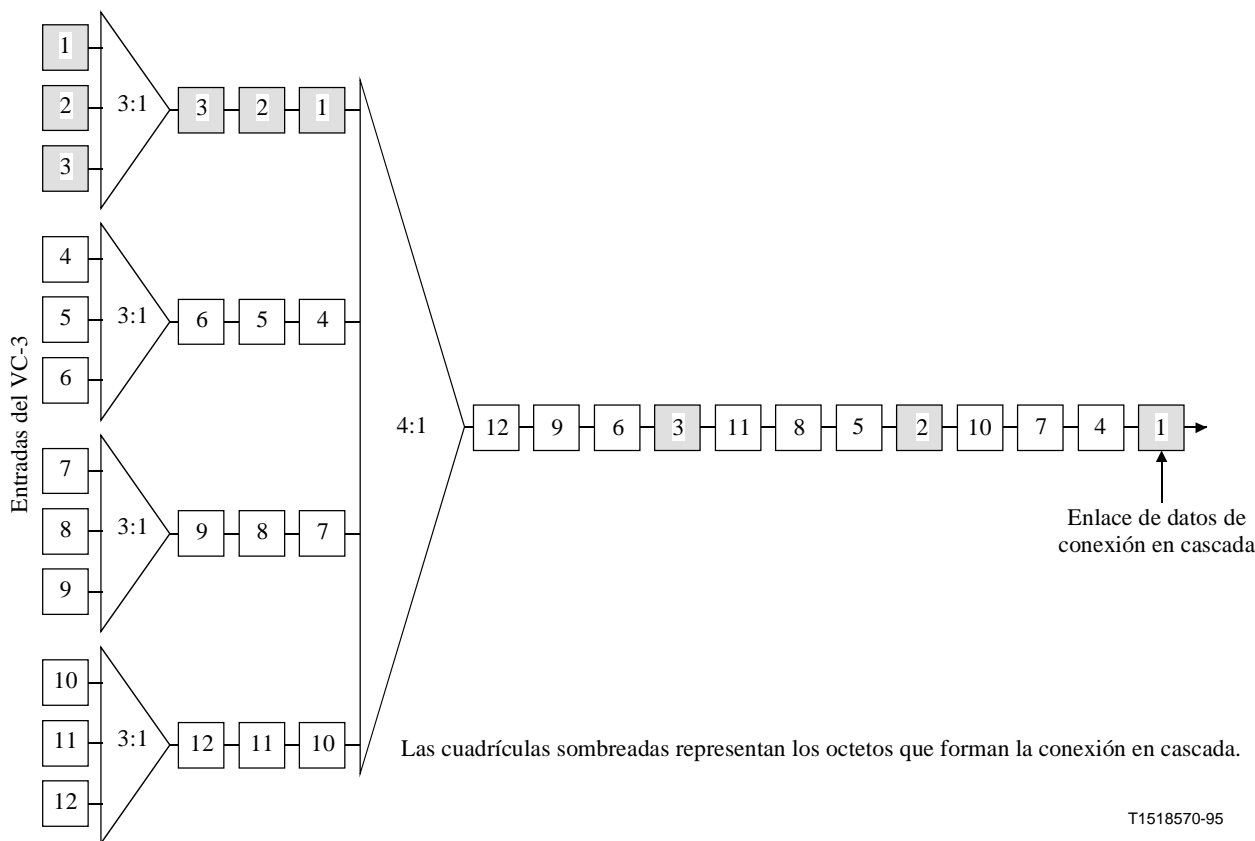


Figura C.2/G.707/Y.1322 – Ejemplo de conexión en cascada a velocidad de STM-1 dentro de un STM-N

C.3.2 Agrupación de los VC-3 dentro de un STM-N (N>1)

Los grupos de VC-3 dentro de un STM-N (N es cualquiera de los niveles jerárquicos de la SDH permitidos, definidos en 6.3) constan de múltiples STM-1. Los bytes de los STM-1 constituyentes deberán ser contiguos. El primer HOVC de la conexión en cascada contendrá el enlace de datos de la conexión en cascada.

C.3.3 Contenido del grupo de conexión en cascada

Un grupo de conexión en cascada a velocidad de STM-N (N es cualquiera de los niveles jerárquicos de la SDH permitidos, definidos en 6.3) puede llevar $3 \times N$ VC-3 o combinaciones de VC-4-Mc ($M \leq N$; $M = 1, 4, 16$), incluyendo un VC-4-Xc de acuerdo con el mecanismo de concatenación definida en 8.1.7 (por ejemplo, una conexión en cascada de STM-4 podría llevar 12 VC-3, ó 4 VC-4, o un VC-4-4c, ó 2 VC-4-4c y 6 VC-3, etc.). Obsérvese que un VC-4-Mc debe estar totalmente contenido dentro de una sola conexión en cascada.

La figura C.3 ilustra lo anterior para una conexión en cascada a velocidad de STM-4 formada por cuatro VC-4.

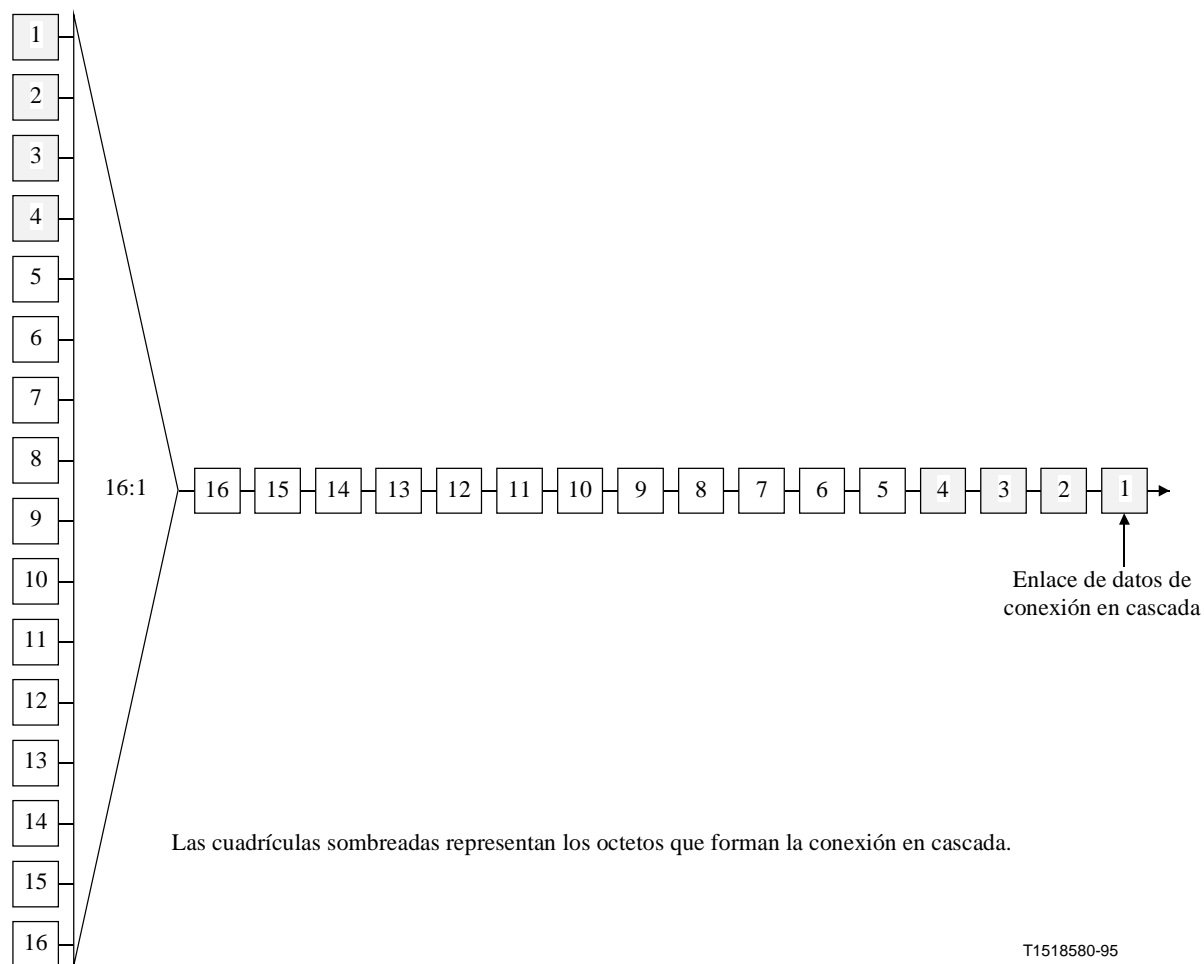


Figura C.3/G.707/Y.1322 – Ejemplo de conexión en cascada a velocidad de STM-4 dentro de un STM-16

C.3.4 Grupos de conexión en cascada en señales de velocidad superior

Un grupo de HOVC que forman una conexión en cascada puede ser multiplexado en un STM-N de velocidad superior de acuerdo con el procedimiento de multiplexación definido en esta Recomendación.

C.4 Cuenta de errores de entrada (IEC)

Para evaluar de manera continua la calidad de la señal de conexión en cascada se utilizan los bytes B3 de la tara de VC-n de cada uno de los HOVC que constituyen la señal de la conexión en cascada, a fin de determinar el número de errores que se han acumulado en dicha conexión. Para tener en cuenta cualquier error que pueda estar presente en un VC-n del extremo de origen de la conexión en cascada, el número de errores detectados en el VC-n entrante del extremo de origen de la conexión en cascada se escribe en los bits 1 a 4 del byte N1 de la trama siguiente utilizando la codificación indicada en el cuadro C.1. Este procedimiento se lleva a cabo con cada uno de los VC-n que forman la conexión en cascada.

La señal de conexión en cascada puede ser transportada entonces a través de la red por un sistema de línea de SDH de STM-M (de velocidad de transporte igual o superior) o varios sistemas de línea de SDH en cascada, cuando la conexión en cascada se establece al nivel de la conexión en cascada, o a un nivel superior (por ejemplo, una conexión en cascada de VC-3 puede estar transconectada a la velocidad del VC-3 o a una velocidad superior y un TCB a la velocidad STM-4 puede estar transconectado a la velocidad del STM-4 o a una velocidad superior). En el TCTE de terminación

(extremo distante de la conexión en cascada), el byte B3 de cada uno de los HOVC constituyentes se utiliza de nuevo para calcular el número de errores que se han acumulado. La magnitud (valor absoluto) de la diferencia entre el número de errores calculado y el número de errores escrito en el IEC del extremo de origen se utiliza a continuación para determinar la característica de error de la conexión en cascada para cada trama de SDH transmitida. El campo de IEC se interpreta de acuerdo con el cuadro C.2. Obsérvese que los datos del byte B3 y la lectura de IEC de la trama en curso corresponden, ambos, a la trama previa.

En el enlace de salida del TCTE de terminación, la IEC (cuatro primeros bits del byte N1) de todos los HOVC constituyentes deberán ponerse a todos 0. Por defecto, el enlace de datos de la conexión en cascada (cuatro últimos bits del byte N1 del primer HOVC) se pondrá a todos 0.

NOTA – Las aplicaciones que actualmente son objeto de estudio quizá necesiten el reenvío de algunos mensajes del enlace de datos de la conexión en cascada más allá del TCTE de terminación. Este tema queda en estudio.

Los bits no asignados (cuatro últimos bits de los bytes Z5 restantes) se transmitirán inalterados. El byte B3 se compensará a continuación como se define en C.5.

Cuadro C.1/G.707/Y.1322 – Codificación de IEC

Número de violaciones de BIP-8	b1	b2	b3	b4
0	1	0	0	1
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
AIS entrante	1	1	1	0

NOTA – Para garantizar un byte N1 no todos 0 independiente del estado de la señal entrante, se requiere que el campo del código IEC contenga por lo menos un "1". Cuando se detectan cero errores en la BIP-8 de la señal entrante, se inserta un código de IEC con "1" en él. De esta manera, el sumidero de conexión en cascada del extremo de cola del enlace de la conexión en cascada puede utilizar el campo del código IEC para distinguir entre condiciones sin equipar iniciadas dentro o antes de la conexión en cascada.

Cuadro C.2/G.707 – Interpretación del código IEC

b1	b2	b3	b4	Interpretación del código IEC
0	0	0	0	0 violación de BIP
0	0	0	1	1 violación de BIP
0	0	1	0	2 violaciones de BIP
0	0	1	1	3 violaciones de BIP
0	1	0	0	4 violaciones de BIP
0	1	0	1	5 violaciones de BIP
0	1	1	0	6 violaciones de BIP
0	1	1	1	7 violaciones de BIP
1	0	0	0	8 violaciones de BIP
1	0	0	1	0 violación de BIP
1	0	1	0	0 violación de BIP
1	0	1	1	0 violación de BIP
1	1	0	0	0 violación de BIP
1	1	0	1	0 violación de BIP
1	1	1	0	0 violación de BIP AIS entrante
1	1	1	1	0 violación de BIP

C.5 Compensación de B3

Dado que la verificación de paridad de B3 se efectúa en la cabida útil de VC-n y en la tara de trayecto (incluyendo N1), la escritura en el N1 en el TCTE de origen afectará al cálculo de la paridad del trayecto. Si no se compensa esto, un dispositivo que supervise la paridad del trayecto en la conexión en cascada (por ejemplo, un supervisor intermedio) puede contar errores de manera incorrecta. El byte de paridad B3 debe ser siempre coherente con el estado vigente del VC-n. Siempre que se escriba, por tanto, en N1, deberá ser modificado B3 para compensar el cambio en el valor de N1. Puesto que el valor de B3 en una trama determinada refleja la verificación de la paridad en la trama previa (incluyendo el byte B3 de esa trama), los cambios efectuados en el byte B3 de la trama previa también se tendrán en cuenta en la compensación de B3 de la trama en curso. Así pues, para la compensación de B3 se utilizará la siguiente ecuación:

$$B3'(t) = B3(t-1) \oplus B3'(t-1) \oplus N1(t-1) \oplus N1'(t-1) \oplus B3(t)$$

donde:

B3 es el valor de B3 existente en la señal entrante

B3' es el valor de B3 nuevo (compensado)

N1 es el valor de N1 existente en la señal entrante

N1' es el nuevo valor escrito en el byte N1 (IEC más enlace de datos en el TCTE de origen o todos 0 en el TCTE de origen)

\oplus es el operador O excluyente

t es el tiempo de la trama en curso

t-1 es el tiempo de la trama previa

C.6 Enlace de datos

Los bits 5 a 8 del byte N1 del primer VC-n de la conexión en cascada se designan como un enlace de datos de conexión en cascada a 32 kbit/s. Los restantes cuatro bits del byte N1 de los demás VC-n no están asignados y no deben ser modificados por el TCTE. El formato de señal utilizado en el enlace de datos de conexión en cascada está constituido por mensajes que utilizan un subconjunto del protocolo LAPD (trama no numerada y de la que no se acusa recibo).

NOTA – Si en aplicaciones futuras se requiere que los mensajes LAPD generados y terminados fuera de la conexión en cascada se transfieran a través del enlace de datos de conexión en cascada, el enunciado anterior no exigirá que dichos mensajes sean también no numerados y que no se acuse recibo de los mismos.

Cuando no se estén transmitiendo los mensajes LAPD (es decir, que el enlace de datos está en reposo), se transmitirán de manera continua banderas LAPD (01111110).

En la actualidad se definen los cuatro mensajes que se indican a continuación para soportar el mantenimiento de la conexión en cascada.

- Traza de conexión en cascada.
- ID (identificación) de señal de reposo de conexión en cascada.
- ID (identificación) de señal de prueba de conexión en cascada.
- Mensaje informe de calidad de funcionamiento de un segundo del extremo distante de la conexión en cascada.

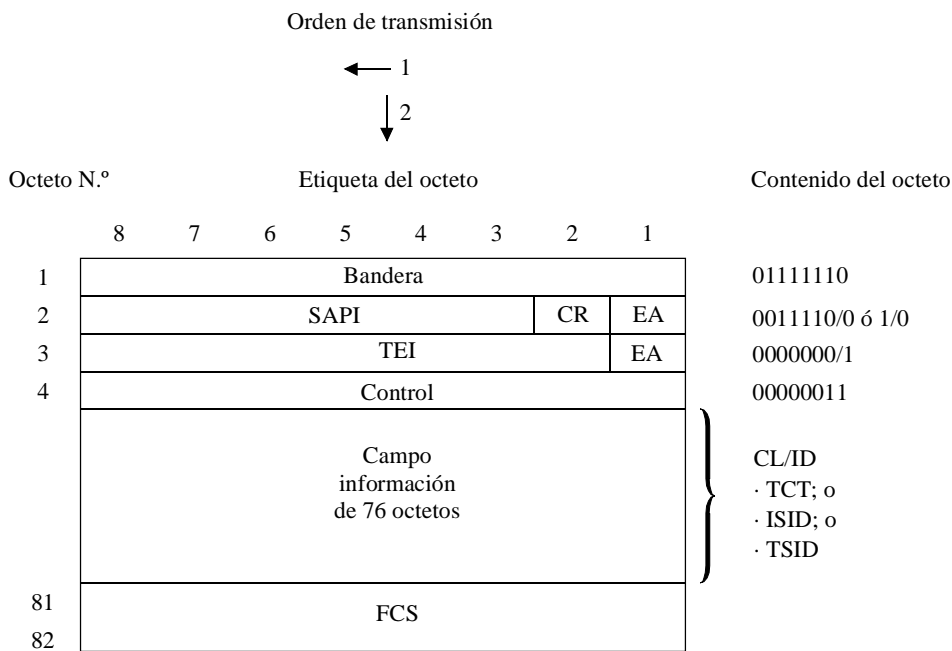
En la práctica, los mensajes de traza de conexión en cascada, ID de señal de reposo o ID de señal de prueba se transmiten de manera continua con una frecuencia mínima de una vez por segundo. El mensaje informe de calidad de funcionamiento de un segundo del extremo distante de la conexión en cascada se transmite de manera continua con una frecuencia de una vez por segundo.

La operación, la administración y el mantenimiento de la red pueden hacer que aparezcan otros mensajes, distintos de los definidos más arriba, en el enlace de datos de la conexión en cascada. El equipo terminal y de supervisión de la red debe ser capaz de desechar cualquiera de esos mensajes no definidos. La utilización de tales mensajes no debe interferir con la transmisión de los mensajes definidos en esta Recomendación. El empleo del enlace de datos de conexión en cascada para mensajes de terminal a terminal distintos de los del conjunto descrito queda en estudio.

C.6.1 Formato de los mensajes LAPD

El formato de los mensajes del procedimiento de acceso al enlace por el canal D (LAPD) utiliza un subconjunto de capacidades de LAPD Q.921. La estructura de estos mensajes, que se muestra en la figura C.4, es la de una trama no numerada y no acusada LAPD Q.921. La fuente de los mensajes LAPD generará la secuencia de verificación de trama (FCS) y el relleno de ceros necesario a efectos de transparencia. El relleno de ceros efectuado por un transmisor evita que se produzca el esquema de bandera (01111110) en los bits entre las banderas de apertura y cierre de la trama LAPD de la Recomendación Q.921, insertando un 0 después de cualquier secuencia de cinco 1 consecutivos. El receptor elimina el 0 que sigue a cinco UNOS consecutivos.

No hay ningún requisito respecto a la coincidencia de los límites de los bytes de LAPD y el byte N1. Los bits de byte LAPD se transmitirán en el orden que se muestra en la figura C.4, dentro del byte N1. Así, los bits n , $n + 1$, $n + 2$ y $n + 3$ de un byte LAPD cualquiera se cargarán en los bits 5, 6, 7 y 8, respectivamente, del byte N1.



T1518590-95

Bandera 01111110	Interpretación Secuencia de octetos de relleno entre tramas
SAPI CR EA 00111100 00111110	Interpretación SAPI=15, CR=0 (DTE), EA=0 SAPI=15, CR=1 (entidad operadora), EA=0
TEI EA 00000001	Interpretación TEI=0, EA=1
Control 00000011	Interpretación Transferencia de información no acusada
<u>Campo de información de N octetos</u> ID de trayecto ID de señal de reposo ID de señal de prueba	Interpretación Identificador de lenguaje común
<u>FCS</u> Variable	Interpretación Secuencia de verificación de trama de CRC-16

Figura C.4/G.707/Y.1322 – Estructura de mensaje LAPD de la Recomendación Q.921

C.6.2 Mensajes de traza de conexión en cascada, identificación de señal de reposo e identificación de señal de prueba

Los mensajes de identificación de conexión en cascada que se examinan más adelante se transmitirán como mínimo una vez por segundo y utilizarán solamente los valores de identificador de punto de acceso al servicio/identificador de punto extremo terminal (SAPI/TEI) mostrados en la figura C.4. El contenido del campo de información de 76 bytes se muestra en la figura C.5 y se examina en la cláusula que sigue.

NOTA – Obsérvese que la longitud del mensaje de traza de conexión en cascada de 76 bytes puede cambiarse a 64 bytes para que sea coherente con la traza de trayecto de SDH (byte J1), una vez que se haya normalizado el contenido del mensaje del byte J1 (en estudio).

Traza de conexión en cascada

Elementos de datos	Valor binario	
TYPE	0011 1000	ID de conexión
EIC	XXXX XXXX..XXXX	10 octetos
LIC	XXXX XXXX..XXXX	11 octetos
FIC	XXXX XXXX..XXXX	10 octetos
UNIT	XXXX XXXX..XXXX	6 octetos
FI	XXXX XXXX..XXXX	38 octetos

Identificación de señal de reposo

Elementos de datos	Valor binario	
TYPE	0011 0100	ID de reposo
EIC	XXXX XXXX..XXXX	10 octetos
LIC	XXXX XXXX..XXXX	11 octetos
FIC	XXXX XXXX..XXXX	10 octetos
UNIT	XXXX XXXX..XXXX	6 octetos
PORT nº	XXXX XXXX..XXXX	38 octetos

Identificación de señal de prueba

Elementos de datos	Valor binario	
TYPE	0011 0010	ID de prueba
EIC	XXXX XXXX..XXXX	10 octetos
LIC	XXXX XXXX..XXXX	11 octetos
FIC	XXXX XXXX..XXXX	10 octetos
UNIT	XXXX XXXX..XXXX	6 octetos
GEN nº	XXXX XXXX..XXXX	38 octetos

T1518600-95

Figura C.5/G.707/Y.1322 – Mensajes de traza de conexión en cascada, identificación de señal de reposo e identificación de señal de prueba

Los mensajes de traza de conexión en cascada (TCT, *tandem connection trace*), identificación de señal de reposo (ISID, *idle signal identification*) e identificación de señal de prueba (TSID, *test signal identification*) utilizan, todos ellos, la misma estructura de 76 bytes formada por seis elementos. Cada elemento de datos, excepto el primero, es una palabra de longitud fija formada por caracteres ASCII. El primer elemento de datos tiene una longitud de un byte y define el tipo de

mensaje de identificación que se transmite. Los cuatro elementos de datos siguientes identifican el tipo de equipo terminal y la ubicación del equipo que ha originado el mensaje de identificación. Por último, dado que el equipo terminal puede originar más de una señal de conexión en cascada, el elemento de datos final identifica una señal de conexión en cascada específica.

Los cinco primeros elementos de datos tienen el mismo significado para los tres mensajes y se definirán en primer lugar. El sexto elemento de datos es diferente para cada uno de los mensajes (véase la figura C.5). Los elementos de datos están diseñados de manera que admitan códigos ampliamente utilizados en redes de facilidades.

Los cinco primeros elementos de datos, comunes a los tres mensajes de identificación, se definen como se indica a continuación:

TYPE El código TYPE (tipo) es un código de un byte utilizado para identificar un tipo determinado de mensaje de identificación. En la figura C.5 se muestran valores específicos.

EIC El código de identificación de equipo (hasta 10 caracteres) describe un equipo específico.

LIC El código de identificación de ubicación (hasta 11 caracteres) describe una ubicación específica.

FIC El código de identificación de trama (hasta 10 caracteres) identifica el lugar en que está ubicado el equipo dentro de un edificio en un emplazamiento determinado.

UNIT Código (de hasta 6 caracteres) que identifica la ubicación del equipo dentro de un bastidor.

El elemento de datos final del mensaje de traza de conexión en cascada es el código de identificación de facilidad:

FI El código de identificación de facilidad (hasta 38 caracteres) identifica una conexión en cascada específica.

El elemento de datos final del mensaje de identificación de señal de reposo es el número de puerto:

PORT N.º El número de PUERTO es la designación del puerto de equipo que inicia la señal de reposo.

El elemento de datos final del mensaje de identificación de señal de prueba es el número de generador:

GEN N.º Número del generador de señal de prueba que inicia la señal de prueba.

Se utilizará el carácter nulo de ASCII para indicar el final de la cadena cuando no se necesite la longitud total del elemento de datos para una palabra determinada. Las posiciones de bits restantes del elemento de datos pueden contener unos, ceros o cualquier combinación de unos y ceros.

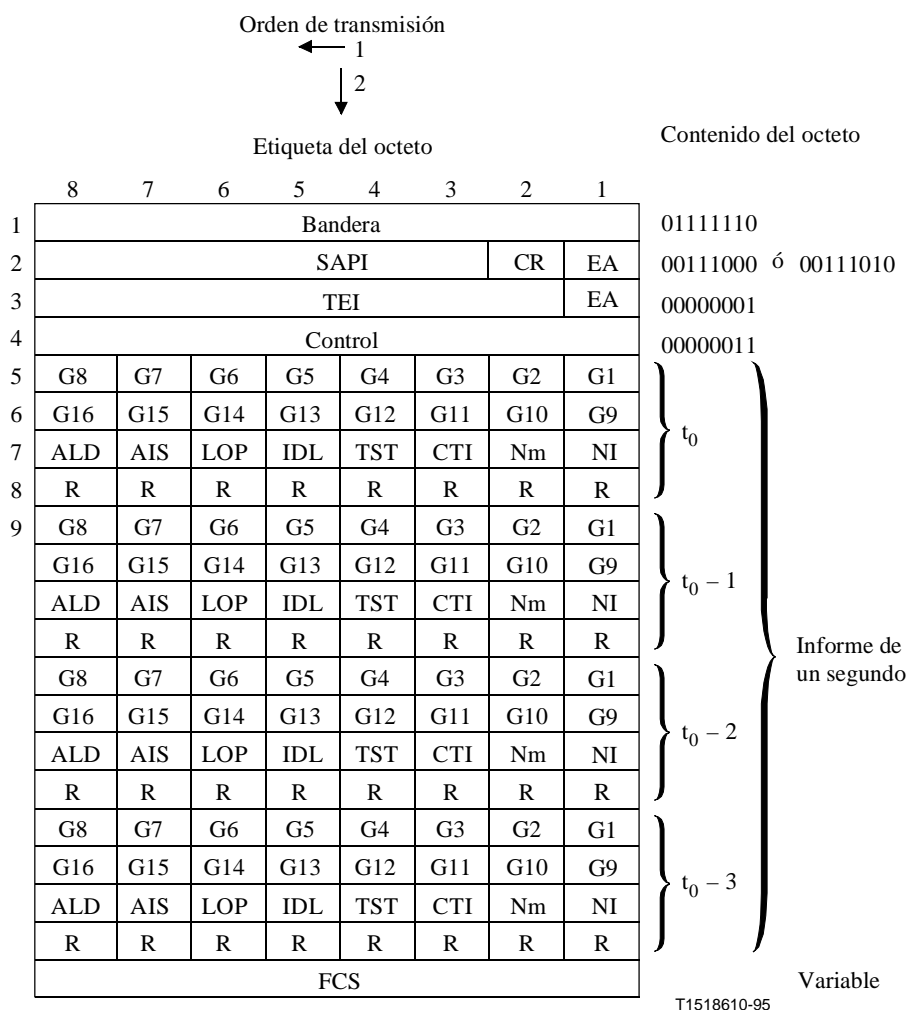
En aquellos casos en que no se necesitan todos los elementos de datos para un mensaje dado, el primer byte del elemento de datos contendrá el carácter nulo de ASCII. Las posiciones de bits restantes del elemento de datos puede contener unos, ceros, o cualquier combinación de unos y ceros.

C.6.3 Mensaje informe de calidad de funcionamiento del extremo distante

El mensaje informe de calidad de funcionamiento de un segundo del extremo distante de la conexión en cascada, que se examina más abajo, se transmitirá una vez por segundo y utilizará solamente los valores de SAPI/TEI mostrados en la figura C.6. La fase de los periodos de informe de un segundo con respecto a la ocurrencia de eventos de error es arbitraria, en el sentido de que la temporización de un segundo no depende del momento en que se produzca cualquier evento de error.

El informe de calidad de funcionamiento contiene información a este respecto de cada uno de los cuatro intervalos de un segundo previos. Esto se ilustra en la figura C.6, bytes 5 a 20, y mediante un ejemplo en la figura C.7. Las cuentas de eventos se acumularán en cada intervalo contiguo de un segundo. Al final de cada intervalo de un segundo se incrementará un contador de módulo 4 y se

fijarán los bits de calidad de funcionamiento apropiados en los bytes t_0 (bytes 5 a 8 en la figura C.6). Estos bytes y los bytes que llevan los bits de calidad de funcionamiento de los tres intervalos de un segundo precedentes forman el mensaje informe de calidad de funcionamiento.



Dirección
00111000
00111010
00000001

Interpretación
SAPI=14, C/R=0 (usuario) EA=0
SAPI=14, C/R=1 (entidad operadora) EA=0
TEI=0, EA=1

Control
00000011

Interpretación
Transferencia de información no acusada

Informe de un segundo

G G8
G9 G16
ALD = 1
AIS = 1
LOP = 1
IDL = 1
TST = 1
CTI = 0
R = 0
NmNI = 00, 01, 10, 11

Interpretación
LSB del contador de eventos de error de la conexión en cascada de 2 octetos
MSB del contador de eventos de error de la conexión en cascada de 2 octetos
Defecto AIS/LOP de conexión en cascada
Condición fallo AIS de conexión en cascada
Condición fallo LOP de conexión en cascada
Recibida señal de reposo de conexión en cascada
Recibida señal de prueba de conexión en cascada
Las cuentas de eventos de error son cuentas de errores en los bits
Reservado (el valor por defecto es 0)
Contador de módulo 4 de informe de un segundo

FCS
Variable

Interpretación
Secuencia de verificación de trama de CRC-16

Figura C.6/G.707/Y.1322 – Estado del mensaje informe de calidad de funcionamiento del extremo distante de la conexión en cascada de la SDH

	t = t ₀	t = t ₀ + 1	t = t ₀ + 2	t = t ₀ + 3
Bandera	01111110	01111110	01111110	01111110
Byte de dirección 1	00111000	00111000	00111000	00111000
Byte de dirección 2	00000001	00000001	00000001	00000001
Control	00000011	00000011	00000011	00000011
Byte de mensaje 1	11111111	00000000	00000000	00000000
Byte de mensaje 2	00000000	00000000	00000000	00000000
Byte de mensaje 3	00000000	10000001	10000010	00100011
Byte de mensaje 4	00000000	00000000	00000000	00000000
Byte de mensaje 5	11110000	11111111	00000000	00000000
Byte de mensaje 6	00000000	00000000	00000000	00000000
Byte de mensaje 7	00000011	00000000	10000001	10000010
Byte de mensaje 8	00000000	00000000	00000000	00000000
Byte de mensaje 9	00001111	11110000	11111111	00000000
Byte de mensaje 10	00000000	00000000	00000000	00000000
Byte de mensaje 11	00000010	00000011	00000000	10000001
Byte de mensaje 12	00000000	00000000	00000000	00000000
Byte de mensaje 13	00000000	00001111	11110000	11111111
Byte de mensaje 14	00000000	00000000	00000000	00000000
Byte de mensaje 15	00000001	00000010	00000011	00000000
Byte de mensaje 16	00000000	00000000	00000000	00000000
Byte de FCS 1	xxxxxxx	xxxxxxx	xxxxxxx	xxxxxxx
Byte de FCS 2	xxxxxxx	xxxxxxx	xxxxxxx	xxxxxxx

NOTAS

t = t ₀ - 3:	Cuenta de errores de la conexión en cascada = 0;	todos los demás parámetros = 0; N(t) = 1
t = t ₀ - 2:	Cuenta de errores de la conexión en cascada = 15;	todos los demás parámetros = 0; N(t) = 2
t = t ₀ - 1:	Cuenta de errores de la conexión en cascada = 240;	todos los demás parámetros = 0; N(t) = 3
t = t ₀ :	Cuenta de errores de la conexión en cascada = 255;	todos los demás parámetros = 0; N(t) = 0
t = t ₀ + 1:	Detectado defecto AIS/LOP;	todos los demás parámetros = 0; N(t) = 1
t = t ₀ + 2:	Detectado defecto AIS/LOP;	todos los demás parámetros = 0; N(t) = 2
t = t ₀ + 3:	Detectado fallo LOP	todos los demás parámetros = 0; N(t) = 3

Figura C.7/G.707/Y.1322 – Ejemplo de estado del mensaje informe de calidad de funcionamiento del extremo distante de la conexión en cascada de la SDH

C.6.3.1 Elementos del mensaje informe de calidad de funcionamiento del extremo distante

La ocurrencia de anomalías en la calidad de funcionamiento, los defectos, los fallos y las condiciones de estado indican la calidad global de la transmisión en una conexión en cascada. Las anomalías, los defectos, los fallos y las condiciones de estado de la conexión en cascada que serán detectados y de los que se informará son:

- evento de error de conexión en cascada;
- defecto AIS/LOP de conexión en cascada;
- fallo AIS de conexión en cascada;
- fallo LOP de conexión en cascada;

- condición recibida señal de reposo de conexión en cascada;
- condición recibida señal de prueba de conexión en cascada;
- indicador de tipo de cuenta (CTI, *count type indicator*) de conexión en cascada.

Estos eventos y condiciones de la conexión en cascada se definen en las cláusulas que siguen.

C.6.3.2 Evento de error de conexión en cascada

Un evento de error de conexión en cascada se detecta comparando el número calculado de errores recibidos al final de la conexión en cascada, utilizando el byte B3, con la cuenta de errores de entrada contenida en la tara de conexión en cascada (es decir, los bits 1 a 4 del byte N1), para cada una de las señales que forman la conexión en cascada. El campo de IEC se interpreta de acuerdo con el cuadro C.2.

C.6.3.3 Defecto AIS/LOP de conexión en cascada

El defecto AIS de AU-n y el defecto LOP de AU-n se definen en UIT-T G.783. La ocurrencia de uno u otro de estos defectos, en al menos una de las señales que forman la conexión en cascada, constituye un defecto AIS/LOP de conexión en cascada.

C.6.3.4 Fallo AIS de conexión en cascada

Se declara fallo AIS de conexión en cascada si el defecto AIS de AU-n está presente por lo menos en una de las señales que forman la conexión en cascada durante un periodo T, donde T es $2,5 \pm 0,5$ segundos.

C.6.3.5 Fallo LOP de conexión en cascada

Se declara fallo LOP de conexión en cascada si el defecto LOP de AU-n está presente por lo menos en una de la señales que forman la conexión en cascada durante un periodo T, donde T es $2,5 \pm 0,5$ segundos.

C.6.3.6 Condición recibida señal de reposo de conexión en cascada

Se produce una condición recibida señal de reposo de conexión en cascada cuando se detecta una señal de reposo de conexión en cascada válida al final de la conexión en cascada.

C.6.3.7 Condición recibida señal de prueba de conexión en cascada

Se produce una condición recibida señal de prueba de conexión en cascada cuando se detecta una señal de prueba de conexión en cascada válida al final de la conexión en cascada.

C.6.3.8 Indicador del tipo de cuenta de la conexión en cascada

El indicador del tipo de cuenta de la conexión en cascada se pone a 0 para indicar que la IEC de la conexión en cascada contiene la cuenta del número de errores en los bits (no errores en los bloques) que fueron detectados en el intervalo de un segundo previo.

C.6.4 Aplicaciones especiales de entidades operadoras

Una entidad operadora puede requerir la utilización del enlace de datos de conexión en cascada para fines relacionados con el aprovisionamiento y mantenimiento de la conexión en cascada o la red SDH. Tales utilizaciones pueden dar lugar a interrupciones o retardos o a la reducción del caudal en el enlace de datos de conexión en cascada, pero no tendrán ninguna repercusión en la transmisión puntual de los mensajes LAPD definidos más arriba.

Dichos mensajes deben ser elaborados e insertados en el enlace de datos por la terminal fuente (TCTE) que elabora la señal de conexión en cascada, tanto si es un terminal de entidad operadora (CR=1) como si es un DTE (CR=0). Los mensajes han de ser entregados sin alteración al TCTE que absorbe la cabida útil de la información de la señal de conexión en cascada.

C.7 Tratamiento de fallos de señal entrante

Se especifica AIS de AU-n (n=3, 4) como todos 1 en la totalidad de la AU-n, incluyendo el puntero de AU-n. Dado que el puntero de AU-n no es válido durante la AIS, no se puede acceder a la POH de HOVC. Sin los cambios que se indican a continuación, la tara de conexión en cascada se perdería durante los fallos de señal.

Cuando se produce un fallo en una señal entrante en el punto de origen de una conexión en cascada (TCTE de origen), los punteros deben restablecerse dentro de la conexión en cascada (para localizar la tara de la conexión en cascada). Se fijará un nuevo indicador de fallo de señal entrante (ISF, *incoming signal failure*) dentro de la conexión en cascada para indicar que se ha producido un fallo de señal antes de la conexión en cascada y se insertará AIS de AU-n en la señal o las señales apropiadas al final de la conexión en cascada.

En las dos cláusulas que siguen se examina el tratamiento de los fallos de señal que se producen antes y dentro de la conexión en cascada, respectivamente.

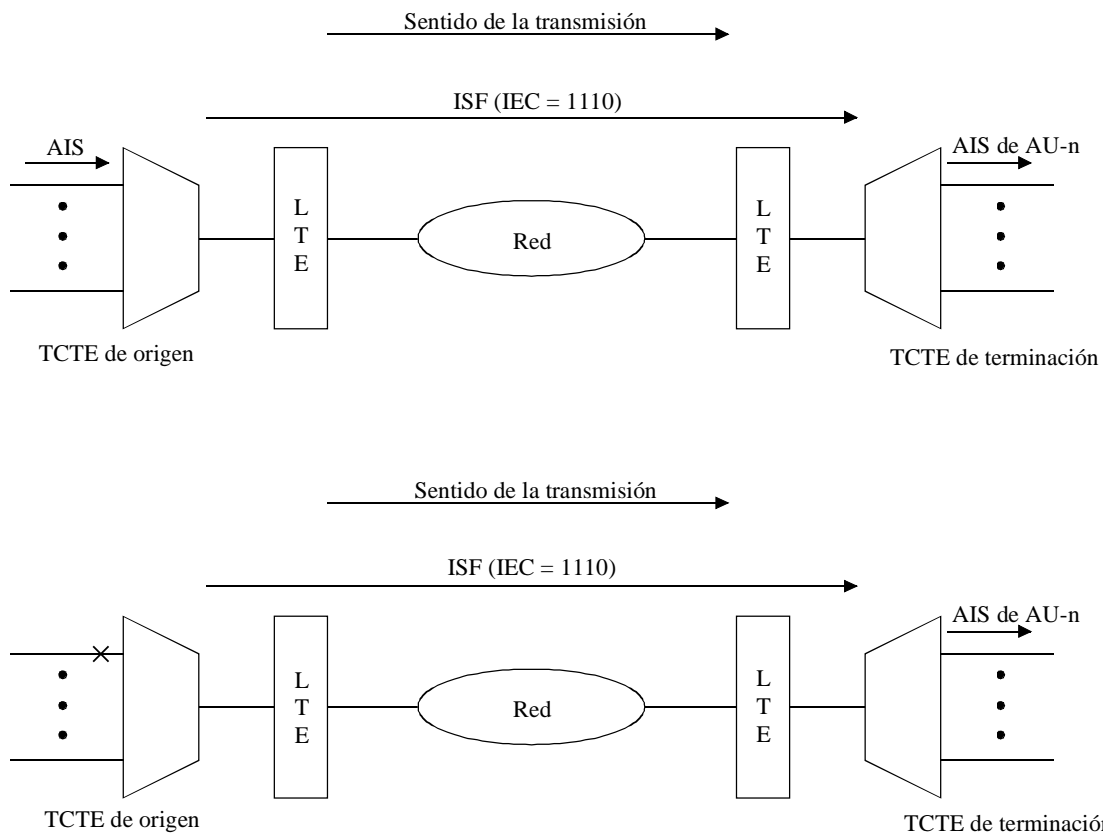
C.7.1 Fallos de señal antes de la conexión en cascada

La figura C.8 ilustra conexiones en cascada con fallos de señal entrante. Para la transmisión de izquierda a derecha, cuando se produzca un fallo de señal en una AU-n entrante en el TCTE de origen, dicho TCTE insertará un valor de puntero válido en H1, H2 y H3. Con este valor de puntero, el TCTE de origen localizará B3 y la TCOH. Se escribirá una cuenta de errores de entrada de 14 (1110) en la IEC (bits 1 a 4 de la TCOH) y , para el primer HOVC solamente, se escribirá el enlace de datos en los bits 5 a 8 de la TCOH. En lo demás HOVC se escribirá todos 1, excepto para B3. Se calculará B3 de tal modo que la trama previa tenga paridad par.

Dentro de la conexión en cascada no es necesario un tratamiento especial. Las AU-n que entren con un fallo de señal tendrán punteros válidos dentro de la conexión en cascada (insertados por el TCTE de origen). El equipo de terminación de la sección de regeneración y/o la sección de multiplexación dentro de la conexión en cascada verán punteros válidos y tratarán las señales como si llevaran tráfico.

Al final de la conexión en cascada, el TCTE de terminación interpretará un valor de IEC de 14 como una indicación de fallo de la señal entrante (ISF). Cuando se reciba una indicación de ISF, el TCTE de terminación insertará AIS de AU-n en las señales de salida apropiadas. Para los cálculos de error de la conexión en cascada se interpretarán los valores de ISF 9 a 13 y 15 como de cero errores entrantes (IEC=0).

NOTA – Los valores de IEC 9 a 13 y 15 se reservan para futura normalización.



T1540900-00

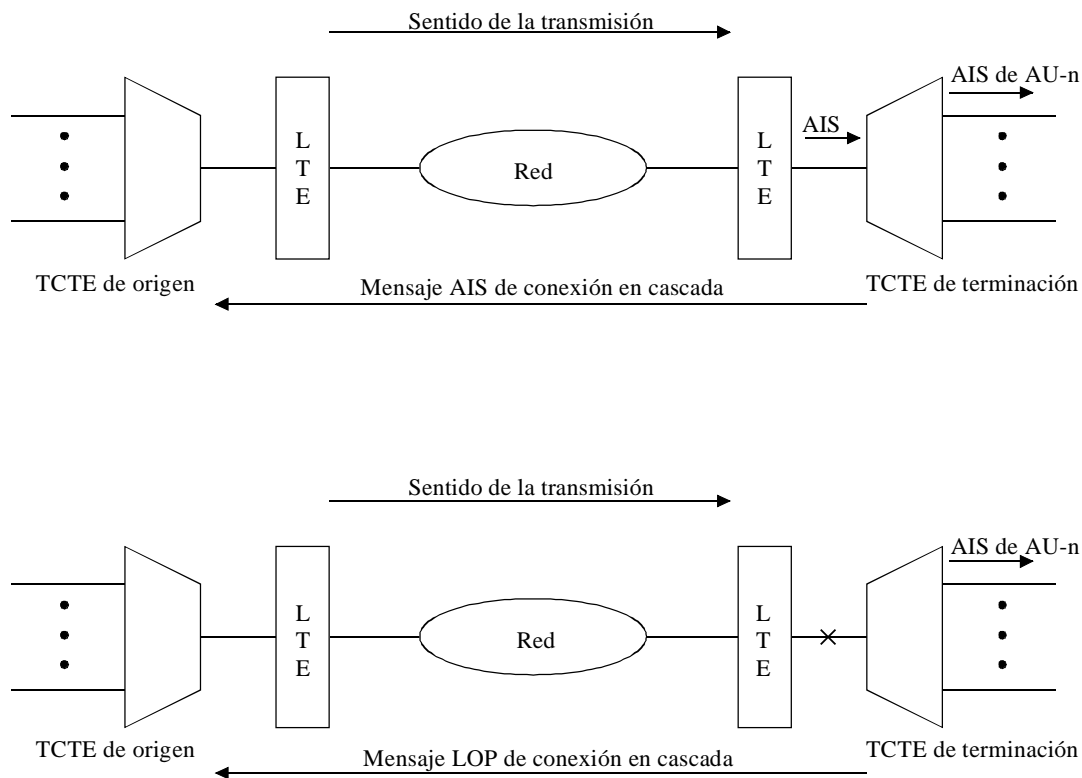
Figura C.8/G.707/Y.1322 – Conexión en cascada con fallos de señal entrante

C.7.2 Fallos de señal dentro de la conexión en cascada

La figura C.9 ilustra fallos de señal dentro de una conexión en cascada. No se requiere un tratamiento especial para estos fallos. El equipo de terminación de la sección de regeneración y/o la sección de multiplexación dentro de la conexión en cascada responderá a los fallos de señal. Si se recibe una AIS de AU-n en el TCTE de terminación, el TCTE indicará un fallo de señal dentro de la conexión en cascada.

NOTA – Como se ha visto más arriba, los fallos de señal antes del TCTE de origen serán convertidos en ISF por el TCTE de origen. Por consiguiente, una AIS de AU-n en el TCTE de terminación indica un fallo dentro de la conexión en cascada.

Cuando el TCTE de terminación reciba un fallo de señal, insertará una AIS en las AU-n de salida apropiadas y devolverá el mensaje adecuando al TCTE de origen, mediante el mensaje informe de calidad de funcionamiento de extremo distante de conexión en cascada.



T1518630-95

Figura C.9/G.707/Y.1322 – Fallos de señal dentro de la conexión en cascada

C.8 Señal de reposo de conexión en cascada

La señal de reposo de conexión en cascada se define como una conexión en cascada con todas las etiquetas de señales constituyentes puestas a "Sin equipar" (C2=00) y un mensaje de ID de señal de reposo en el enlace de datos de la conexión en cascada (de acuerdo con C.6).

C.9 Señal de prueba de conexión en cascada

La señal de prueba de conexión en cascada se define como cualquier señal de conexión en cascada válida con una ID de señal de prueba de conexión en cascada válida.

ANEXO D

Protocolo de supervisión de conexión en cascada de VC-4-Xc/VC-4/VC-3: Opción 2

NOTA – La supervisión de conexión en cascada puede tener una dependencia inesperada de la señal entrante. Véase en el apéndice VIII una descripción del problema.

D.1 Estructura del octeto N1

N1 se asigna para la supervisión de la conexión en cascada para los VC-4 contiguamente concatenados, los niveles de VC-4 y VC-3. La estructura del octeto N1 se indica en el cuadro D.1.

- Los bits 1 a 4 se utilizan como cuenta de errores de entrada (IEC); la codificación se da en el cuadro D.2.

- El bit 5 actúa como la TC-REI de la conexión en cascada para indicar bloques con errores causados dentro de la conexión en cascada.
- El bit 6 actúa como OEI para indicar bloques con errores del VC-n saliente.
- Los bits 7 y 8 actúan en una multitrama de 76 tramas como:
 - Identificador de punto de acceso de conexión en cascada (TC-API); se atiene al formato genérico de cadena de 16 octetos que figura en 9.2.2.2.
 - TC-RDI, indicando al extremo distante que se han detectado defectos dentro de la conexión en cascada en el sumidero conexión en cascada del extremo cercano.
 - ODI, indicando al extremo distante que se ha insertado una AU/TU-AIS en la AU-n/TU-n saliente en el sumidero conexión en cascada, debido a defectos antes o dentro de la conexión en cascada.
 - Capacidad reservada (para normalización futura).

La estructura de la multitrama se indica en los cuadros D.3 y D.4.

Cuadro D.1/G.707/Y.1322 – Estructura del octeto N1

b1	b2	b3	b4	b5	b6	b7	b8
IEC				TC-REI	OEI	TC-API, TC-RDI ODI, reservado	

Cuadro D.2/G.707/Y.1322 – Codificación de IEC

Número de violaciones de BIP-8	b1	b2	b3	b4
0	1	0	0	1
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
AIS entrant	1	1	1	0

NOTA – Para garantizar un byte N1 no todos 0 independiente del estado de la señal entrante, se requiere que el campo del código IEC contenga por lo menos un "1". Cuando se detectan cero errores en la BIP-8 de la señal entrante, se inserta un código de IEC con "1" en él. De esta manera, el sumidero de conexión en cascada del extremo de cola del enlace de la conexión en cascada puede utilizar el campo del código IEC para distinguir entre condiciones sin equipar iniciadas dentro o antes de la conexión en cascada.

Cuadro D.3/G.707/Y.1322 – Estructura de la multitrama de los bits 7 y 8

Trama #	Definición de los bits 7 y 8
1-8	Señal de alineación de trama: 1111 1111 1111 1110
9-12	Byte #1 de TC-API [1C ₁ C ₂ C ₃ C ₄ C ₅ C ₆ C ₇]
13-16	Byte #2 de TC-API [0XXXXXXXX]
17-20	Byte #3 de TC-API [0XXXXXXXX]
:	:
:	:
:	:
65-68	Byte #15 de TC-API [0XXXXXXXX]
69-72	Byte #16 de TC-API [0XXXXXXXX]
73-76	TC-RDI, ODI y reservado (véase el cuadro D.4)

Cuadro D.4/G.707/Y.1322 – Estructura de las tramas N.º 73 a 76 de la multitrama de b7-b8

TC-RDI, ODI y capacidad reservada		
Trama #	Definición de b7	Definición de b8
73	Reservado (por defecto = "0")	TC-RDI
74	ODI	Reservado (por defecto = "0")
75	Reservado (por defecto = "0")	Reservado (por defecto = "0")
76	Reservado (por defecto = "0")	Reservado (por defecto = "0")

D.2 Funcionalidad TCM en la fuente conexión en cascada

- Si no entra una AU-n/TU-n en la conexión en cascada en la fuente conexión en cascada, se inserta un puntero válido. Esto da lugar a la inserción de una señal VC-AIS como se describe en 6.2.4.1.4; la IEC se pone a código "AIS entrante" (véase el cuadro D.2).
- Si entra una AU-n/TU-n válida en la conexión en cascada, se calcula una BIP-8 para cada bit n de cada octeto del VC-n en la trama precedente que incluye B3 y se compara con el octeto B3 recuperado de las tramas en curso para determinar el número de violaciones de BIP que llegan a la fuente conexión en cascada. Este valor se codifica en los bits 1 a 4 como se muestra en el cuadro D.2.
 - En ambos casos, se ensamblan y se transmiten los bits 4 a 8 de acuerdo con los cuadros D.1, D.3 y D.4. Los bits de TC-REI, TC-RDI, OEI, ODI se ponen a "1" si la anomalía o el defecto correspondiente se detecta en el sumidero conexión en cascada asociado del sentido inverso.
 - La BIP-8 se compensa de acuerdo con el algoritmo descrito en D.4.

NOTA – Si una señal sin equipar o supervisora sin equipar entra en una conexión en cascada, se reescriben en los octetos N1 y B3 con valores no iguales a todos 0.

D.3 Funcionalidad TCM en el sumidero conexión en cascada

- Si no llega una AU-n/TU-n válida al sumidero conexión en cascada, se declara el defecto correspondiente causado dentro de la conexión en cascada. Los bits de TC-RDI y ODI se fijan a 1 en el sentido inverso y se inserta una AU/TU-AIS en la AU-n/TU-n saliente.
- Si una AU-n/TU-n válida está presente en el sumidero conexión en cascada, se supervisa el octeto N1:
 - Un octeto N1 "todos 0" indica una desconexión o una conexión errónea dentro de la conexión en cascada. En este caso, los bits de TC-RDI y ODI se fijan a 1 en el sentido inverso y se inserta una AU/TU-AIS en la AU-n/TU-n saliente.
 - Se recupera la multitrama de los bits 7 y 8 y se interpreta el contenido. Si no puede encontrarse la multitrama, los bits de TC-RDI y ODI se fijan en el sentido inverso y se inserta una AU/TU-AIS en la AU-n/TU-n saliente.
 - Se recupera la TC-API y se compara con la TC-API esperada. En caso de discordancia, los bits de TC-RDI y ODI se fijan a 1 en el sentido inverso y se inserta una AU/TU-AIS en la AU-n/TU-n saliente.
 - El campo IEC se interpreta de acuerdo con el cuadro D.5.

Un código "AIS entrante" indica que ya se ha producido un defecto antes de la conexión en cascada. En este caso sólo el bit de ODI se fija a 1 en el sentido inverso y se inserta una AU/TU-AIS en la AU-n/TU-n saliente.

Se calcula la BIP-8 par para cada bit n de cada octeto del VC-n en la trama precedente que incluye el B3 y se compara con el octeto B3 recuperado de las tramas en curso, para determinar el número de violaciones de BIP. El bit de OEI se fija a 1 en el sentido inverso si el número de violaciones de BIP determinado es superior a cero. Además, este valor se compara con el número de violaciones de la BIP obtenido a partir de la IEC de la trama en curso. Si la diferencia no es igual a cero se declara un bloque con errores dentro de la conexión en cascada y obsérvese un bit de TC-REI en el sentido inverso.

Si no es insertada una TU-n/AU-AIS por el sumidero conexión en cascada, se fija a 1 el octeto N1 a todos CEROS y la BIP se compensa de acuerdo con el algoritmo descrito en D.4.

Cuadro D.5/G.707 – Interpretación del código de IEC

b1	b2	b3	b4	Interpretación del código de IEC
0	0	0	0	0 violación de BIP
0	0	0	1	1 violación de BIP
0	0	1	0	2 violaciones de BIP
0	0	1	1	3 violaciones de BIP
0	1	0	0	4 violaciones de BIP
0	1	0	1	5 violaciones de BIP
0	1	1	0	6 violaciones de BIP
0	1	1	1	7 violaciones de BIP
1	0	0	0	8 violaciones de BIP
1	0	0	1	0 violación de BIP
1	0	1	0	0 violación de BIP
1	0	1	1	0 violación de BIP

Cuadro D.5/G.707 – Interpretación del código de IEC
(continuación)

b1	b2	b3	b4	Interpretación del código de IEC
1	1	0	0	0 violación de BIP
1	1	0	1	0 violación de BIP
1	1	1	0	0 violación de BIP AIS entrante
1	1	1	1	0 violación de BIP

D.4 Compensación de BIP-8

Dado que la verificación de paridad de BIP-8 se efectúa en el VC-n (incluyendo N1), la escritura en el N1 en la fuente conexión en cascada o el sumidero conexión en cascada afectará al cálculo de la paridad del trayecto VC-4-Xc/VC-4/VC-3. La paridad de BIP-8 debe ser siempre coherente con el estado vigente del VC-n, por lo que ha de compensarse la BIP cada vez que se modifica el octeto N1. Puesto que el valor de BIP-8 en una trama determinada refleja la verificación de la paridad en la trama previa, los cambios efectuados en los bits de BIP-8 en la trama previa también se tendrán en cuenta en la compensación de la BIP-8 de la trama en curso. Así pues, para la compensación de cada uno de los bits de la BIP-8 se utilizará la siguiente ecuación:

$$B3[i]'(t) = B3[i](t-1) \oplus B3[i]'(t-1) \oplus N1[i](t-1) \oplus N1[i]'(t-1) \oplus B3[i](t)$$

donde:

B3[i] es el valor de B3[i] existente en la señal entrante

B3[i]' es el valor de B3[i] nuevo (compensado)

N1[i] es el valor de N1[i] existente en la señal entrante

N1[i]' es el valor nuevo escrito en el bit de N1[i]

⊗ es el operador OR excluyente

t es el tiempo de la trama en curso

t-1 es el tiempo de la trama previa

ANEXO E

Protocolo de supervisión de conexión en cascada de VC-2/VC-1

E.1 Estructura del octeto N2

N2 se asigna para la supervisión de la conexión en cascada para el nivel de VC2, VC-12 y VC-11. La estructura del octeto N2 se indica en el cuadro E.1.

- Los bits 1 y 2 se utilizan como una BIP-2 par para la conexión en cascada.
- El bit 3 se fija a "1". Así se garantiza que el contenido de N2 no es todos 0 en la fuente conexión en cascada. De este modo es posible la detección de una señal sin equipar o supervisora sin equipar en el sumidero conexión en cascada sin necesidad de supervisar otros octetos de tara.
- El bit 4 actúa como un indicador de "AIS entrante".

- El bit 5 actúa como la TC-REI de la conexión en cascada para indicar bloques con errores causados dentro de la conexión en cascada.
 - El bit 6 actúa como OEI para indicar bloques con errores del VC-n saliente.
 - Los bits 7 y 8 actúan en una multitrama de 76 tramas como:
 - identificador de punto de acceso de la conexión en cascada (TC-API, *access point identifier of the tandem connection*); se atiene al formato genérico de cadena de 16 octetos que figura en 9.2.2.2;
 - TC-RDI, indicando al extremo distante que se han detectado efectos dentro de la conexión en cascada en el sumidero conexión en cascada del extremo cercano;
 - ODI, indicando al extremo distante que se ha insertado una TU-AIS en el sumidero conexión en cascada en la TU-n saliente, debido a defectos antes o dentro de la conexión en cascada;
 - capacidad reservada (para futura normalización).
- La estructura de la multitrama se indica en los cuadros E.2 y E.3.

Cuadro E.1/G.707/Y.1322 – Estructura del octeto N2

b1	b2	b3	b4	b5	b6	b7	b8
BIP-2		"1"	AIS entrante	TC-REI	OEI	TC-API, TC-RDI ODI, reservado	

Cuadro E.2/G.707/Y.1322 – Estructura de la multitrama de los bits 7 y 8

Trama #	Definición de b7-b8
1-8	Señal de alineación de trama: 1111 1111 1111 1110
9-12	Byte #1 de TC-API [1C ₁ C ₂ C ₃ C ₄ C ₅ C ₆ C ₇]
13-16	Byte #2 de TC-API [0XXXXXXXX]
17-20	Byte #3 de TC-API [0XXXXXXXX]
:	:
:	:
:	:
65-68	Byte #15 TC-API [0XXXXXXXX]
69-72	Byte #16 TC-API [0XXXXXXXX]
73-76	TC-RDSI, ODI y reservado (véase el cuadro E.3)

Cuadro E.3/G.707/Y.1322 – Estructura de las tramas N.º 73 a 76 de la multitrama de b7-b8

TC-RDI, ODI y capacidad reservada		
Trama #	Definición de b7	Definición de b8
73	Reservado (por defecto = "0")	TC-RDI
74	ODI	Reservado (por defecto = "0")
75	Reservado (por defecto = "0")	Reservado (por defecto = "0")
76	Reservado (por defecto = "0")	Reservado (por defecto = "0")

E.2 Funcionalidad TCM en la fuente conexión en cascada

- Si no entra TU-n válida en la conexión en cascada en la fuente conexión en cascada, se inserta un puntero válido. Esto da lugar a que se inserte una señal VC-AIS como se describe en 6.2.4.1.4 y a que el bit 4 se ponga a "1". La paridad de BIP-2 par se calcula en la señal VC-AIS insertada y se escribe en los bits 1 y 2 de N2.
- Si entra una TU-n válida en la conexión en cascada en la fuente conexión en cascada, se calcula una paridad de BIP-2 par en el VC-n válido entrante o en la señal VC-AIS insertada y se escribe en los bits 1 y 2 de N2.
 - En ambos casos se ensamblan los bits 4 a 8 y se transmiten de acuerdo con los cuadros E.1, E.2 y E.3.
Los bits de TC-REI, TC-RDI, OEI y ODI se ponen a "1" si la anomalía o el efecto correspondiente se detecta en el sumidero conexión en cascada del sentido inverso.
 - La BIP-2 original se compensa de acuerdo con el algoritmo descrito en E.4.

NOTA – Si una señal sin equipar o supervisora sin equipar entra en una conexión en cascada, se reescriben los octetos N2 y V5 con valores no iguales a todos 0.

E.3 Funcionalidad TCM en el sumidero conexión en cascada

Si no está presente una TU-n válida en el sumidero conexión en cascada, obsérvese defecto causado dentro de la conexión en cascada y se aplica la condición TC-RDI o ODI. Se inserta una TU-AIS en el conexión en cascada de salida.

Si una TU-n válida está presente en el sumidero conexión en cascada, se supervisa el octeto N2:

- Un octeto N1 "todos 0" indica una desconexión o una conexión errónea dentro de la conexión en cascada. En este caso, los bits de TC-RDI y ODI se fijan a "1" en el sentido inverso y se inserta una TU-AIS en la TU-n saliente.
- El bit 4 del N2 recibido fijado a "1" indica que ya se ha producido un defecto antes de la conexión en cascada. En este caso, el bit de ODI se fija a "1" en el sentido inverso y se inserta una TU-AIS en la TU-n saliente.
- Se recupera la multitrama de los bits 7 y 8 y se interpreta el contenido. Si no puede encontrarse la multitrama, los bits de TC-RDI y ODI se fijan a "1" en el sentido inverso y se inserta una TU-AIS en la TU-n saliente.
- Se recupera el TC-API y se compara con el TC-API esperado. En caso de discordancia, los bits de TC-RDI y ODI se fijan a "1" en el sentido inverso y se inserta una TU-AIS en la TU-n saliente.

La BIP-2 par se calcula para cada par de bits de cada octeto del VC-n precedente, incluido V5, y se compara con la BIP-2 recuperada del octeto V5. Si la diferencia es distinta de cero, ello indica que el VC-n se ha corrompido y, en tal caso, el bit OEI se fija a "1" en el sentido opuesto. Además, la BIP-2 real se compara con la BIP-2 recuperada del octeto N2. Si la diferencia es distinta de cero, ello indica que el VC-n se ha corrompido dentro de la conexión en cascada y, en tal caso, la TC-REI se fija a "1" en el sentido opuesto.

Si no se inserta una TU-AIS en el sumidero conexión en cascada, el octeto N2 se fija a todos CEROS y la BIP se compensa de acuerdo con el algoritmo descrito en E.4.

E.4 Compensación de BIP-2

Dado que la verificación de paridad de la BIP-2 se efectúa en el VC-n (incluyendo N2), la escritura en el N2 en la fuente conexión en cascada o el sumidero conexión en cascada afectará al cálculo de la paridad del trayecto VC-2/VC-12/VC-11. Si no se compensa esto, se corrompe el mecanismo de supervisión de errores de BIP-2. La paridad de BIP-2 debe ser siempre coherente con el estado vigente del VC-n, por lo que ha de compensarse la BIP cada vez que se modifica el octeto N2. Puesto que el valor de BIP-2 en una trama determinada refleja la verificación de la paridad en la trama previa, los cambios efectuados en los bits de BIP-2 de la trama previa también se tendrán en cuenta en la compensación de la BIP-2 de la trama en curso. Así pues, para la compensación de cada uno de los bits de la BIP-2 se utilizará la siguiente ecuación:

$$\begin{aligned}
 V5[1]'(t) = & V5[1](t-1) \\
 & \oplus V5[1]'(t-1) \\
 & \oplus N2[1](t-1) \oplus N2[3](t-1) \oplus N2[5](t-1) \oplus N2[7](t-1) \\
 & \oplus N2[1]'(t-1) \oplus N2[3]'(t-1) \oplus N2[5]'(t-1) \oplus N2[7]'(t-1) \\
 & \oplus V5[1](t)
 \end{aligned}$$

$$\begin{aligned}
 V5[2]'(t) = & V5[2](t-1) \\
 & \oplus V5[2]'(t-1) \\
 & \oplus N2[2](t-1) \oplus N2[4](t-1) \oplus N2[6](t-1) \oplus N2[8](t-1) \\
 & \oplus N2[2]'(t-1) \oplus N2[4]'(t-1) \oplus N2[6]'(t-1) \oplus N2[8]'(t-1) \\
 & \oplus V5[2](t)
 \end{aligned}$$

donde:

- V5[i] es el valor de V5[i] existente en la señal entrante
- V5[i]' es el valor de V5[i] nuevo (compensado)
- N2[i] es el valor de N2[i] existente en la señal entrante
- N2[i]' es el valor nuevo escrito en el bit de N2[i]
- ⊕ es el operador OR excluyente
- t es el tiempo de la trama en curso
- t-1 es el tiempo de la trama previa

APÉNDICE I

Relación entre dirección y ubicación de las columnas de TU-2 dentro de un VC-4

El cuadro I.1 que sigue muestra la relación entre dirección y ubicación de las columnas de TU-2 dentro de un VC-4.

Cuadro I.1/G.707/Y.1322 – Relación entre dirección y ubicación de las columnas de TU-2 dentro de un VC-4

Dirección de TU-2			Número de columnas de TU-2											
K	L	M	1	2	3	4	5	6	7	8	9	10	11	12
1	1	0	10	31	52	73	94	115	136	157	178	199	220	241
1	2	0	13	34	55	76	97	118	139	160	181	202	223	244
1	3	0	16	37	58	79	100	121	142	163	184	205	226	247
1	4	0	19	40	61	82	103	124	145	166	187	208	229	250
1	5	0	22	43	64	85	106	127	148	169	190	211	232	253
1	6	0	25	46	67	88	109	130	151	172	193	214	235	256
1	7	0	28	49	70	91	112	133	154	175	196	217	238	259
2	1	0	11	32	53	74	95	116	137	158	179	200	221	242
2	2	0	14	35	56	77	98	119	140	161	182	203	224	245
2	3	0	17	38	59	80	101	122	143	164	185	206	227	248
2	4	0	20	41	62	83	104	125	146	167	188	209	230	251
2	5	0	23	44	65	86	107	128	149	170	191	212	233	254
2	6	0	26	47	68	89	110	131	152	173	194	215	236	257
2	7	0	29	50	71	92	113	134	155	176	197	218	239	260
3	1	0	12	33	54	75	96	117	138	159	180	201	222	243
3	2	0	15	36	57	78	99	120	141	162	183	204	225	246
3	3	0	18	39	60	81	102	123	144	165	186	207	228	249
3	4	0	21	42	63	84	105	126	147	168	189	210	231	252
3	5	0	24	45	66	87	108	129	150	171	192	213	234	255
3	6	0	27	48	69	90	111	132	153	174	195	216	237	258
3	7	0	30	51	72	93	114	135	156	177	198	219	240	261

APÉNDICE II

Relación entre dirección y ubicación de las columnas de TU-12 dentro de un VC-4

El cuadro II.1 que sigue muestra la relación entre dirección y ubicación de las columnas de TU-12 dentro de un VC-4.

Cuadro II.1/G.707/Y.1322 – Relación entre dirección y ubicación de las columnas de TU-12 dentro de un VC-4

Dirección de TU-12			Número de columnas de TU-12			
K	L	M	1	2	3	4
1	1	1	10	73	136	199
1	1	2	31	94	157	220
1	1	3	52	115	178	241
1	2	1	13	76	139	202
1	2	2	34	97	160	223
1	2	3	55	118	181	244
1	3	1	16	79	142	205
1	3	2	37	100	163	226
1	3	3	58	121	184	247
1	4	1	19	82	145	208
1	4	2	40	103	166	229
1	4	3	61	124	187	250
1	5	1	22	85	148	211
1	5	2	43	106	169	232
1	5	3	64	127	190	253
1	6	1	25	88	151	214
1	6	2	46	109	172	235
1	6	3	67	130	193	256
1	7	1	28	91	154	217
1	7	2	49	112	175	238
1	7	3	70	133	196	259
2	1	1	11	74	137	200
2	1	2	32	95	158	221
2	1	3	53	116	179	242
2	2	1	14	77	140	203
2	2	2	35	98	161	224

Cuadro II.1/G.707/Y.1322 – Relación entre dirección y ubicación de las columnas de TU-12 dentro de un VC-4 (continuación)

Dirección de TU-12			Número de columnas de TU-12			
2	2	3	56	119	182	245
2	3	1	17	80	143	206
2	3	2	38	101	164	227
2	3	3	59	122	185	248
2	4	1	20	83	146	209
2	4	2	41	104	167	230
2	4	3	62	125	188	251
2	5	1	23	86	149	212
2	5	2	44	107	170	233
2	5	3	65	128	191	254
2	6	1	26	89	152	215
2	6	2	47	110	173	236
2	6	3	68	131	194	257
2	7	1	29	92	155	218
2	7	2	50	113	176	239
2	7	3	71	134	197	260
3	1	1	12	75	138	201
3	1	2	33	96	159	222
3	1	3	54	117	180	243
3	2	1	15	78	141	204
3	2	2	36	99	162	225
3	2	3	57	120	183	246
3	3	1	18	81	144	207
3	3	2	39	102	165	228
3	3	3	60	123	186	249
3	4	1	21	84	147	210
3	4	2	42	105	168	231
3	4	3	63	126	189	252
3	5	1	24	87	150	213
3	5	2	45	108	171	234
3	5	3	66	129	192	255
3	6	1	27	90	153	216
3	6	2	48	111	174	237
3	6	3	69	132	195	258
3	7	1	30	93	156	219
3	7	2	51	114	177	240
3	7	3	72	135	198	261

APÉNDICE III

Relación entre dirección y ubicación de las columnas de TU-11 dentro de un VC-4

El cuadro III.1 que sigue muestra la relación entre dirección y ubicación de las columnas de TU-11 dentro de un VC-4.

Cuadro III.1/G.707/Y.1322 – Relación entre dirección y ubicación de las columnas de TU-11 dentro de un VC-4

Dirección de TU-11			Número de columnas de TU-11		
K	L	M	1	2	3
1	1	1	10	94	178
1	1	2	31	115	199
1	1	3	52	136	220
1	1	4	73	157	241
1	2	1	13	97	181
1	2	2	34	118	202
1	2	3	55	139	223
1	2	4	76	160	244
1	3	1	16	100	184
1	3	2	37	121	205
1	3	3	58	142	226
1	3	4	79	163	247
1	4	1	19	103	187
1	4	2	40	124	208
1	4	3	61	145	229
1	4	4	82	166	250
1	5	1	22	106	190
1	5	2	43	127	211
1	5	3	64	148	232
1	5	4	85	169	253
1	6	1	25	109	193
1	6	2	46	130	214
1	6	3	67	151	235
1	6	4	88	172	256

Cuadro III.1/G.707/Y.1322 – Relación entre dirección y ubicación de las columnas de TU-11 dentro de un VC-4 (continuación)

Dirección de TU-11			Número de columnas de TU-11		
1	7	1	28	112	196
1	7	2	49	133	217
1	7	3	70	154	238
1	7	4	91	175	259
2	1	1	11	95	179
2	1	2	32	116	200
2	1	3	53	137	221
2	1	4	74	158	242
2	2	1	14	98	182
2	2	2	35	119	203
2	2	3	56	140	224
2	2	4	77	161	245
2	3	1	17	101	185
2	3	2	38	122	206
2	3	3	59	143	227
2	3	4	80	164	248
2	4	1	20	104	188
2	4	2	41	125	209
2	4	3	62	146	230
2	4	4	83	167	251
2	5	1	23	107	191
2	5	2	44	128	212
2	5	3	65	149	233
2	5	4	86	170	254
2	6	1	26	110	194
2	6	2	47	131	215
2	6	3	68	152	236
2	6	4	89	173	257
2	7	1	29	113	197
2	7	2	50	134	218
2	7	3	71	155	239
2	7	4	92	176	260
3	1	1	12	96	180
3	1	2	33	117	201

Cuadro III.1/G.707/Y.1322 – Relación entre dirección y ubicación de las columnas de TU-11 dentro de un VC-4 (fin)

Dirección de TU-11			Número de columnas de TU-11		
3	1	3	54	138	222
3	1	4	75	159	243
3	2	1	15	99	183
3	2	2	36	120	204
3	2	3	57	141	225
3	2	4	78	162	246
3	3	1	18	102	186
3	3	2	39	123	207
3	3	3	60	144	228
3	3	4	81	165	249
3	4	1	21	105	189
3	4	2	42	126	210
3	4	3	63	147	231
3	4	4	84	168	252
3	5	1	24	108	192
3	5	2	45	129	213
3	5	3	66	150	234
3	5	4	87	171	255
3	6	1	27	111	195
3	6	2	48	132	216
3	6	3	69	153	237
3	6	4	90	174	258
3	7	1	30	114	198
3	7	2	51	135	219
3	7	3	72	156	240
3	7	4	93	177	261

APÉNDICE IV

Relación entre dirección y ubicación de las columnas de TU-2 dentro de un VC-3

El cuadro IV.1 que sigue muestra la relación entre dirección y ubicación de las columnas de TU-2 dentro de un VC-3.

Cuadro IV.1/G.707/Y.1322 – Relación entre dirección y ubicación de las columnas de TU-2 dentro de un VC-3

Dirección de TU-2		Número de columnas de TU-2											
L	M	1	2	3	4	5	6	7	8	9	10	11	12
1	0	2	9	16	23	30	37	44	51	58	65	72	79
2	0	3	10	17	24	31	38	45	52	59	66	73	80
3	0	4	11	18	25	32	39	46	53	60	67	74	81
4	0	5	12	19	26	33	40	47	54	61	68	75	82
5	0	6	13	20	27	34	41	48	55	62	69	76	83
6	0	7	14	21	28	35	42	49	56	63	70	77	84
7	0	8	15	22	29	36	43	50	57	64	71	78	85

APÉNDICE V

Relación entre dirección y ubicación de las columnas de TU-12 dentro de un VC-3

El cuadro V.1 que sigue muestra la relación entre dirección y ubicación de las columnas de TU-12 dentro de un VC-3.

Cuadro V.1/G.707/Y.1322 – Relación entre dirección y ubicación de las columnas de TU-12 dentro de un VC-3

Dirección de TU-12		Número de columnas de TU-12			
L	M	1	2	3	4
1	1	2	23	44	65
1	2	9	30	51	72
1	3	16	37	58	79
2	1	3	24	45	66
2	2	10	31	52	73
2	3	17	38	59	80
3	1	4	25	46	67
3	2	11	32	53	74
3	3	18	39	60	81
4	1	5	26	47	68
4	2	12	33	54	75
4	3	19	40	61	82
5	1	6	27	48	69
5	2	13	34	55	76
5	3	20	41	62	83
6	1	7	28	49	70
6	2	14	35	56	77
6	3	21	42	63	84
7	1	8	29	50	71
7	2	15	36	57	78
7	3	22	43	64	85

APÉNDICE VI

Relación entre dirección y ubicación de las columnas de TU-11 dentro de un VC-3

El cuadro VI.1 que sigue muestra la relación entre dirección y ubicación de las columnas de TU-11 dentro de un VC-3.

Cuadro VI.1/G.707/Y.1322 – Relación entre dirección y ubicación de las columnas de TU-11 dentro de un VC-3

Dirección de TU-11		Número de columnas de TU-11		
L	M	1	2	3
1	1	2	30	58
1	2	3	31	59
1	3	5	33	61
1	4	7	35	63
2	1	4	32	60
2	2	12	40	68
2	3	18	46	74
2	4	24	52	80
3	1	6	34	62
3	2	13	41	69
3	3	19	47	75
3	4	25	53	81
4	1	8	36	64
4	2	14	42	70
4	3	20	48	76
4	4	26	54	82
5	1	9	37	65
5	2	15	43	71
5	3	21	49	77
5	4	27	55	83
6	1	10	38	66
6	2	16	44	72
6	3	22	50	78
6	4	28	56	84
7	1	11	39	67
7	2	17	45	73
7	3	23	51	79
7	4	29	57	85

APÉNDICE VII

Indicación de defecto distante (RDI) mejorada

Como opción, el equipo puede ofrecer una diferenciación adicional entre los defectos. La indicación de defecto distante (RDI), que se define en 9.3.1.4 y 9.3.2.1, devuelve a la fuente de terminación de camino una indicación de que el sumidero de terminación de camino está detectando defectos de señal de servidor o defectos de conectividad. La RDI no diferencia entre tipos de defectos. Este apéndice define una indicación de defecto distante mejorada que soporta tres tipos de indicaciones RDI: E-RDI de defecto de servidor, E-RDI de defecto de conectividad y E-RDI de defecto de cabida útil. Ofrece una diferenciación entre defectos de señal de servidor (E-RDI de servidor), defectos de conectividad (E-RDI de conectividad) y defectos de cabida útil o de adaptación (E-RDI de cabida útil). Si se produce más de uno de estos defectos al mismo tiempo, la prioridad del tipo de indicación utilizados tendrá el orden siguiente:

- 1) E-RDI de servidor;
- 2) E-RDI de conectividad;
- 3) E-RDI de cabida útil.

El uso de esta opción ofrece a un operador capacidades de seccionalización de averías mejorada para un camino que atravesase dominios de más de un operador. La opción indicación de defecto distante mejorada es compatible con equipo que soporte la RDI.

VII.1 Trayectos de VC-4-Xc/VC-4/VC-3

Conforme se describe en 9.3.1.4, el octeto G1 se asigna para indicar hacia atrás a una fuente de terminación de camino de VC-4-Xc/VC-4/VC-3 la categoría y la calidad de funcionamiento del camino completo. Los bits 5 a 7 del octeto G1 pueden utilizarse para proporcionar una indicación de defecto distante con una diferenciación adicional entre defecto de cabida útil distante mejorada con una diferencia adicional entre el defecto de cabida útil (PLM), defectos de servidor (AIS, LOP) y defectos de conectividad distante (TIM, UNEQ). Se utilizan los códigos del cuadro VII.1.

Cuadro VII.1/G.707/Y.1322 – Codificación y activadores de G1 (b5-b7)

b5	b6	b7	Significado	Activadores
0	0	1	Ningún defecto distante	Ningún defecto distante
0	1	0	E-RDI de defecto de cabida útil	PLM
1	0	1	E-RDI de defecto de servidor	AIS, LOP
1	1	0	E-RDI de defecto de conectividad	TIM, UNEQ

Para los códigos E-RDI, el bit7 se fija al inverso del bit 6. El cuadro VII.2 ofrece la interpretación del código E-RDI G1 (b5-b7).

Cuadro VII.2/G.707/Y.1322 – Codificación de G1 (b5-b7) e interpretación de E-RDI

b5	b6	b7	Interpretación de E-RDI
0	0	0	Ningún defecto distante (nota 1)
0	0	1	Ningún defecto distante
0	1	0	E-RDI de defecto de cabida útil (nota 2)
0	1	1	Ningún defecto distante (nota 1)
1	0	0	E-RDI de defecto de servidor (nota 1)
1	0	1	E-RDI de defecto de servidor
1	1	0	E-RDI de defecto de conectividad
1	1	1	E-RDI de defecto de servidor (nota 1)

NOTA 1 – Estos códigos son generados por equipo que soporta la RDI y son interpretados por equipo que soporta la E-RDI como se muestra. Para equipo que soporta la RDI (véase 9.3.1.4), este código es activado por la presencia o la ausencia de uno de los siguientes defectos: AIS, LOP, TIM o UNEQ. El equipo conforme con una versión anterior de esta norma puede incluir PLM como condición activadora. El equipo ATM que cumple la versión de 1993 de UIT-T I.432 puede incluir LCD como condición activadora. Es de señalar que, para algunas redes nacionales, este código era solamente activado por un defecto AIS o LOP.

NOTA 2 – El equipo ATM que cumple la versión de 1996 de UIT-T I.432.2 puede incluir LCD como condición activadora.

La interpretación de código E-RDI G1 (b5-b7) permite interfuncionamiento con equipo que soporta la RDI. No es necesario que la interpretación identifique si el equipo soporta RDI o E-RDI.

VII.2 Trayectos de VC-2/VC-1

Conforme se describe en 9.3.2.1, los bits 3, 4 y 8 del octeto V5 se asignan para indicar hacia atrás a una fuente de terminación de camino de VC-2/VC-1 la categoría y la calidad de funcionamiento del camino completo. Los bits 5 a 7 del octeto K4 pueden utilizarse para proporcionar una indicación de defecto distante mejorada con una diferenciación adicional entre defecto de cabida útil (PLM), defectos del servidor (AIS, LOP) y defectos de conectividad (TIM, UNEQ). Se utilizan los códigos del cuadro VII.3.

Cuadro VII.3/G.707/Y.1322 – Codificación y activadores de V5 b8 y K4 (b5-b7)

V5 b8	K4 b5	K4 b6	K4 b7	Significado	Activadores
0	0	0	1	Ningún defecto distante	Ningún defecto distante
0	0	1	0	E-RDI de defecto de cabida útil	PLM
1	1	0	1	E-RDI de defecto de servidor	AIS, LOP
1	1	1	0	E-RDI de defecto de conectividad	TIM, UNEQ

Para los códigos E-RDI, V5 b8 se fija al mismo valor que K4 b5. Además, para los códigos E-RDI, el bit 7 se fija al inverso del bit 6. El cuadro VII.2 ofrece la interpretación del código E-RDI K4 (b5-b7).

**Cuadro VII.4/G.707/Y.1322 – Codificación de V5 b8 y K4 (b5-b7)
e interpretación de E-RDI**

V5 b8	K4 b5	K4 b6	K4 b7	Interpretación de E-RDI
0	0	0	0	Ningún defecto distante (nota 1)
0	0	0	1	Ningún defecto distante
0	0	1	0	E-RDI de defecto de cabida útil
0	0	1	1	Ningún defecto distante (nota 2)
0	1	0	0	Ningún defecto distante (nota 2)
0	1	0	1	Ningún defecto distante (nota 2)
0	1	1	0	Ningún defecto distante (nota 2)
0	1	1	1	Ningún defecto distante (nota 1)
1	0	0	0	E-RDI de defecto de servidor (nota 1)
1	0	0	1	E-RDI de defecto de servidor (nota 2)
1	0	1	0	E-RDI de defecto de servidor (nota 2)
1	0	1	1	E-RDI de defecto de servidor (nota 2)
1	1	0	0	E-RDI de defecto de servidor (nota 2)
1	1	0	1	E-RDI de defecto de servidor
1	1	1	0	E-RDI de defecto de conectividad
1	1	1	1	E-RDI de defecto de servidor (nota 1)

NOTA 1 – Estos códigos son generados por equipo que soporta la RDI y son interpretados por equipo que soporta la E-RDI como se muestra. Para equipo que soporta la RDI (véase 9.3.2.1), este código es activado por la presencia o la ausencia de uno de los siguientes defectos: AIS, LOP, TIM o UNEQ. El equipo conforme con una versión anterior de esta Recomendación puede incluir PLM como condición activadora. Es de señalar que, para algunas redes nacionales, este código era solamente activado por un defecto AIS o LOP.

NOTA 2 – Este código no es aplicable a ninguna de las normas conocidas; se incluye aquí para mayor completación.

La interpretación de la codificación E-RDI V5 b8 y K4 (b5-b7) permite interfuncionamiento con equipo que soporta la RDI. No es necesario que la interpretación identifique si el equipo soporta RDI o E-RDI.

Comportamiento inesperado, dependencia de la supervisión de la conexión en cascada con respecto a la señal entrante

VIII.1 Entrada de la condición AIS (en caso de VC-3/4/4-Xc)

La entrada de la condición AIS es ya crítica para los casos VC-3/4/4-Xc; la cuestión aquí es el momento en que la señal es sustituida por todos 1.

Supóngase que se inserta una señal todos 1 en el momento en que el byte B3 sería sacado por la función sumidero de adaptación (MSn/Sn_A_Sk). De este modo la función TC_TT_So detectará B3=todos 1 y detecta un número de violaciones de BIP. Aunque la inserción de todos 1 (AIS) va acompañada por SSF=verdadero, los bits N1[1-4] se escribirán con el código IncAIS (1110) de acuerdo con nuestras normas. No es posible enviar la cuenta de IEC en este momento. Esto hará que el extremo distante (TC_TT_Sk) detecte violaciones de BIP8 en B3 y el código IncAIS (o IEC=0); y consiguientemente se declarará un bloque con errores. Además, en este ejemplo en la trama siguiente se detectarán violaciones de BIP8 con IEC=0, y se declara otro bloque con errores. La razón de esto es que la inserción de AIS iniciada "en medio de la trama VC-n" (como se indicó antes en la ubicación del byte B3). Si la inserción de AIS se hubiera iniciado en la ubicación del byte J1, o detrás de la ubicación de B3, sólo habría repercutido en una trama.

Conclusión: En las conexiones en cascada VC-3/4/4-Xc es posible conseguir la detección de 1 ó 2 segundos con error por la función TC-TT_Sk al final de la TC de resultas la inserción de AIS delante de la TC.

VIII.2 Entrada de la condición AIS (en caso de VC-1/2)

Este problema no se produce al nivel VC-1/2; hay aquí un BIP-2 real, y no una IEC.

VIII.3 Recuperación tras un salto de fase (válido para todos los VC-n)

Las causas de los saltos de fase en el ingreso de una conexión en cascada (TC) que se han identificado hasta la fecha son:

- recuperación tras una condición SSF (LOP, AIS);
- establecimiento de un trayecto diferente de resultas de un cambio de transconexión, por ejemplo, de B→A a C→A, de UNEQ→A a B→A, de B→A a UNEQ→A);
- recuperación de una señal a 2 Mbit/s con correspondencia síncrona de bytes tras una condición AIS; la señal VC-12 seguirá el salto de fase de la señal a 2 Mbit/s (véase el anexo C/EN 300 417-4-1);
- conmutación de protección causada por instrucciones exteriores, por funcionamiento reversivo, por SD.

El salto de fase del VC-n no ha de comunicarse hacia el sumidero de terminación de trayecto VC-n vía la propia señal VC-n y vía el puntero AU/TU. Por consiguiente, ese salto de fase viaja a diferente velocidad a través de la red: los bytes VC-n van mucho más rápido que el puntero AU/TU. Una señal VC-n experimentará un retardo de algunos bytes en cada procesador de puntero, mientras que el puntero AU/TU experimentará un retardo de trama comprendido entre 0 y (algo más un bit) y una trama en cada procesador de puntero.

Por consiguiente, el sumidero de terminación de TC (y el sumidero de terminación de VC) estarán desalineados durante algunas tramas. El último procesador de puntero antes del sumidero de terminación de TC [VC] sigue utilizando el puntero anterior, que ya no está alineado con los datos VC-n después del salto de fase. Esto significa que se utilizan los bytes erróneos como POH y que el cálculo de BIP-n será erróneo.

APÉNDICE IX

Corrección de errores en recepción para STM-16

Véase el anexo A con N igual a 16 y M igual a 1.

La figura 9-5 da la asignación de los bytes de paridad y de categoría P1 y Q1 para la señal STM-16.

El entrelazado de bits de 8 modos en unión del BCH-3 proporciona capacidad de corrección de errores en ráfaga de 24 bits por fila para STM-16.

APÉNDICE X

Calidad de funcionamiento de la FEC dentro de banda

Un criterio para la evaluación de la calidad de funcionamiento de corrección intrínseca del código BCH-3 dentro de banda es la relación teórica entre la BER de línea tras la corrección de errores FEC (BER_{salida} , P_c) y la BER de línea antes de la corrección de errores FEC ($BER_{entrada}$, p).

Para los códigos BCH, este criterio puede calcularse matemáticamente con las hipótesis de que los errores se producen independientemente entre sí y que el decodificador nunca falla (nula probabilidad de decodificación incorrecta).

$$P_c = \sum_{i=4}^N \frac{i}{N} \cdot \binom{N}{i} \cdot p^i \cdot (1-p)^{N-i}$$

donde $N = 4359$.

Esta ganancia de calidad de funcionamiento intrínseca teórica del código BCH-3 se indica en las figuras X.1 y X.2 en función de la BER de entrada y del valor Q respectivamente.

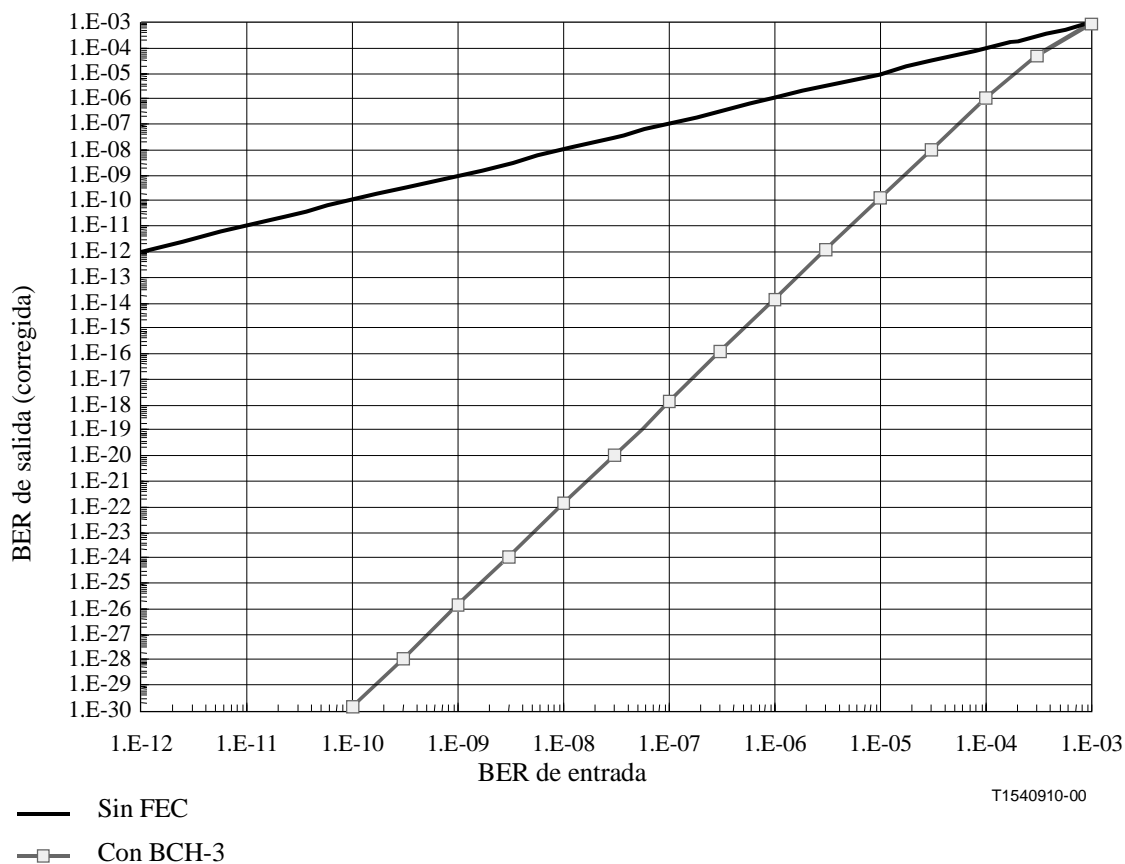


Figura X.1/G.707/Y.1322 – BER de salida (corregida) teórica en función de la BER de entrada (BCH-3)

La calidad de funcionamiento de la función FEC puede también evaluarse mediante la ganancia de codificación. En esta Recomendación, la ganancia de codificación es evaluada por la diferencia en el valor Q requerido para funcionamiento codificado y no codificado a un nivel especificado de calidad de comunicación.

La figura X.2 da curvas de calidad de funcionamiento que proporcionan la ganancia de codificación en términos de valor Q. El valor Q en el eje horizontal viene dado por $20 \log(Q)$. Por ejemplo, la ganancia a 10^{-12} es 3,8 dB. La ganancia de codificación en términos de $20 \log(Q)$ es equivalente a la ganancia de codificación representada por la relación señal/ruido óptica (OSNR, *optical signal noise ratio*) cuando el sistema de línea utiliza amplificadores ópticos.

La calidad de funcionamiento de FEC puede mejorar ligeramente cuando la decodificación FEC es realizada opcionalmente en los regeneradores descritos en A.4.3. La ganancia de calidad de funcionamiento cuando se utiliza FEC por tramo con respecto a su valor de extremo a extremo viene dado en la figura X.3. Obsérvese que se supone que la BER bruta está igualmente distribuida entre los tramos. Normalmente la BER es diferente de un tramo a otro y la calidad de funcionamiento de FEC viene dada principalmente por el tramo de BER más desfavorable. Por tanto, la hipótesis de una distribución de BER igual da la calidad de funcionamiento del caso más desfavorable para el método de decodificación de extremo a extremo.

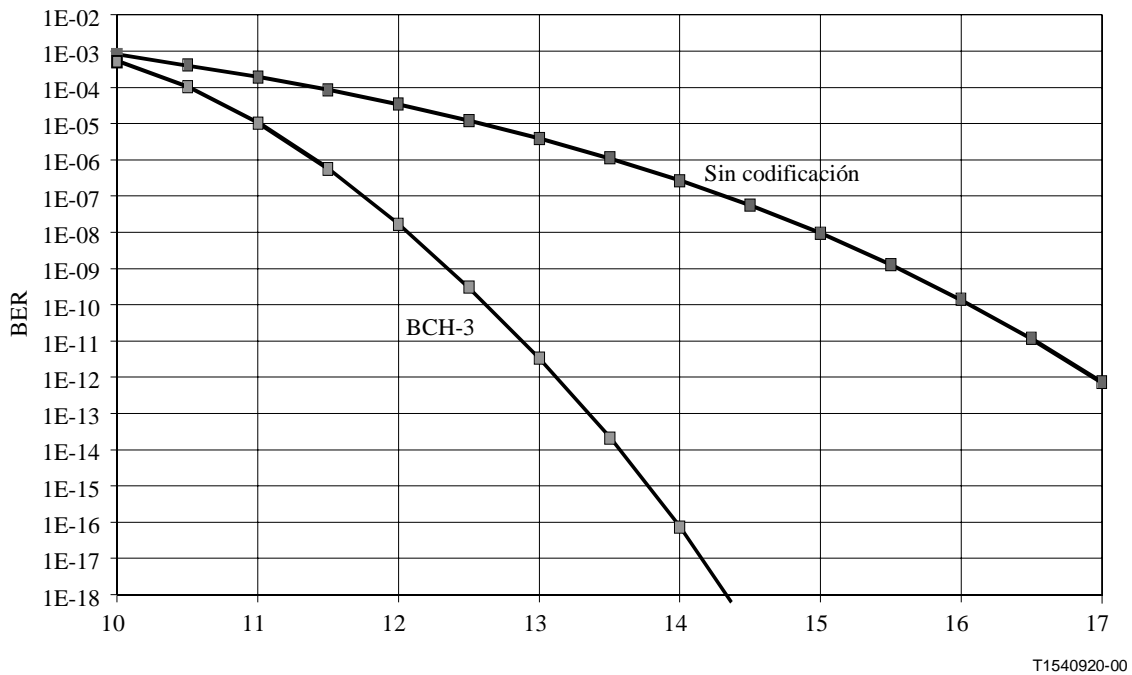


Figura X.2/G.707/Y.1322 – BER de salida (corregida) teórica en función del valor Q (BCH-3)

Para una $BER_{entrada}$ superior 10^{-3} , La probabilidad de decodificación incorrecta (se produce una decodificación incorrecta cuando el decodificador intenta la corrección pero actúa incorrectamente debido a que el patrón de error está más allá de su posibilidad de corregir) ha dejado de ser despreciable y hace inexacta la indicación anterior de la BER_{salida} . En dichos casos, las curvas de BER_{salida} en función de la $BER_{entrada}$ están incluso situadas por debajo de la curva no corregida de la figura X.1.

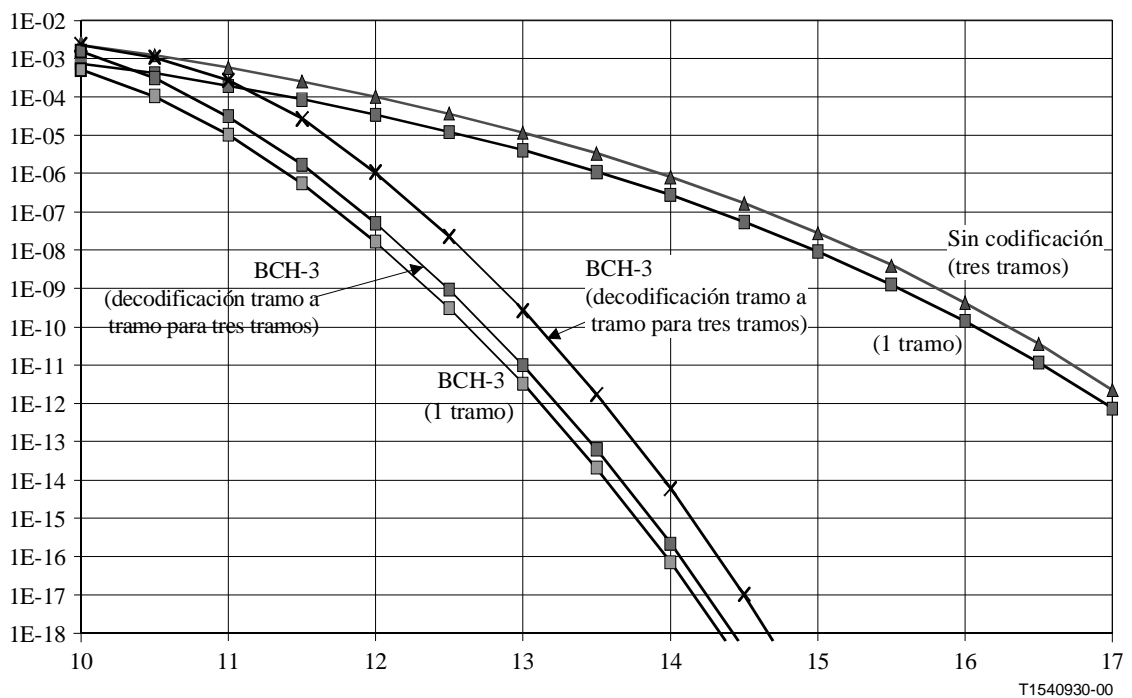


Figura X.3/G.707/Y.1322 – Comparación entre la FEC extremo a extremo y tramo a tramo

APÉNDICE XI

Bibliografía

- [1] IEEE Standard 802.6 (1990), *Distributed Queue Dual Bus (DQDB) Subnetwork of a Metropolitan Area Network (MAN)*.
- [2] ISO/IEC 3309:1993, *Information technology – Telecommunications and information exchange between systems – High-level data link control (HDLC) procedures – Frame structure*.
- [3] ISO 9314-1:1989, *Information processing systems – Fibre Distributed Data Interface (FDDI) – Part 1: Token Ring Physical Layer Protocol (PHY)*.
- [4] ISO 9314-2:1989, *Information processing systems – Fibre Distributed Data Interface (FDDI) – Part 2: Token Ring Media Access Control (MAC)*.
- [5] ISO/IEC 9314-3:1990, *Information processing systems – Fibre Distributed Data Interface (FDDI) – Part 3: Physical Layer Medium Dependent (PMD)*.
- [6] ISO/IEC 9314-4:1999, *Information technology – Fibre Distributed Data Interface (FDDI) – Part 4: Single Mode Fibre Physical Layer Medium Dependent (SMF-PMD)*.
- [7] ISO/IEC 9314-5:1995, *Information technology – Fibre Distributed Data Interface (FDDI) – Part 5: Hybrid Ring Control (HRC)*.
- [8] ISO/IEC 9314-6:1998, *Information technology – Fibre Distributed Data Interface (FDDI) – Part 6: Station Management (SMT)*.
- [9] ISO/IEC 9314-7:1998, *Information technology – Fibre Distributed Data Interface (FDDI) – Part 7: Physical layer Protocol (PHY-2)*.
- [10] ISO/IEC 9314-8:1998, *Information technology – Fibre Distributed Data Interface (FDDI) – Part 8: Media Access Control-2 (MAC-2)*.
- [11] X3 Project X3T12/765-D (ISO CD 9314-12), *Fibre Distributed data interface (FDDI) – Token ring SONET physical layer mapping (SPM)*.
- [12] RFC 1661 (Internet standard 51), *The Point-to-Point Protocol (PPP)*.
- [13] RFC 1662 (Internet standard 51), *PPP in HDLC-like Framing*.
- [14] IEEE Standard 803.2 (1998), *Information technology – Telecommunications and information exchange between systems – Local and metropolitan area networks – Specific requirements – Part 3: Carrier Sense Multiple Access with Collision Detection (CSMA/CD) Access Method and Physical Layer Specifications*.
- [15] ITU-T X.85/Y.1321 (2000), *IP over SDH using LAPS*.

SERIES DE RECOMENDACIONES DEL UIT-T

Serie A	Organización del trabajo del UIT-T
Serie B	Medios de expresión: definiciones, símbolos, clasificación
Serie C	Estadísticas generales de telecomunicaciones
Serie D	Principios generales de tarificación
Serie E	Explotación general de la red, servicio telefónico, explotación del servicio y factores humanos
Serie F	Servicios de telecomunicación no telefónicos
Serie G	Sistemas y medios de transmisión, sistemas y redes digitales
Serie H	Sistemas audiovisuales y multimedios
Serie I	Red digital de servicios integrados
Serie J	Transmisiones de señales radiofónicas, de televisión y de otras señales multimedios
Serie K	Protección contra las interferencias
Serie L	Construcción, instalación y protección de los cables y otros elementos de planta exterior
Serie M	RGT y mantenimiento de redes: sistemas de transmisión, circuitos telefónicos, telegrafía, facsímil y circuitos arrendados internacionales
Serie N	Mantenimiento: circuitos internacionales para transmisiones radiofónicas y de televisión
Serie O	Especificaciones de los aparatos de medida
Serie P	Calidad de transmisión telefónica, instalaciones telefónicas y redes locales
Serie Q	Conmutación y señalización
Serie R	Transmisión telegráfica
Serie S	Equipos terminales para servicios de telegrafía
Serie T	Terminales para servicios de telemática
Serie U	Conmutación telegráfica
Serie V	Comunicación de datos por la red telefónica
Serie X	Redes de datos y comunicación entre sistemas abiertos
Serie Y	Infraestructura mundial de la información y aspectos del protocolo Internet
Serie Z	Lenguajes y aspectos generales de soporte lógico para sistemas de telecomunicación