



UNION INTERNATIONALE DES TÉLÉCOMMUNICATIONS

UIT-T

V.41

SECTEUR DE LA NORMALISATION
DES TÉLÉCOMMUNICATIONS
DE L'UIT

**COMMUNICATIONS DE DONNÉES
SUR LE RÉSEAU TÉLÉPHONIQUE**

**SYSTÈME DE PROTECTION CONTRE LES
ERREURS INDÉPENDANT DU CODE UTILISÉ**

Recommandation UIT-T V.41

(Extrait du *Livre Bleu*)

NOTES

1 La Recommandation V.41 de l'UIT-T a été publiée dans le fascicule VIII.1 du Livre Bleu. Ce fichier est un extrait du Livre Bleu. La présentation peut en être légèrement différente, mais le contenu est identique à celui du Livre Bleu et les conditions en matière de droits d'auteur restent inchangées (voir plus loin).

2 Dans la présente Recommandation, le terme «Administration» désigne indifféremment une administration de télécommunication ou une exploitation reconnue.

© UIT 1988, 1993

Droits de reproduction réservés. Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'UIT.

Recommandation V.41

SYSTÈME DE PROTECTION CONTRE LES ERREURS INDÉPENDANT DU CODE UTILISÉ

(Mar del Plata, 1968; modifiée à Genève, 1972)

1 Considérations générales

La présente Recommandation est essentiellement conçue pour les systèmes de protection contre les erreurs mis en œuvre au moyen d'un organe intermédiaire pouvant être fourni soit avec l'équipement terminal de données soit avec l'équipement de terminaison du circuit de données. Les interfaces appropriées sont représentées sur les figures 1/V.41 et 2/V.41. Ce système n'est pas essentiellement conçu pour être utilisé avec les systèmes de calculatrices à accès multiple. La présente Recommandation n'exclut l'emploi d'aucun autre système de protection contre les erreurs qui pourrait être mieux adapté à des besoins particuliers.

Les modems utilisés doivent disposer de voies simultanées d'aller et de retour. Le système utilise un mode de transmission synchrone sur la voie d'aller et un mode de transmission asynchrone sur la voie de retour. Les dispositions de la Recommandation V.5 sont applicables lorsqu'on utilise des modems conformes aux dispositions de la Recommandation V.23 avec des débits binaires de 1200 ou de 600 bit/s sur le réseau téléphonique général commuté, l'équipement de protection contre les erreurs étant considéré comme un équipement de transmission. La marge du récepteur synchrone doit être de $\pm 45\%$ au minimum.

Le système utilise une transmission de l'information par blocs de longueur fixe (240, 480, 960 ou 3840 bits¹⁾); de ce fait, il est particulièrement approprié à la transmission de messages de longueur moyenne ou grande. Cependant, pour améliorer l'efficacité de transmission de messages plus courts, il comporte une procédure de démarrage rapide.

La protection contre les erreurs est assurée par répétition automatique d'un bloc sur demande du récepteur de données (ARQ). Si le récepteur comporte une mémoire, les erreurs décelées peuvent être éliminées avant la sortie du système (texte propre). L'émetteur doit avoir une mémoire d'une capacité minimale de deux blocs de données.

Le train de bits sur la voie d'aller est divisé en blocs qui se composent chacun de quatre bits de service, de bits d'information et de 16 bits pour détection des erreurs (ou bits de contrôle) dans l'ordre indiqué, les bits de contrôle étant engendrés dans un codeur cyclique. Ainsi, chaque bloc transmis sur la ligne contient 260, 500, 980 ou 3860 bits¹⁾.

Le système de protection contre les erreurs détecte:

- a) tous les blocs contenant un nombre impair d'erreurs;
- b) tout paquet d'erreurs d'une longueur ne dépassant pas 16 bits et un fort pourcentage d'autres formes de distribution d'erreurs.

En admettant que les erreurs soient distribuées comme il est indiqué dans la référence [1], une simulation par calculatrice montre que le facteur d'amélioration du taux d'erreur est de l'ordre de 5×10^4 pour une longueur de bloc de 260 bits.

L'emploi de ce système à blocs de longueur fixe est limité aux lignes sur lesquelles le temps de propagation en boucle ne dépasse pas les valeurs indiquées au tableau 1/V.41. Ces valeurs permettent un délai total de 40 ms dans le modem et de 50 ms pour la détection du signal RQ.

¹⁾ Cette longueur de bloc convient pour les circuits par satellite géostationnaire.

TABLEAU 1/V.41

Temps de propagation en boucle maximal admissible (ms)

Dimension des blocs (bits)	Débits binaires en ligne (bit/s)						
	200	600	1200	2400	3600	4800	
260	1 210	343	127	18	–	–	
500	2 410	743	327	118	49	14	
980	4 810	1543	727	318	182	114	
3860	19 210	6343	3127	1518	982	714	

2 Processus de codage et de vérification

Considérés comme un tout, les bits de service et les bits d'information correspondant numériquement aux coefficients d'un polynôme de message ayant des termes allant de x^{n-1} (n = nombre total de bits dans un bloc ou une séquence) à x^0 , dans l'ordre décroissant. On soumet ce polynôme à une division, modulo 2, par le polynôme générateur $x^{16} + x^{12} + x^5 + 1$. Les bits de contrôle correspondent numériquement aux coefficients des termes allant de x^{15} à x^0 du polynôme trouvé comme reste à cette division. Le bloc complet, composé des bits de service et des bits d'information suivis des bits de contrôle, correspond numériquement aux coefficients d'un polynôme parfaitement divisible par le polynôme générateur selon le procédé modulo 2.

A l'émetteur, les bits de service et les bits d'information sont soumis à un processus de codage qui équivaut à une division par le polynôme générateur. Le reste obtenu est transmis sur la ligne immédiatement après les bits d'information, dans l'ordre décroissant des termes.

A son arrivée dans le récepteur, chaque bloc est soumis à un processus de décodage qui équivaut à une division par le polynôme générateur; cette division, en l'absence d'erreur, ne comporte pas de reste. La présence d'un reste implique celle d'erreurs.

Ces processus peuvent être facilement appliqués par un registre à décalage cyclique à 16 étages avec portes de retour appropriées (voir les figures I-1/V.41 et I-2/V.41). Avant que commence le traitement d'un bloc, le registre est mis à zéro dans tous ses éléments. On reconnaît qu'un bloc a été reçu sans erreur dans le récepteur lorsque le registre de décodage se retrouve partout à zéro après traitement du bloc.

Emploi d'embrouilleurs – Si l'on utilise des embrouilleurs autosynchronisateurs (c'est-à-dire des embrouilleurs qui divisent le polynôme transmis par le polynôme de l'embrouilleur à l'émission et qui multiplient le polynôme reçu par le polynôme de l'embrouilleur à la réception), il faut, pour que le système de détection des erreurs fonctionne bien, que le polynôme de l'embrouilleur et le polynôme générateur de la Recommandation V.41 n'aient pas de facteur commun. Si cette condition ne peut être assurée, l'embrouillage doit précéder le codage pour détection des erreurs et le désembrouillage doit suivre le décodage pour détection des erreurs. Si l'on utilise des embrouilleurs de type additif (c'est-à-dire des embrouilleurs qui ne sont pas autosynchronisateurs), il n'est pas nécessaire d'observer cette précaution.

3 Bits de service**3.1 Numérotation des blocs**

Les quatre bits de service, qui se trouvent au début de chaque bloc transmis en ligne, indiquent l'ordre de succession des blocs et acheminent une information de commande indépendante de l'information contenue dans le message. L'une de ces informations de commande permet de contrôler l'ordre de succession des blocs d'information au cours des répétitions garantissant ainsi qu'aucune information n'est perdue, ajoutée ou transportée. Trois indicateurs de l'ordre de succession des blocs – A, B et C – sont utilisés périodiquement dans l'ordre d'énonciation ci-dessus.

Une fois qu'un indicateur de position dans la séquence de blocs a été affecté à un bloc d'information, il lui demeure lié jusqu'au moment où ce bloc est correctement reçu. L'examen de cet indicateur est un élément supplémentaire du processus de contrôle.

3.2 Attribution des bits de service

L'attribution des 16 combinaisons possibles des quatre bits de service est indiquée aux tableaux 2/V.41 et 3/V.41. Le tableau 2/V.41 énumère les combinaisons essentielles, donc obligatoires, et le tableau 3/V.41 les combinaisons facultatives.

TABLEAU 2/V.41
Combinaisons essentielles

Groupe	Combinaison	Fonction
a	0011	Indication qu'il s'agit d'un bloc A
b	1001	Indication qu'il s'agit d'un bloc B
c	1100	Indication qu'il s'agit d'un bloc C
d	0101	Préfixe d'une séquence de synchronisation

Remarque – Le chiffre de gauche est celui qui se présente le premier.

TABLEAU 3/V.41
Combinaisons facultatives

Groupe	Combinaison	Fonction
e	0110	Rétention de bloc
f	1000	Fin de transmission (ce bloc ne contient pas de données)
g	0001	Début de message 1 (codes à cinq moments)
h	1010	Début de message 2 (codes à six moments)
j	1011	Début de message 3 (codes à sept moments)
k	0010	Début de message 4 (codes à huit moments)
l	0100	Fin de message (ce bloc ne contient pas de données)
m	0111	Echappement de la voie de données (bloc de commande générale)
n	1101	} A attribuer par accords bilatéraux
p	1110	
q	1111	
r	0000	

3.3 Fonctions de commande

La synchronisation est la seule fonction de commande essentielle assurée par les bits de service.

Le bloc facultatif d'échappement de la voie de données (commande générale) contient des données, sur les particularités desquelles les utilisateurs peuvent se mettre d'accord.

Les fonctions facultatives supplémentaires sont les indications de *début de message 1* (pour les codes à cinq moments), *début de message 2* (pour les codes à six moments), *début de message 3* (pour les codes à sept moments), *début de message 4* (pour les codes à huit moments), *fin de message* et *fin de transmission*.

Quatre combinaisons supplémentaires de bits de service peuvent être attribuées par accords bilatéraux.

La partie "information" des blocs qui ne contiennent pas de données (*rétention*, *fin de transmission* et *fin de message*) n'a pas de signification particulière, mais ces blocs doivent cependant être contrôlés dans le récepteur.

Lorsque les combinaisons facultatives des groupes g à k ne sont pas utilisées, le premier bloc de données qui suit le passage de l'état OUVERT à l'état FERMÉ du circuit *Prêt à émettre* est automatiquement muni du préfixe correspondant à l'*indicateur d'ordre de succession d'un bloc A (groupe a)*. Les blocs de données BCABC, etc., sont ensuite transmis successivement dans cet ordre à moins qu'un (ou plusieurs) bloc(s) d'autres types ne soit (soient) inséré(s).

Lorsque les combinaisons facultatives des groupes g à k sont utilisées, le premier bloc de données est muni, en guise de préfixe, de l'un des *indicateurs de début de message* 1, 2, 3 ou 4 (groupes g à k) selon le nombre de bits qui sera utilisé par caractère au cours de la transmission. Les blocs de données ABCAB, etc., sont ensuite transmis. Si une interruption sur une liaison du type loué intervient en cours de transmission ou si un opérateur interrompt la transmission pour passer au mode "conversation", la transmission reprendra sur l'indicateur d'ordre de succession qui suit celui du dernier bloc accepté avant l'interruption. Il n'est pas nécessaire d'utiliser un *indicateur* de début de message à la suite d'une telle interruption.

Dans le cas de communication avec commutation, il peut être nécessaire de prendre des mesures spéciales pour assurer qu'un message interrompu n'est pas suivi d'un message nouveau sans indications appropriées.

4 Méthode de correction

Sur la voie de retour (ou voie de supervision), un état 1 binaire indique qu'il est nécessaire de répéter l'information (RQ). Inversement, un état 0 binaire indique que l'information transmise est acceptée. Les dispositions qui régissent la transmission et la réception de ces états sont données ci-dessous ainsi que dans les § 5 et 6.

4.1 Séquence des opérations à l'émetteur de données

Le présent paragraphe traite seulement du fonctionnement normal. Les conditions de démarrage et de rétablissement de la synchronisation sont étudiées dans les § 5 et 6.

Les données sont transmises bloc par bloc, mais le contenu de chaque bloc transmis, accompagné de ses bits de service, est retenu en mémoire dans l'émetteur jusqu'à ce que sa réception correcte ait été confirmée. La mémoire doit avoir une capacité d'au moins deux blocs.

Au cours de la transmission d'un bloc, la condition de la voie de retour (circuit 119) est surveillée pendant les 45 à 50 ms qui précèdent immédiatement l'émission du dernier bit de contrôle. Si une demande RQ est reçue pendant cette période, l'inversion de ce dernier bit de contrôle invalide le bloc. L'émetteur recommence alors la transmission à partir du début du bloc précédent, en utilisant sa mémoire. Au cours de la transmission du bloc qui suit la détection du signal RQ, il n'est pas tenu compte de l'état de la voie de retour.

4.2 Procédure suivie au récepteur de données

En fonctionnement normal, un état 0 binaire est maintenu sur la voie de retour tant que les blocs parviennent avec leurs bits de contrôle corrects et avec des combinaisons de bits de service admissibles. Les données que contiennent ces blocs sont transférées à la sortie du récepteur. Si une sortie propre est exigée, on doit prévoir une mémoire d'une capacité minimale d'un bloc, puisqu'un bloc ne peut être vérifié qu'après avoir été reçu en totalité.

Quand, à la réception, un bloc ne répond pas aux conditions de protection contre les erreurs, un 1 binaire est émis sur la voie de retour et la combinaison de bits de service attendue est consignée dans le récepteur.

Généralement, le premier bloc de données reçu, dans le cycle de répétition avec des bits de contrôle corrects, contiendra également une combinaison de bits de service admissible et les données qu'il contient seront traitées. Cependant, il se peut que le premier bloc dont le contrôle est correct contienne une combinaison de bits de service anormale par suite d'une erreur de transmission sur la voie de retour (provoquant la mutilation ou l'imitation d'un signal 0 binaire). Dans les deux cas, les données du premier bloc sont écartées. Si le contrôle de ce bloc est correct, mais s'il contient une combinaison de bits de service indiquant qu'il s'agit du bloc précédant le bloc attendu, il y a lieu de transmettre un 0 binaire sur la voie de retour.

Après vérification que le bloc suivant est correct et contient une combinaison de bits de service admissible, ses données peuvent être traitées et on peut reprendre l'exploitation normale. Si la combinaison des bits de service indique qu'un bloc est incorrect, il y a lieu de transmettre un 1 binaire; de plus, si la combinaison des bits de service correspond au bloc qui suit le bloc attendu, c'est qu'un 0 binaire a été imité pendant la totalité de la période de 45 ms spécifiée au § 4.1 et l'on doit donner une alarme car il n'est pas possible de se tirer automatiquement de cette situation (d'ailleurs peu fréquente).

5 Méthodes à appliquer pour le démarrage

5.1 Méthodes à appliquer à l'émetteur de données et séquence de synchronisation

Dans l'intervalle entre les indications *Demande pour émettre* et *Prêt à émettre*, le modem émet des conditions de ligne au repos (1 binaire). Quand le modem est prêt à émettre, les premiers signaux de données transmis sont le préfixe de séquence de synchronisation (0101), suivi du remplissage de synchronisation, suivi du schéma de synchronisation. Le remplissage peut avoir une longueur quelconque, mais il doit comporter 28 transitions au minimum et il ne comprend pas le schéma de synchronisation. La séquence de synchronisation est 0101000010100101 en commençant par le chiffre de gauche (voir une formation possible à l'appendice I). Les 28 transitions sont fournies aux fins de la synchronisation des bits. Ces signaux de synchronisation sont suivis du *bloc A* ou d'une combinaison de *début de message* (groupes g à k du tableau 3/V.41). Pendant toute la durée de cette séquence, à partir du début du préfixe de synchronisation, l'émetteur ne tient aucun compte de la condition sur la voie de retour et se comporte comme si un 0 binaire était présent sur cette voie. La condition de la voie de retour reprend ensuite sa signification normale (voir le § 4). Si, pendant l'examen du deuxième bloc, cette condition correspond au 1 binaire, ce bloc doit être complété par le dernier bit (inversé) et le processus du démarrage doit recommencer au début du préfixe de séquence de synchronisation.

5.2 Méthodes à appliquer au récepteur de données

Au poste terminal de réception, un 1 binaire est émis sur la voie de retour jusqu'à la détection de la séquence de synchronisation (0101000010100101) après laquelle un 0 binaire est transmis et le rythme des blocs est établi. Les seules combinaisons de bits de service acceptables à la suite de la séquence de synchronisation sont l'indicateur d'ordre de succession du bloc A ou, le cas échéant, un indicateur de *début de message*. Si d'autres combinaisons de bits de service sont reçues, un 1 binaire est renvoyé et la recherche de la séquence de synchronisation recommence.

6 Méthode à suivre pour le rétablissement du synchronisme

6.1 Rétablissement du synchronisme

Si le récepteur ne parvient pas à reconnaître dans un délai raisonnable un bloc d'information acceptable, il doit examiner en permanence le train de bits arrivant et y rechercher une séquence de synchronisation. Cette séquence trouvée, le rythme des blocs est aussitôt rétabli et la condition 0 binaire est renvoyée sur la voie de retour. La procédure suivie est la même que celle qui est appliquée au démarrage sauf que la combinaison de bits de service attendue est celle qui suit le dernier indicateur d'ordre de succession accepté.

6.2 Emission de la séquence de synchronisation

Si des cycles de répétition normaux se sont produits consécutivement un certain nombre de fois (d'ordinaire, quatre ou huit fois), on doit admettre qu'il est nécessaire de rétablir le synchronisme. Le cycle de répétition normal est alors remplacé par un cycle de trois blocs comprenant un bloc de synchronisation, et les deux blocs précédemment répétés. Le bloc de synchronisation contient le préfixe de séquence de synchronisation, le remplissage et le schéma de synchronisation décrits au § 5.1.

Remarque – Un remplissage court devrait permettre un rétablissement plus rapide du synchronisme, notamment si l'on utilise des blocs de grande longueur. Cependant, ces remplissages courts présentent l'inconvénient que le synchronisme correct peut être perdu si le préfixe est imité ou perturbé par du bruit ou si le schéma de synchronisation est perturbé. Cet inconvénient est surmonté si l'on emploie des remplissages plus longs pour que le bloc de synchronisation ait la même longueur que le bloc de données. On a la possibilité de choisir l'une ou l'autre de ces longueurs car elles sont toutes deux compatibles.

6.3 Emploi de blocs de synchronisation pour retarder la transmission

La transmission de l'information peut être suspendue par l'insertion d'un bloc de synchronisation. Si l'on emploie un remplissage court, il importe que l'équipement terminal de réception reconnaisse le préfixe de synchronisation et passe immédiatement dans le mode de recherche de la synchronisation, sans quoi la synchronisation sera perdue. Si l'on utilise un remplissage donnant un bloc de longueur normale, il est souhaitable de passer dans le mode de recherche sans abandonner le rythme du bloc, un 0 binaire étant renvoyé à la fin du bloc si le préfixe est reconnu et si les bits de contrôle correspondent à la séquence de synchronisation.

Il peut se produire que l'émetteur des données envoie un cycle de rétablissement du synchronisme avant que le récepteur des données soit passé dans la condition de recherche du synchronisme. Au récepteur des données, la procédure est identique à celle qui vient d'être décrite pour l'emploi d'un bloc de synchronisation en vue de suspendre la transmission d'information.

7 Interfaces

7.1 Interfaces des modems

Dans le cas normal où les modems ne sont pas intégrés dans le poste terminal de données, les interfaces des modems sont celles qu'indiquent les points A-A des figures 1/V.41 et 2/V.41. Si les modems utilisés sont du type synchrone, les circuits de rythme pour les éléments de signal appropriés sont, eux aussi, incorporés dans ces interfaces.

7.2 Interfaces des postes terminaux de données

Si l'équipement de protection contre les erreurs (y compris les mémoires) ne fait pas partie intégrante du poste terminal de données, cet équipement s'intercale entre le modem et l'équipement terminal de données. Les interfaces du poste terminal de données sont alors celles qu'indiquent les points B-B et C-C dans les figures 1/V.41 et 2/V.41 respectivement. Un circuit de rythme pour les éléments de signal est incorporé dans chacune de ces interfaces.

7.2.1 Au poste terminal émetteur, tous les circuits de jonction exercent leurs fonctions normales, mais le circuit *Prêt à émettre* fonctionne comme suit, sur la base de la définition donnée dans la Recommandation V.24.

Circuit prêt à émettre (voir la figure 1/V.41)

En liaison avec le circuit de rythme pour les éléments de signal, ce circuit informe l'équipement terminal de données du moment où des données sont demandées en réponse au circuit *Demande pour émettre*. Le circuit *Prêt à émettre* passe à l'état FERMÉ au moment où les données sont demandées et à l'état OUVERT lorsque les données ne sont pas exigées (en règle générale, ce sera pendant la transmission des bits de contrôle et de service et toute répétition). Ce circuit ne passe pas à l'état FERMÉ tant que le circuit *Demande pour émettre* n'est pas passé à l'état FERMÉ. Toutes les transitions sur ce circuit coïncident avec les transitions de l'état FERMÉ à l'état OUVERT du rythme pour les éléments du signal. Il en résulte que la transition de l'état FERMÉ à l'état OUVERT du circuit coïncidera avec la transition de l'état FERMÉ à l'état OUVERT du rythme pour les éléments du signal au cours du 240^e, du 480^e, du 960^e ou du 3840^e bit d'information d'un bloc, selon les cas.

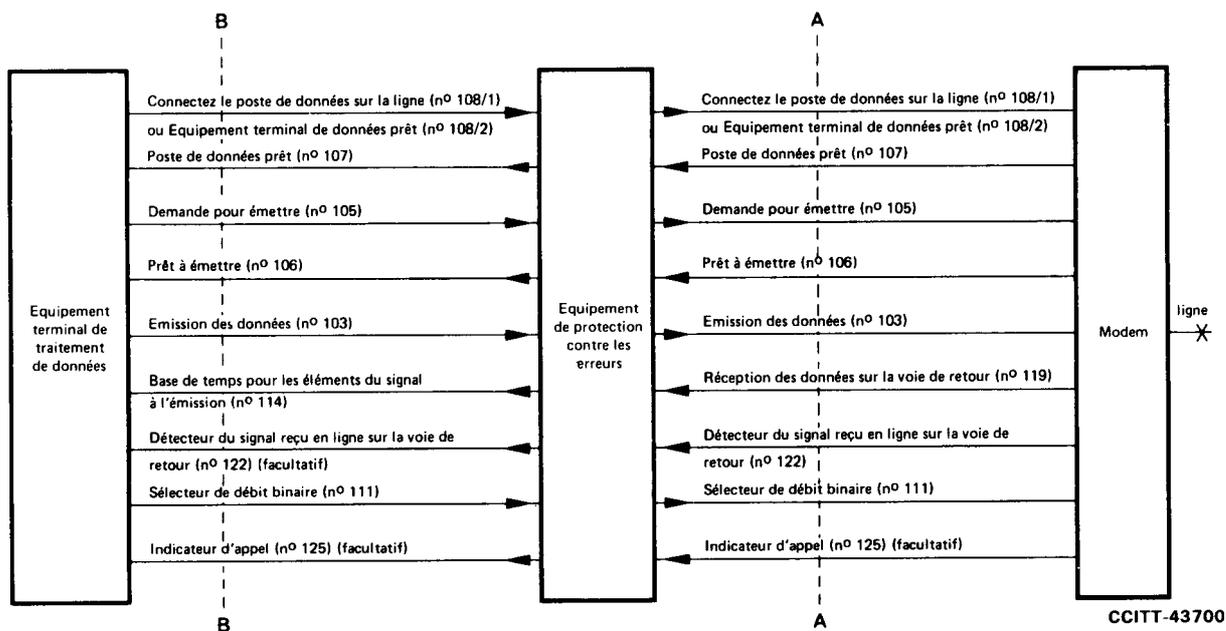


FIGURE 1/V.41

Circuits de jonction – Equipement terminal d'émission

7.2.2 Dans le cas du poste terminal récepteur, deux nouveaux circuits sont créés, mais, étant donné que deux (ou plus) circuits de jonction du modem ne sont pas utilisés dans cette interface, le nombre total des circuits n'est pas augmenté. Dans cette interface, le circuit 118 – *émissions des données sur la voie de retour* – n'est pas disponible.

Une fonction *Prêt à recevoir* doit être prévue pour informer l'équipement de protection contre les erreurs de l'état du poste terminal de données. Cette fonction peut être assurée par le circuit 108, auquel cas une communication sur le réseau téléphonique commuté est libérée lorsque ce circuit passe de l'état FERMÉ à l'état OUVERT. Une autre solution consiste à prévoir un circuit de commande distinct pour conserver la connexion à la ligne pendant les brèves périodes au cours desquelles l'équipement terminal de données n'est pas en mesure d'accepter des données. Ce nouveau circuit pourrait prendre la place du circuit 120 et fonctionner de la façon indiquée ci-après.

Prêt à recevoir (voir la figure 2/V.41)

Direction: de l'équipement terminal de données à l'équipement de protection contre les erreurs

L'équipement terminal de données maintient ce circuit à l'état FERMÉ lorsqu'il est prêt à recevoir des données. Etant donné que l'équipement de protection contre les erreurs reçoit les données par blocs, l'équipement terminal de données doit également pouvoir les recevoir par blocs. En conséquence, l'équipement terminal de données ne fera passer ce circuit à l'état FERMÉ que s'il peut accepter un bloc de données (de 240, 480, 960 ou 3840 éléments) et le fera revenir à l'état OUVERT s'il ne peut accepter un autre bloc moins de 15 intervalles unitaires après la fin du bloc précédent de données transférées.

Remarque – Si le circuit *Prêt à recevoir* se trouve à l'état OUVERT à la fin de cette période de 15 bits, une demande RQ est transmise.

Un autre nouveau circuit remplit la fonction de réponse à la fonction *Prêt à recevoir*; il est donc analogue au circuit 121 (*voie de retour prête*). Il fonctionne comme suit:

Données reçues présentes (voir la figure 2/V.41)

Direction: de l'équipement de protection contre les erreurs à l'équipement terminal de données

En liaison avec le circuit de rythme pour les éléments du signal, ce circuit informe l'équipement terminal de données du moment où les données vont être sorties en réponse à l'indication *Connectez le poste de données sur la ligne donnée* par le poste terminal de *Réception des données* (et, s'il existe, du circuit *Prêt à recevoir*) lorsque les données en provenance de l'autre extrémité ont été jugées correctes. Ce circuit passe à l'état FERMÉ lorsque les données sont sur le point d'être transférées et reste à l'état OUVERT en tous autres temps. Toutes les transitions sur ce circuit coïncident avec les transitions de l'état FERMÉ à l'état OUVERT de la base de temps pour les éléments du signal. La transition de l'état FERMÉ à l'état OUVERT sur ce circuit coïncidera donc avec la transition de l'état FERMÉ à l'état OUVERT du rythme pour les éléments du signal correspondant au 240^e, 480^e, 960^e ou 3840^e bit d'information d'un bloc selon les cas.

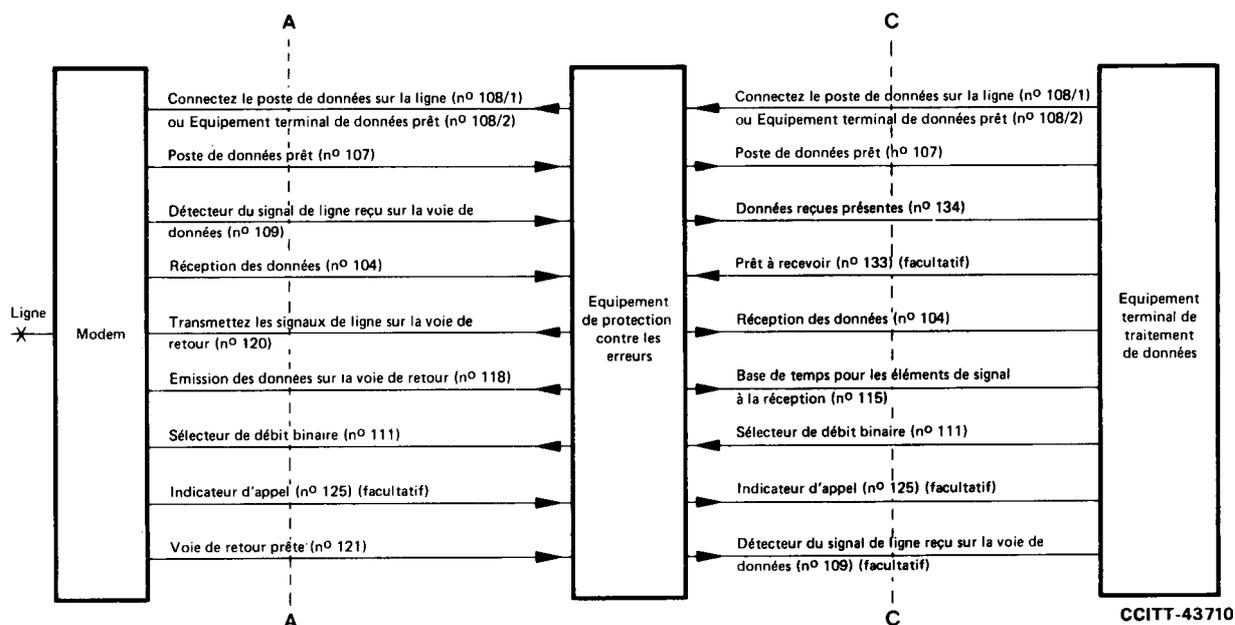


FIGURE 2/V.41

Circuits de jonction – Equipement terminal de réception

7.2.3 D'autres circuits de jonction peuvent être prévus à l'interface de l'équipement terminal de données par accords bilatéraux entre les utilisateurs. Ces circuits supplémentaires peuvent être utilisés pour introduire des fonctions de commande par bits de service autres que les fonctions fondamentalement prévues. Ces circuits ne doivent pas gêner le fonctionnement des circuits recommandés.

8 Utilisation des fonctions de commande

La fonction *Echappement de la voie de données* figure parmi les combinaisons facultatives du tableau 3/V.41 et son utilisation doit faire l'objet d'accords entre les utilisateurs. C'est ainsi qu'elle peut servir à signaler à une station réceptrice que la station émettrice désire passer en position "conversation". Dans ce cas, l'équipement de réception déclencherait une sonnerie ou un dispositif d'appel analogue et transférerait la ligne du modem à un poste téléphonique. Dans une autre solution, cette fonction pourrait commander l'impression, sur un téléimprimeur, d'un bref message destiné à l'opérateur.

On envisage que la fonction "fin de transmission" donne au récepteur l'indication matérielle que la transmission est terminée et que la communication peut être libérée. Dans une autre solution, l'équipement terminal de données interprète les données reçues pour savoir quand il peut libérer la communication.

Les indicateurs facultatifs de débuts de message et l'indicateur de fin de message peuvent être utilisés pour acheminer les messages vers différentes destinations ou vers un équipement terminal à l'extrémité de réception, éventuellement avec sélection de l'équipement approprié au code employé.

Le bloc de rétention n'a pas besoin d'être utilisé à un émetteur, puisque les séquences de synchronisation peuvent servir de remplissage entre les blocs d'information si l'équipement terminal de données est à court de données prêtes à émettre; un bloc de rétention peut néanmoins servir à cet effet.

APPENDICE I

(à la Recommandation V.41)

Codage et décodage dans les systèmes à codes cycliques

I.1 Codage

La figure I-1/V.41 représente un dispositif de codage avec registres à décalage. Pour le codage, les étages de la mémoire sont mis à zéro, les portes A et B sont actives, la porte C est bloquée et les k bits de service et d'information sont comptés et introduits. Ils apparaissent simultanément à la sortie.

Après que les bits ont été introduits, les portes A et B sont bloquées, la porte C est active et le registre est soumis à 16 nouveaux comptages. Pendant ce comptage, les bits de contrôle appropriés apparaissent successivement à la sortie.

La composition de la séquence de synchronisation peut être réalisée en prenant $k = 4$, les quatre bits étant 0101. Le comptage est suspendu pendant la durée du remplissage de synchronisation.

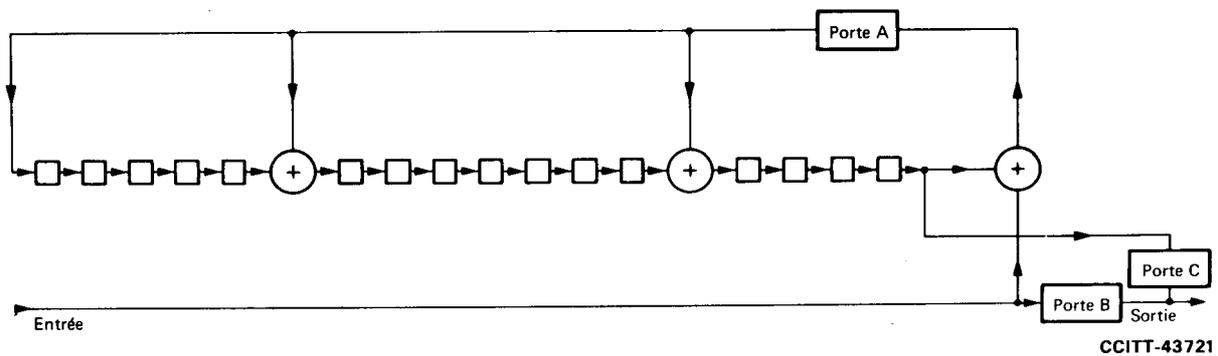


FIGURE I-1/V.41
Dispositif de codage

I.2 Décodage

La figure I-2/V.41 représente un dispositif de décodage avec registres à décalage. Pour le décodage, les portes A, B et E sont actives, la porte D est bloquée et les étages de mémoire sont mis à zéro.

Les k bits d'information ou de préfixe sont alors comptés et introduits et, après k comptages, la porte B est bloquée. Les 16 bits de contrôle sont alors comptés et introduits et le contenu des étages de mémoire est examiné. Ce contenu sera zéro si le bloc est exempt d'erreur. Un contenu différent de zéro indique que le bloc est erroné.

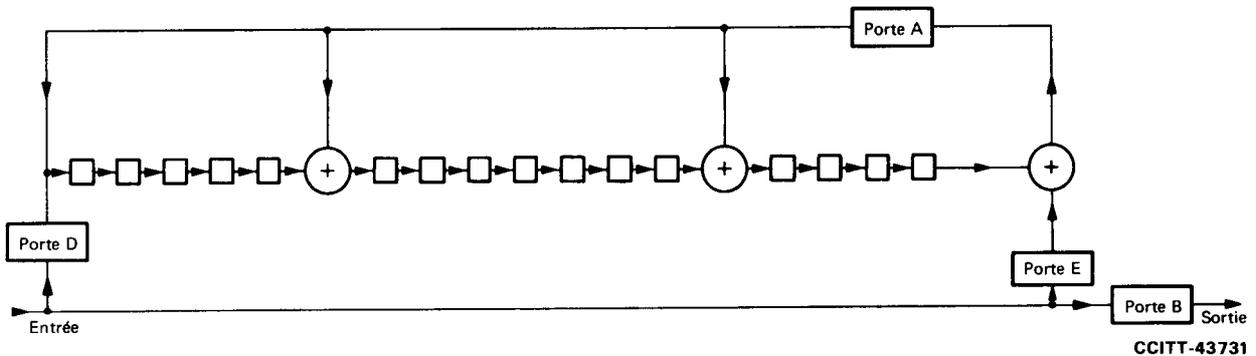


FIGURE I-2/V.41
Dispositif de décodage

I.3 *Synchronisation au récepteur*

Dans le cas d'une synchronisation par bloc, la porte D est active (figure I-2/V.41), les portes A, B et E sont bloquées et le registre est examiné sur plusieurs intervalles de bits consécutifs pour voir s'il contient la séquence de 16 bits requise. Une fois reconnue cette séquence, le registre et le compteur de bits sont remis à zéro et le décodage se poursuit normalement.

Référence

- [1] Mesures sur les lignes téléphoniques en commutation et en location transmettant des données à des rapidités de 250, de 800 et de 1000 bauds, Livre bleu, tome VIII, supplément n° 22, UIT, Genève, 1964.