



UNION INTERNATIONALE DES TÉLÉCOMMUNICATIONS

UIT-T

V.29

SECTEUR DE LA NORMALISATION
DES TÉLÉCOMMUNICATIONS
DE L'UIT

**COMMUNICATIONS DE DONNÉES
SUR LE RÉSEAU TÉLÉPHONIQUE**

**MODEM À 9600 bit/s NORMALISÉ
POUR USAGE SUR CIRCUITS LOUÉS
À QUATRE FILS POSTE À POSTE,
DE TYPE TÉLÉPHONIQUE**

Recommandation UIT-T V.29

(Extrait du *Livre Bleu*)

NOTES

1 La Recommandation V.29 de l'UIT-T a été publiée dans le fascicule VIII.1 du Livre Bleu. Ce fichier est un extrait du Livre Bleu. La présentation peut en être légèrement différente, mais le contenu est identique à celui du Livre Bleu et les conditions en matière de droits d'auteur restent inchangées (voir plus loin).

2 Dans la présente Recommandation, le terme «Administration» désigne indifféremment une administration de télécommunication ou une exploitation reconnue.

© UIT 1988, 1993

Droits de reproduction réservés. Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'UIT.

Recommandation V.29

MODEM À 9600 bit/s NORMALISÉ POUR USAGE SUR CIRCUITS LOUÉS À QUATRE FILS POSTE À POSTE, DE TYPE TÉLÉPHONIQUE

(Genève, 1976; modifiée à Genève, 1980, à Malaga-Torremolinos, 1984 et à Melbourne, 1988)

1 Introduction

Ce modem est destiné à être utilisé essentiellement sur des circuits loués de qualité spéciale, par exemple, des circuits conformes aux dispositions de la Recommandation M.1020 [1] ou de la Recommandation M.1025 [2], mais cela n'empêche pas qu'on puisse l'utiliser sur des circuits de moins bonne qualité, selon que l'Administration intéressée le jugera bon (voir les remarques 1 et 2).

Considérant qu'il existe déjà et qu'on créera encore pour les circuits loués un grand nombre de modems à caractéristiques conçues en fonction des conditions formulées par les Administrations et par les usagers, la présente Recommandation ne limite en rien l'usage d'autres modems.

Les principales caractéristiques du modem recommandé pour la transmission de données à 9600 bit/s sur circuits loués sont les suivantes:

- a) vitesses de repli: 7200 et 4800 bit/s,
- b) possibilité de fonctionner selon le mode duplex ou semi-duplex, avec porteuse permanente ou commandée,
- c) modulation combinée d'amplitude et de phase avec fonctionnement synchrone,
- d) inclusion d'un égaliseur auto-adaptatif,
- e) inclusion optionnelle d'un multiplexeur combinant les débits binaires de 7200, 4800 et 2400 bit/s (voir la remarque 3).

Remarque 1 - Ce modem recommandé est principalement destiné à être utilisé sur des circuits loués à quatre fils. Les autres applications, notamment la possibilité de fonctionnement de réserve sur le réseau à commutation, devront faire l'objet d'un complément d'études.

Il conviendra d'étudier les types de circuits de qualité spéciale, par exemple M.1020 [1] ou M.1025 [2].

Remarque 2 - Les valeurs de certaines caractéristiques du circuit, par exemple, le bruit et la distorsion de non-linéarité, devront faire l'objet d'études complémentaires.

Remarque 3 - Quand le multiplexeur prévu en option a été installé, il peut se faire que les dispositions du § 12 prévalent sur celles des autres paragraphes.

Remarque 4 - Il faut choisir avec soin les techniques d'égalisation pour la mise en oeuvre du modem si l'on désire obtenir une qualité de fonctionnement acceptable sur les circuits conformes à la Recommandation M.1025.

2 Signal de ligne

2.1 La fréquence porteuse est 1700 ± 1 Hz. Il n'est pas prévu de fréquence pilote distincte. Les niveaux de puissance utilisés seront conformes à ceux qu'indique la Recommandation V.2.

2.2 Diagramme vectoriel de codage

2.2.1 A 9600 bit/s, le train de données à transmettre est, après embrouillage, séparé en groupes de quatre bits de données consécutifs (quadribits). Le premier bit dans le temps (Q1) de chaque quadribit sert à déterminer l'amplitude de l'élément de signal à transmettre. Le deuxième (Q2), le troisième (Q3) et le quatrième (Q4) servent à coder un saut de phase par rapport à l'élément de signal précédent (voir le tableau 1/V.29). La loi de codage du changement de phase est identique à celle décrite dans la Recommandation V.27.

L'amplitude relative de l'élément de signal transmis est déterminée par le premier bit (Q1) du quadribit et la phase absolue de l'élément de signal (voir le tableau 2/V.29). La phase absolue est établie initialement par le signal de synchronisation comme indiqué au § 8.

La figure I/V.29 représente le diagramme des phases absolues des éléments de signal transmis à 9600 bit/s.

Dans le récepteur, les quadribits sont décodés et les bits de données sont réassemblés dans le bon ordre.

2.2.2 A la vitesse de repli de 7200 bit/s, le train de données embrouillé à transmettre est séparé en groupes de trois bits consécutifs. Le premier bit dans le temps détermine la valeur de Q2 dans le quadribit appliqué au modulateur. Le deuxième et le troisième bit déterminent respectivement la valeur de Q3 et de Q4 dans le quadribit appliqué au modulateur. A chaque élément de signal, on impose au bit Q1 du quadribit appliqué au modulateur la valeur correspondant à l'état ZÉRO pour les données. Les éléments de signal sont codés comme indiqué dans le § 2.2.1. La figure 2/V.29 représente le diagramme des phases absolues des éléments de signal émis à 7200 bit/s.

2.2.3 A la vitesse de repli de 4800 bit/s (voir le tableau 3/V.29), le train de données embrouillé à transmettre est séparé en groupes de 2 bits consécutifs. Le premier bit dans le temps détermine la valeur de Q2 dans le quadribit appliqué au modulateur et le second bit détermine la valeur de Q3 dans le quadribit appliqué au modulateur. On impose systématiquement à Q1 du quadribit la valeur correspondant à l'état ZÉRO des données. Q4 est déterminé en inversant la somme modulo 2 de Q2 et Q3. L'élément de signal est alors déterminé comme indiqué dans le § 2.2.1. La figure 3/V.29 représente le diagramme des phases absolues des éléments de signal de 4800 bit/s.

Les changements de phase sont identiques à ceux de la Recommandation V.26 (solution A), l'amplitude est constante et de valeur relative 3.

TABLEAU 1/V.29

Q2	Q3	Q4	Changement de phase (voir la remarque)
0	0	1	0°
0	0	0	45°
0	1	0	90°
0	1	1	135°
1	1	1	180°
1	1	0	225°
1	0	0	270°
1	0	1	315°

Remarque – le changement de phase est le décalage de phase réel en ligne dans la région de transition du signal située entre le milieu d'un élément de signal et le milieu de l'élément suivant.

TABLEAU 2/V.29

Phase absolue	Q1	Amplitude relative de l'élément de signal
0°, 90°, 180°, 270°	0	3
	1	5
45°, 135°, 225°, 315°	0	$\sqrt{2}$
	1	$3\sqrt{2}$

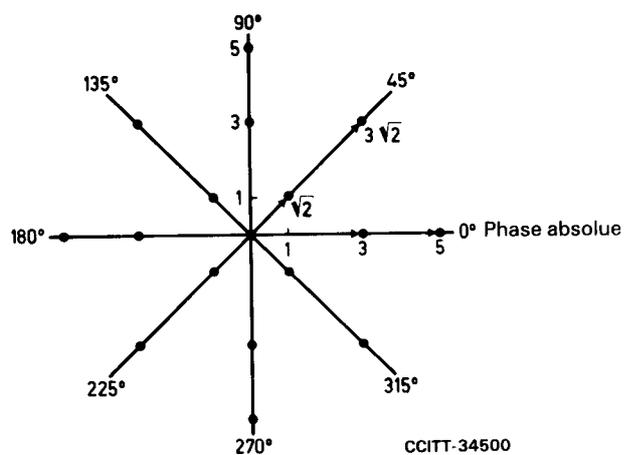


FIGURE 1/V.29

Diagramme vectoriel des signaux pour le fonctionnement à 9600 bit/s

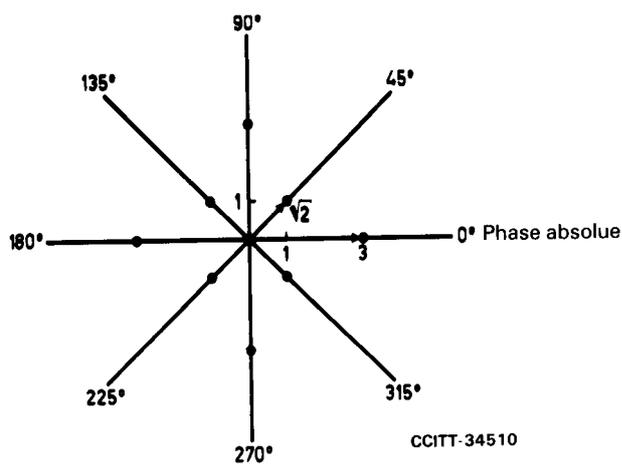


FIGURE 2/V.29

Diagramme vectoriel des signaux pour le fonctionnement à 7200 bit/s

TABLEAU 3/V.29

Bits de données		Quadribits				Changements de phase
		Q1	Q2	Q3	Q4	
0	0	0	0	0	1	0°
0	1	0	0	1	0	90°
1	1	0	1	1	1	180°
1	0	0	1	0	0	270°

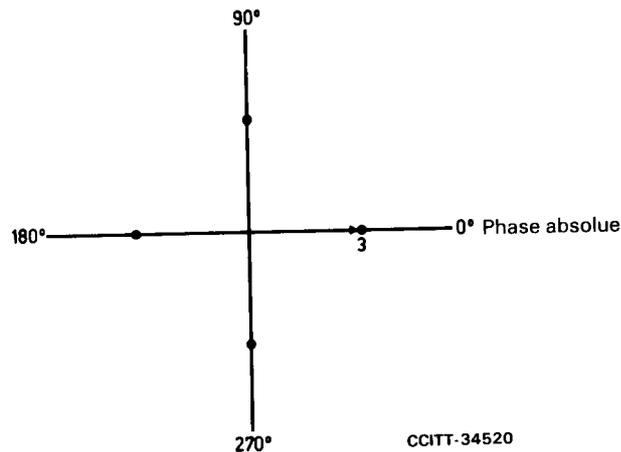


FIGURE 3/V.29

Diagramme vectoriel des signaux pour le fonctionnement à 4800 bit/s

3 Débits binaires et rapidité de modulation

Les débits binaires seront 9600, 7200 ou 4800 bits par bit/s $\pm 0,01\%$. La rapidité de modulation est 2400 bauds $\pm 0,01\%$.

4 Tolérances relatives à la fréquence du signal reçu

La tolérance sur la valeur de la fréquence porteuse à l'émission est de ± 1 Hz, en supposant une dérive de fréquence maximale en ligne de ± 6 Hz entre les modems, le récepteur doit pouvoir accepter un décalage de fréquence d'au moins ± 7 Hz de la fréquence porteuse.

5 Circuits de jonction

5.1 Liste des circuits de jonction (voir le tableau 4/V.29)

TABLEAU 4/V.29

Circuits de jonction (voir la remarque 1)	
n°	Description
102	Terre de signalisation ou retour commun
103	Emission des données
104	Réception des données
105	Demande pour émettre
(voir la remarque 2)	
106	Prêt à émettre
107	Poste de données prêt
109	Détecteur du signal de ligne reçu sur la voie de données
111	Sélecteur du débit binaire (origine ETTD)
(voir la remarque 3)	
113	Base de temps pour les éléments de signal à l'émission (origine ETTD)
114	Base de temps pour les éléments de signal à l'émission (origine ETCD)
115	Base de temps pour les éléments de signal à la réception (origine ETCD)
140	Bouclage/Essai de maintenance
(voir la remarque 4)	
141	Bouclage local
(voir la remarque 4)	
142	Indicateur d'essai

Remarque 1 – Tous les circuits de jonction indispensables et tous autres circuits mis en œuvre doivent être conformes aux spécifications fonctionnelles et satisfaire aux directives pour l'exploitation énoncées dans la Recommandation V.24. Tous les circuits de jonction mis en œuvre doivent être convenablement terminés dans l'ETTD et l'ETCD conformément aux spécifications de la Recommandation pertinente relative aux caractéristiques électriques (voir le § 6)

Remarque 2 – Pas essentiel pour la transmission avec porteuse permanente

Remarque 3 – Il convient de mettre en œuvre un sélecteur manuel qui détermine les deux débits binaires choisis par le circuit 111. Les positions du sélecteur manuel sont désignés 9600/7200, 9600/4800, 7200/4800. L'état FERMÉ du circuit 111 correspond au choix du débit le plus élevé et l'état OUVERT de ce circuit correspond au choix du débit le plus faible.

Remarque 4 – Les circuits de jonction 140 et 141 sont facultatifs

5.2 Seuil et temps de réponse du circuit 109

5.2.1 Seuil

- pour les niveaux supérieurs à -26 dBm: circuit 109 à l'état FERMÉ
- pour les niveaux inférieurs à -31 dBm: circuit 109 à l'état OUVERT

L'état du circuit 109 pour les niveaux compris entre -26 dBm et -31 dBm n'est pas spécifié, exception faite de ce que le détecteur de signal doit présenter un effet d'hystérésis tel que le niveau correspondant au passage de l'état OUVERT à l'état FERMÉ soit supérieur d'au moins 2 dB au niveau correspondant au passage de l'état FERMÉ à l'état OUVERT.

5.2.2 Temps de réponse

- de l'état FERMÉ à l'état OUVERT: 30 ± 9 ms;
- de l'état OUVERT à l'état FERMÉ:
 - 1) pour l'égalisation initiale, le circuit 109 doit se trouver à l'état FERMÉ avant l'apparition des données de l'utilisateur sur le circuit 104;
 - 2) pour assurer une nouvelle égalisation au cours du transfert des données, le circuit 109 sera maintenu à l'état FERMÉ. Au cours de cette période, le circuit 104 peut être verrouillé sur l'état binaire 1;

- 3) après une interruption du signal de ligne de durée supérieure au temps de réponse de l'état FERMÉ à l'état OUVERT:
 - a) si une nouvelle égalisation n'est pas nécessaire, 15 ± 10 ms,
 - b) si une nouvelle égalisation est nécessaire, le circuit 109 doit être à l'état FERMÉ avant l'apparition des données de l'utilisateur sur le circuit 104.

Le temps de réponse du circuit 109 est le temps qui s'écoule entre l'apparition ou la disparition du signal de ligne aux bornes d'entrée du récepteur de modem et l'apparition de l'état FERMÉ ou OUVERT correspondant sur le circuit 109.

Remarque - Le temps de réponse de l'état FERMÉ à l'état OUVERT du circuit 109 doit être choisi, à l'intérieur des limites spécifiées, suffisamment grand pour que tous les bits utiles aient pu apparaître sur le circuit 104.

5.3 Temps de réponse du circuit 106

L'intervalle de temps qui s'écoule entre le passage de l'état OUVERT à l'état FERMÉ du circuit 105 et le passage de l'état OUVERT à l'état FERMÉ du circuit 106 sera, selon option, 15 ± 5 ms ou $253,5 \pm 0,5$ ms.

Le délai court est utilisé lorsque le circuit 105 ne commande pas l'émission de la fréquence porteuse. Le délai long est utilisé lorsque le circuit 105 commande l'émission de la fréquence porteuse et, dans ce cas, l'émission d'une séquence de signaux de synchronisation est déclenchée par le passage de l'état OUVERT à l'état FERMÉ du circuit 105.

L'intervalle de temps qui s'écoule entre le passage de l'état FERMÉ à l'état OUVERT du circuit 105 et le passage de l'état FERMÉ à l'état OUVERT du circuit 106 sera choisi de telle sorte que tous les éléments de signal utiles aient pu être transmis en ligne.

5.4 Condition de dérangement des circuits de jonction

(Voir le § 7 de la Recommandation V.28, pour la correspondance avec les types de détection des défaillances des récepteurs.)

5.4.1 L'ETTD doit interpréter un dérangement sur le circuit 107 comme un état OUVERT, en appliquant la détection de défaillance de type 1.

5.4.2 L'ETCD doit interpréter un dérangement sur les circuits 105 et 108 comme un état OUVERT, en appliquant la détection de défaillance de type 1.

5.4.3 Tous les autres circuits, non mentionnés ci-dessus, peuvent utiliser la détection de défaillance des types 0 ou 1.

6 Caractéristiques électriques des circuits de jonction

Il est recommandé d'utiliser les caractéristiques de la Recommandation V.28, ainsi que le plan d'affectation des broches du connecteur spécifié dans la norme ISO 2110.

Remarque - Les constructeurs pourront noter que l'objectif à long terme consiste à remplacer les caractéristiques électriques spécifiées dans la Recommandation V.28 et que la Commission d'études XVII a accepté d'entreprendre, pour application aux Recommandations de la série V, l'étude d'une interface entièrement symétrique plus efficace qui ramènera à un minimum le nombre des circuits de jonction.

7 Bases de temps

Il convient d'inclure des circuits de base de temps au modem de manière à fournir à l'équipement terminal de données le signal de base de temps pour les éléments de signal à l'émission (circuit 114) et le signal de base de temps pour les éléments de signal à la réception (circuit 115). Dans cette disposition, l'émetteur peut, au choix, suivre son propre rythme de façon indépendante ou recevoir sa base de temps par bouclage (rythme à l'émission asservi au rythme à la réception). Cette dernière solution peut être avantageuse pour certaines applications sur le réseau. Il sera également possible d'appliquer au modem par l'intermédiaire du circuit de jonction 113 un signal de base de temps pour les éléments de signal à l'émission engendré dans l'équipement terminal de données.

8 Signaux de synchronisation

L'émission des signaux de synchronisation peut être effectuée à l'initiative du modem ou à l'initiative du terminal de données associé. Lorsque le circuit 105 commande l'émission du signal de ligne, les signaux de synchronisation sont engendrés pendant l'intervalle de temps qui s'écoule entre le passage de l'état OUVERT à l'état FERMÉ du circuit 105 et le passage de l'état OUVERT à l'état FERMÉ du circuit 106. Lorsque le récepteur détecte des conditions de transmission telles qu'une nouvelle synchronisation est nécessaire, il doit mettre le circuit 106 à l'état OUVERT et transmettre une séquence de signaux de synchronisation.

Les signaux de synchronisation, quel que soit le débit binaire, comportent 4 segments comme indiqué au tableau 5/V.29.

TABLEAU 5/V.29

	Segment 1	Segment 2	Segment 3	Segment 4	Total des segments 1, 2, 3 et 4
Type de signal en ligne	Pas d'énergie transmise	Eléments alternés	Séquence de conditionnement d'égaliseur	Etat binaire 1 permanent embrouillé	Total complet de synchronisation
Nombre d'intervalles unitaires	48	128	384	48	608
Durée approximative en ms ^{a)}	20	53	160	20	253

a) Les durées approximatives sont données seulement à titre d'information. La durée de chaque phase est déterminée par le nombre exact d'intervalles unitaires indiqué.

8.1 Le segment 2 de la séquence de signaux de synchronisation consiste à transmettre alternativement deux éléments de signal. Le premier élément de signal (A) transmis a une amplitude relative égale à 3 et définit une référence de phase absolue égale à 180°. Le deuxième élément de signal (B) transmis dépend du débit binaire. La figure 4/V.29 indique la position de l'élément de signal B pour chaque débit binaire. Le segment 2 comporte 128 intervalles unitaires alternés ABAB...ABAB.

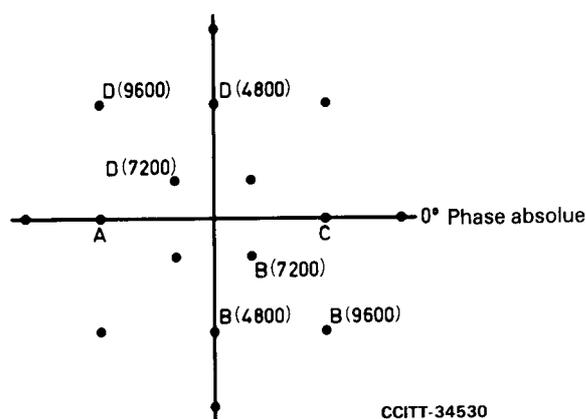


FIGURE 4/V.29

Diagramme vectoriel représentant les signaux de synchronisation

8.2 Le segment 3 du signal de synchronisation consiste à transmettre deux éléments de signal selon une séquence de conditionnement destinée au réglage initial de l'égaliseur. Le premier élément de signal (C) transmis à une amplitude relative de 3 et une phase absolue égale à 0°. Le deuxième élément de signal (D) transmis dépend du débit binaire. La figure 4/V.29 indique la position de l'élément de signal D par chaque débit binaire. La séquence de conditionnement d'égaliseur est une suite pseudo-aléatoire engendrée par le polynôme:

$$1 + x^{-6} + x^{-7}$$

Chaque fois que la suite pseudo-aléatoire comprend un ZÉRO, l'élément C est transmis. Chaque fois que la suite pseudo-aléatoire comprend un UN, l'élément D est transmis. Le segment 3 commence par la séquence CDCDCDC ... contenue dans la suite pseudo-aléatoire et se poursuit conformément à cette suite pendant 384 intervalles unitaires. La génération de la suite pseudo-aléatoire est décrite dans l'appendice I.

8.3 Avec le segment 4 commence la transmission, conformément au code décrit dans le § 2.2 par l'application à l'entrée de données de l'embrouilleur de l'état binaire UN permanent. La durée du segment 4 correspond à 48 intervalles unitaires. A la fin du segment 4, le circuit 106 est amené à l'état FERMÉ et les données de l'utilisateur sont appliquées à l'entrée de données de l'embrouilleur.

9 Embrouilleur

Un embrouilleur-désembrouilleur autosynchronisable de polynôme générateur $1 + x^{-18} + x^{-23}$ sera incorporé au modem.

A l'émission, l'embrouilleur divisera effectivement le polynôme messages, dans lequel les bits successifs de données représentent les coefficients dans l'ordre des puissances décroissantes, par le polynôme générateur, pour engendrer la séquence de bits à transmettre. A la réception, le polynôme reçu, dans lequel les bits successifs de la séquence transmise représentent les coefficients dans l'ordre des puissances décroissantes, sera multiplié par le polynôme générateur de l'embrouilleur pour retrouver les bits successifs du message de données.

Le processus d'embrouillage et de désembrouillage est décrit en détail dans l'appendice II.

10 Egaliseur

Un égaliseur auto-adaptatif sera incorporé au récepteur.

Le récepteur comportera des moyens permettant la détection d'une perte d'égalisation et le déclenchement, dans l'émetteur local associé, de l'émission d'une séquence de signaux de synchronisation.

Le récepteur comportera des moyens permettant la détection d'une séquence de signaux de synchronisation émise par l'émetteur distant et le déclenchement, dans l'émetteur local associé, de l'émission d'une séquence de signaux de synchronisation; l'émetteur peut être déclenché à un instant quelconque pendant la réception de la séquence de signaux de synchronisation, quel que soit l'état du circuit 105.

Chaque modem peut prendre l'initiative de l'émission d'une séquence de signaux de synchronisation. L'émission de signaux de synchronisation est déclenchée lorsque le récepteur a détecté une perte d'égalisation ou lorsque, en mode à porteuse commandée, la transition de l'état OUVERT à l'état FERMÉ du circuit 105 se produit, comme indiqué au § 5.3. Ayant déclenché l'émission d'une séquence de signaux de synchronisation, le modem s'attend à recevoir une séquence identique en provenance de l'émetteur distant.

Si le modem ne reçoit pas de la part de l'émetteur distant de séquence de signaux de synchronisation au bout d'un intervalle de temps égal au délai de propagation maximal prévu pour une transmission aller et retour, il transmet une nouvelle séquence de synchronisation; la valeur de 1,2 seconde est recommandée pour cet intervalle de temps.

Si le modem n'arrive pas à se synchroniser sur la séquence de signaux de synchronisation reçue, il émet une nouvelle séquence de signaux de synchronisation.

Si un modem reçoit une séquence de signaux de synchronisation alors qu'il n'a pas lui-même pris l'initiative d'émettre une telle séquence et si le récepteur se synchronise correctement, le modem n'émettra en retour qu'une seule séquence de signaux de synchronisation.

Remarque - Les constructeurs sont invités à noter que, dans les cas où des liaisons par satellite à deux bonds peuvent être mises en oeuvre, il peut être plus opportun de retenir pour ce temporisateur une valeur comprise entre 1,8 et 2,5 secondes.

- 11** Les informations suivantes données à titre de guide ont pour objet d'aider les fabricants de matériel.
- L'opérateur du modem ne devrait pas avoir accès aux réglages de niveau du signal émis ou de sensibilité du récepteur.
 - Le spectre énergétique du signal émis sera conformé de telle sorte qu'en appliquant continuellement à l'entrée de l'embrouilleur un signal de données d'état binaire UN, le spectre du signal émis correspondant ait une caractéristique de phase sensiblement linéaire dans la bande de fréquences de 700 à 2700 Hz et une densité d'énergie à 500 Hz et à 2900 Hz atténuée de $4,5 \pm 2,5$ dB par rapport à la densité d'énergie maximale obtenue pour une fréquence située entre 500 et 2900 Hz.

12 Multiplexage (voir le tableau 6/V.29)

Il est possible d'inclure au modem une option "multiplexage" permettant la combinaison de sous-canaux de données de débits 7200, 4800 et 2400 bit/s pour former un train de données multiplexé unique en vue de la transmission. L'identification de chaque sous-canal est obtenue par affectation d'un emplacement dans le quadribit appliqué au modulateur tel qu'il est défini dans le § 2.2.

12.1 *Liste de correspondance entre les circuits de jonction et les accès du multiplexeur* (voir le tableau 7/V.29)

12.2 *Mémoires-tampon à l'émission*

L'émetteur associé à chaque accès du multiplexeur doit comporter une mémoire-tampon de capacité suffisante. De sorte qu'il est possible d'absorber les variations de phase et, dans une certaine mesure, les écarts de fréquence. Cette mémoire-tampon doit être initialisée quand le circuit 105 passe de l'état OUVERT à l'état FERMÉ et se remettre en position en cas de débordement.

Remarque - La mémoire-tampon peut être initialisée quand l'ETCD émet un signal de synchronisation

12.3 *Dispositions concernant le rythme aux accès d'émission*

Le tableau 8/V.29 indique toutes les combinaisons de rythme possibles entre les accès d'émission et l'émetteur principal de l'ETCD.

12.4 *Fonctionnement avec simulation à un accès du circuit 105 par le circuit 109 (facultatif)*

Le fonctionnement avec simulation du circuit 105 par le circuit 109, sur une interface à un seul accès, peut, à titre facultatif, être assuré conformément à la Recommandation V.13.

Remarque - Il peut exister des équipements en exploitation dans lesquels le fonctionnement avec simulation du circuit 105 par le circuit 109 se fait de manière différente. En pareil cas, l'ensemble de l'ETCD doit fonctionner selon le mode à porteuse permanente.

12.5 *Temps de réponse du circuit 106*

L'intervalle de temps qui s'écoule entre le changement d'état du circuit 105 et le changement d'état du circuit 106 aux différents accès du multiplexeur n'a pas nécessairement les durées indiquées au § 5.3. D'autres durées peuvent être nécessaires pour le fonctionnement avec simulation du circuit 105 par le circuit 109.

TABLEAU 6/V.29

Débit du train de données multiplexées	Configuration de multiplexage	Débit des sous-canaux	Repère du sous-canal	Bits au niveau modulation			
				Q1	Q2	Q3	Q4
9600 bit/s	1	9600	A	X	X	X	X
	2	7200 2400	A B	X	X	X	X
	3	4800 4800	A B	X	X	X	X
	4	4800 2400 2400	A B C	X	X	X	X
	5	2400 2400 2400 2400	A B C D	X	X	X	X
7200 bit/s	6	7200	A		X	X	X
	7	4800 2400	A B		X	X	X
	8	2400 2400 2400	A B C		X	X	X
4800 bit/s	9	4800	A		X	X	
	10	2400 2400	A B		X	X	

Remarque - Lorsque plus d'un bit appartenant au quadribit est affecté à un sous-canal, le premier bit dans le temps du sous-canal est affecté au premier bit dans le temps (Q1) du quadribit.

TABLEAU 7/V.29

Circuits de jonction (voir la remarque 1)		Accès au sous-canal A	Accès aux sous-canaux B, C, D
n°	Description		
102	Terre de signalisation ou retour commun	X	X
103	Emission des données	X	X
104	Réception des données	X	X
105	Demande pour émettre	X (voir la remarque 2)	X (voir la remarque 2)
106	Prêt à émettre	X (voir la remarque 3)	X (voir la remarque 3)
107	Poste de données prêt	X	X
109	Détecteur du signal de ligne reçu sur la voie de données	X	X
111	Sélecteur du débit binaire (origine ETTD)	X (voir la remarque 4)	
113	Base de temps pour les éléments de signal à l'émission (origine ETTD)	X	X
114	Base de temps pour les éléments de signal à l'émission (origine ETCD)	X	X
115	Base de temps pour les éléments de signal à la réception (origine ETCD)	X	X
140	Bouclage/Essai de maintenance	X (voir la remarque 5)	X (voir la remarque 5)
141	Bouclage local	X (voir les remarques 5 et 6)	
142	Indicateur d'essai	X (voir la remarque 7)	X (voir la remarque 7)

Remarque 1 - Tous les circuits de jonction indispensables et tous les autres circuits en œuvre doivent être conformes aux spécifications fonctionnelles et satisfaire aux directives pour l'exploitation énoncées dans la Recommandation V.24. Tous les circuits de jonction marqués "X" doivent être convenablement terminés dans l'ETTD et l'ETCD conformément aux spécifications de la Recommandation pertinente relative aux caractéristiques électriques (voir le §6).

Remarque 2 - Le circuit 105 n'est pas nécessaire en transmission avec porteuse permanente, puisqu'il ne commande pas le signal transmis en ligne. En présence du multiplexeur, le circuit 105, s'il est nécessaire, sert à commander le circuit 109 à l'ETCD distant. Voir le §12.4.

Remarque 3 - Au cours de la synchronisation de l'ETCD principal, l'état OUVERT du circuit 106 est indiqué à toutes les interfaces d'accès.

Remarque 4 - Le circuit 111 est facultatif à l'accès A. Quand il est présent, ce circuit est mis en action dans les configurations 1, 6 et 9 de multiplexage, de la même façon qu'en l'absence de multiplexeur.

Remarque 5 - Les circuits 140 et 141 sont facultatifs.

Remarque 6 - Le circuit 141 n'est prévu qu'à l'accès A. Quand il est utilisé dans des configurations de multiplexage autres que les configurations 1, 6 ou 9, il y a bouclage à tous les accès.

Remarque 7 - Le circuit 142 est prévu à tous les accès du multiplexeur mais il peut être mis en action accès par accès en vue d'essais portant sur un accès déterminé. Tous les accès sont mis en action simultanément quand l'essai porte sur l'ensemble de l'ETCD.

APPENDICE II

(à la Recommandation V.29)

Description détaillée des processus d'embrouillage et de désembrouillage

II.1 Embrouillage

Le polynôme message est divisé par le polynôme générateur $1 + x^{-18} + x^{-23}$ (voir la figure II.1/V.29). Les coefficients du quotient de cette division pris dans l'ordre des puissances décroissantes forment le train de bits à transmettre. Pour garantir que la séquence appropriée est engendrée au départ, l'état ZÉRO est appliqué à l'entrée du registre à décalage pendant les segments 1, 2 et 3. Pendant le segment 4 et au cours de la transmission de données proprement dite, l'entrée du registre reçoit les données embrouillées D_s (pendant le segment 4, l'entrée de données D_i est maintenue à l'état 1).

$$D_s = D_i \oplus D_s x^{-18} \oplus D_s x^{-23}$$

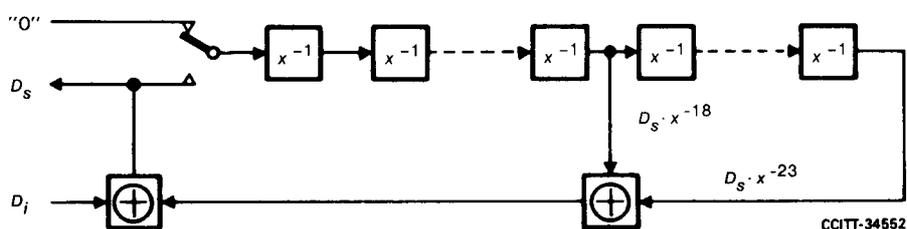


FIGURE II-1/V.29

II.2 Désembrouillage

Le polynôme constitué par la séquence reçue est multiplié par le polynôme générateur (figure II.2/V.29) pour retrouver le polynôme message. Les coefficients du polynôme obtenu, pris dans l'ordre des puissances décroissantes, forment la succession D_o des bits de données délivrés en sortie.

$$D_o = D_i = D_s (1 \oplus x^{-18} \oplus x^{-23})$$

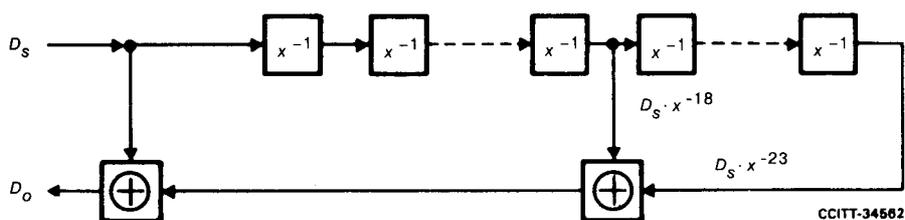


FIGURE II-2/V.29

II.3 Eléments du processus d'embrouillage

Le polynôme $1 + x^{-18} + x^{-23}$ engendre une séquence pseudo-aléatoire de longueur $2^{23}-1 = 8.388.607$. Cette longue séquence ne nécessite pas de circuit de garde pour éviter l'apparition de suites périodiques et est particulièrement simple à mettre en oeuvre en utilisant des circuits intégrés.

Références

- [1] Recommandation du CCITT *Caractéristiques des circuits internationaux loués de qualité spéciale avec adaptation spéciale sur la largeur de bande*, tome IV, Rec. M.1020.
- [2] Recommandation du CCITT *Caractéristiques des circuits internationaux loués de qualité spéciale avec adaptation de base sur la largeur de bande*, tome IV, Rec. M.1025.