



UNION INTERNATIONALE DES TÉLÉCOMMUNICATIONS

UIT-T

SECTEUR DE LA NORMALISATION
DES TÉLÉCOMMUNICATIONS
DE L'UIT

O.150

(05/96)

SÉRIE O: SPÉCIFICATIONS DES APPAREILS DE
MESURE

Appareils de mesure des paramètres numériques et
analogiques/numériques

**Prescriptions générales relatives aux
appareils de mesure des caractéristiques
de fonctionnement des équipements
de transmission numérique**

Recommandation UIT-T O.150

(Antérieurement «Recommandation du CCITT»)

RECOMMANDATIONS UIT-T DE LA SÉRIE O
SPÉCIFICATIONS DES APPAREILS DE MESURE

Généralités	O.1-O.9
Accès pour la maintenance	O.10-O.19
Systèmes de mesure automatiques et semi-automatiques	O.20-O.39
Appareils de mesure des paramètres analogiques	O.40-O.129
Appareils de mesure des paramètres numériques et analogiques/numériques	O.130-O.199

Pour plus de détails, voir la Liste des Recommandations de l'UIT-T.

AVANT-PROPOS

L'UIT-T (Secteur de la normalisation des télécommunications) est un organe permanent de l'Union internationale des télécommunications (UIT). Il est chargé de l'étude des questions techniques, d'exploitation et de tarification, et émet à ce sujet des Recommandations en vue de la normalisation des télécommunications à l'échelle mondiale.

La Conférence mondiale de normalisation des télécommunications (CMNT), qui se réunit tous les quatre ans, détermine les thèmes d'études à traiter par les Commissions d'études de l'UIT-T lesquelles élaborent en retour des Recommandations sur ces thèmes.

L'approbation des Recommandations par les Membres de l'UIT-T s'effectue selon la procédure définie dans la Résolution n° 1 de la CMNT (Helsinki, 1^{er}-12 mars 1993).

La Recommandation révisée UIT-T O.150, que l'on doit à la Commission d'études 4 (1993-1996) de l'UIT-T, a été approuvée le 12 mai 1996 selon la procédure définie dans la Résolution n° 1 de la CMNT.

NOTE

Dans la présente Recommandation, l'expression «Administration» est utilisée pour désigner de façon abrégée aussi bien une administration de télécommunications qu'une exploitation reconnue de télécommunications.

© UIT 1996

Droits de reproduction réservés. Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'UIT.

TABLE DES MATIÈRES

		<i>Page</i>
1	Domaine d'application.....	1
2	Références.....	1
3	Séquences d'essai normalisées.....	2
4	Caractéristiques des séquences d'essai pseudo-aléatoires.....	2
4.1	Mesures par l'intermédiaire d'embrouilleurs.....	2
4.2	Perte du synchronisme des séquences.....	2
4.3	Mesures «tramées».....	3
4.4	Mesures de la gigue.....	3
5	Séquences d'essai numériques utilisées dans les Recommandations de la série O.....	3
5.1	Séquence d'essai pseudo-aléatoire de 511 bits.....	3
5.2	Séquence d'essai pseudo-aléatoire de 2047 bits.....	4
5.3	Séquence d'essai pseudo-aléatoire de 32 767 bits.....	4
5.4	Séquence d'essai pseudo-aléatoire de 1 048 575 bits.....	4
5.5	Séquence d'essai pseudo-aléatoire de 1 048 575 bits avec suppression du zéro.....	4
5.6	Séquence d'essai pseudo-aléatoire de 8 388 607 bits.....	5
5.7	Séquence d'essai pseudo-aléatoire de 536 870 911 bits.....	5
5.8	Séquence d'essai pseudo-aléatoire de 2 147 483 647 bits.....	5
6	Description de séquences d'essai tramées à différents débits.....	6
6.1	Généralités.....	6
6.1.1	Essais de démultiplexeurs numériques.....	6
6.2	Trames numériques au débit de 1544 kbit/s.....	6
6.2.1	Multitrame ou supertrame à 12 trames.....	6
6.2.2	Multitrame ou supertrame étendue à 24 trames.....	7
6.3	Trames numériques au débit de 2048 kbit/s.....	7
6.3.1	Trames sans procédure CRC-4 assurant la signalisation sur canal sémaphore.....	8
6.3.2	Trames sans procédure CRC-4 assurant la signalisation voie par voie.....	8
6.3.3	Trames avec procédure CRC-4 assurant la signalisation voie par voie.....	8
6.4	Trames numériques au débit de 6312 kbit/s.....	8
6.5	Trames numériques au débit de 8448 kbit/s.....	9
6.6	Trames numériques au débit de 32 064 kbit/s.....	10
6.7	Trames numériques au débit de 34 368 kbit/s.....	10
6.8	Trames numériques au débit de 44 736 kbit/s.....	11
6.9	Trames numériques au débit de 97 728 kbit/s.....	12
6.10	Trames numériques au débit de 139 264 kbit/s.....	13
6.10.1	Trames numériques au débit de 139 264 kbit/s avec multiplexage de signaux à 34 368 kbit/s.....	13
6.10.2	Trames numériques au débit de 139 264 kbit/s avec multiplexage de signaux à 44 736 kbit/s.....	13
6.11	Trames numériques au débit STM-N.....	14
7	Mesures de performance en termes d'erreurs sur les blocs.....	14
7.1	Mesure des erreurs sur les blocs.....	14
7.2	Longueur des blocs.....	14
7.2.1	Longueurs de bloc pour mesures de performance hors service sur systèmes PDH.....	15
7.2.2	Longueurs de bloc pour mesures de performance hors service sur systèmes SDH.....	15
7.2.3	Longueurs de bloc pour mesures de performance sur systèmes à cellules.....	16
8	Détection et relève des défauts de type AIS et LOS.....	16

RÉSUMÉ

La présente Recommandation contient des prescriptions générales qui sont applicables aux Recommandations de la série O en ce qui concerne les appareils de mesure des caractéristiques de fonctionnement des équipements de transmission numérique.

MOTS CLÉS

Contrôleur, détection et relève d'un signal d'indication d'alarme (AIS), détection et relève d'une perte de signal (LOS), longueurs de bloc, mesure sur les blocs, mesures de performance, séquences d'essai numériques, séquences d'essai pseudo-aléatoires.

**PRESCRIPTIONS GENERALES RELATIVES AUX
APPAREILS DE MESURE DES CARACTERISTIQUES
DE FONCTIONNEMENT DES EQUIPEMENTS
DE TRANSMISSION NUMERIQUE**

(révisée en 1996)

1 Domaine d'application

La présente Recommandation contient des prescriptions générales relatives aux appareils de mesure des caractéristiques de fonctionnement des équipements de transmission numérique. Ces équipements sont spécifiés dans les Recommandations de la série O. La présente Recommandation vise à donner des directives générales au sujet de Recommandations spécifiques de la série O et à faciliter la recherche des conditions de mesure adaptées aux différentes applications.

Cette Recommandation définit des éléments tels que les séquences d'essai (pseudo-aléatoires) numériques, les longueurs de bloc pour les mesures de performance en termes d'erreur et les critères pour la détection et la relève des signaux de perte de trame et d'indication d'alarme.

2 Références

Les Recommandations et autres références suivantes contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente Recommandation. Au moment de la publication, les éditions indiquées étaient en vigueur. Toute Recommandation ou autre référence est sujette à révision; tous les utilisateurs de la présente Recommandation sont donc invités à rechercher la possibilité d'appliquer les éditions les plus récentes des Recommandations et autres références indiquées ci-après. Une liste des Recommandations UIT-T en vigueur est publiée régulièrement.

- [1] Recommandation UIT-T G.823 (1993), *Régulation de la gigue et du dérapage dans les réseaux numériques fondés sur la hiérarchie à 2048 kbit/s.*
- [2] Recommandation O.153 du CCITT (1992), *Paramètres fondamentaux pour la mesure de la qualité de fonctionnement en termes d'erreur aux débits inférieurs au débit primaire.*
- [3] Recommandation O.152 du CCITT (1992), *Appareil de mesure du taux d'erreur pour les débits de 64 kbit/s et $N \times 64$ kbit/s.*
- [4] Recommandation O.151 du CCITT (1992), *Appareil pour la mesure du taux d'erreur fonctionnant au débit primaire et au-dessus.*
- [5] Recommandation UIT-T G.826 (1993), *Paramètres et objectifs de performance en matière d'erreur pour les conduits numériques internationaux à débit binaire constant, égal ou supérieur au débit primaire.*
- [6] Recommandation UIT-T G.704 (1995), *Structures de trame synchrone utilisées aux niveaux hiérarchiques de 1544, 6312, 2048, 8448 et 44 736 kbit/s.*
- [7] Recommandation G.752 du CCITT (1988), *Caractéristiques des équipements de multiplexage numériques fondés sur un débit binaire du deuxième ordre (6312 kbit/s) utilisant une justification positive.*
- [8] Recommandation G.751 du CCITT (1988), *Equipements de multiplexage numériques fonctionnant au débit binaire du troisième ordre de 34 368 kbit/s et au débit binaire du quatrième ordre de 139 264 kbit/s et utilisant la justification positive.*
- [9] Recommandation G.703 du CCITT (1991), *Caractéristiques physiques et électriques des jonctions.*
- [10] Recommandation UIT-T G.775 (1994), *Critères pour la détection et la correction des défauts perte de signal et signal d'indication d'alarme.*
- [11] ANSI (American National Standard for telecommunications) T1.107-1988, *Digital hierarchy formats specifications (Spécifications de formats pour la hiérarchie numérique).*
- [12] Recommandation G.743 du CCITT (1988), *Equipement de multiplexage numérique du deuxième ordre fonctionnant à 6312 kbit/s avec justification positive.*

- [13] Recommandation G.742 du CCITT (1988), *Equipement de multiplexage numérique du deuxième ordre fonctionnant à 8448 kbit/s avec justification positive.*
- [14] Recommandation G.755 du CCITT (1988), *Equipement de multiplexage numérique fonctionnant à 139 264 kbit/s et multiplexant trois affluents à 44 736 kbit/s.*

3 Séquences d'essai normalisées

Les mesures d'erreur sur les bits sont un moyen important pour évaluer la performance (qualité de transmission) des équipements numériques. Le mesurage des erreurs dites «vraies», qui permet de déceler chaque erreur, n'est possible que si le contenu binaire de la séquence utilisée pour la mesure est parfaitement connu. Etant donné qu'elle est par nature aléatoire, cette condition n'est généralement pas remplie dans le trafic réel.

Il faut donc spécifier des séquences d'essai reproductibles, capables de simuler au mieux le trafic réel. Ces séquences d'essai reproductibles sont également indispensables pour pouvoir effectuer des mesures de bout en bout.

Le recours à des séquences pseudo-aléatoires, d'une longueur de $2^n - 1$ bits, est le moyen le plus couramment utilisé pour résoudre ce problème. Outre les chaînes de n «0» consécutifs (signal inversé) et de $n - 1$ «1» consécutifs, ces séquences contiennent n'importe quelle combinaison possible de «0» et de «1» dans une chaîne dont la longueur dépend de n . (Pour la valeur de n , voir les articles 4 et 5).

La présente Recommandation spécifie des séquences pseudo-aléatoires de différentes longueurs.

4 Caractéristiques des séquences d'essai pseudo-aléatoires

Il y a lieu que les caractéristiques d'une séquence d'essai satisfassent aux spécifications du système à l'essai. En général, il faut que la longueur d'une séquence pseudo-aléatoire augmente proportionnellement avec le débit auquel les mesures sont relevées, de façon à éviter une fréquence de répétition de séquence qui serait trop élevée et ne correspondrait pas à la situation rencontrée dans la pratique.

Les séquences pseudo-aléatoires peuvent être produites au moyen de registres à décalage comportant une réinjection appropriée. Si le registre à décalage comporte n étages, la longueur maximale de la séquence sera de $2^n - 1$ bits.

Si le signal numérique provient directement de la sortie du registre à décalage (signal non inversé), la longueur maximale de la séquence sera égale à $n - 1$. Si le signal est inversé, on obtiendra n «0» consécutifs.

On peut produire des séquences pseudo-aléatoires présentant ces caractéristiques à l'aide de dispositifs autres que les registres à décalage.

4.1 Mesures par l'intermédiaire d'embrouilleurs

L'appareil soumis à l'essai peut contenir des embrouilleurs, ce qui risque de donner des résultats de mesure imprévus si la valeur n décrite à l'article 4 comporte des multiples entiers communs au nombre d'étages de l'embrouilleur. Pour parer à cette éventualité, les valeurs de n , spécifiées plus récemment, sont des nombres premiers.

4.2 Perte du synchronisme des séquences

Les mesures de taux d'erreur sur les bits, reposant sur des séquences pseudo-aléatoires, ne peuvent être effectuées que si la séquence de référence produite du côté réception de l'appareillage d'essai est correctement synchronisée avec la séquence issue de l'objet en essai. Afin d'obtenir des résultats de mesure compatibles, il est nécessaire de spécifier les caractéristiques de synchronisation des séquences.

La prescription suivante est applicable à toutes les Recommandations de la série O qui ont trait aux mesures de performance au moyen de séquences pseudo-aléatoires.

On considère qu'il y a eu perte du synchronisme des séquences et nécessité de lancer une resynchronisation:

- a) si le BER est $\geq 0,20$ pendant un intervalle d'intégration de 1 s; ou
- b) s'il peut être établi sans ambiguïté que la séquence d'essai et la séquence de référence sont déphasées.

NOTE – Pour reconnaître le déphasage, on peut évaluer la séquence d'erreurs obtenue par comparaison bit à bit. Si la séquence d'erreurs présente la même structure que la séquence d'essai pseudo-aléatoire, l'état de déphasage est atteint.

4.3 Mesures «tramées»

Pour certaines mesures, il est nécessaire de transmettre la séquence d'essai sous forme de «contenu utile» d'une trame valide.

En ce cas, la transmission de la séquence d'essai doit être interrompue pendant la transmission du signal de verrouillage de trame.

L'article 6 donne de plus amples renseignements.

4.4 Mesures de la gigue

Les séquences d'essai numériques ne servent pas seulement à mesurer le taux d'erreur, mais aussi à mesurer la fonction de transfert de la gigue ou la gigue admissible à l'entrée. Il convient, à cet égard, de veiller spécialement à la longueur de la séquence d'essai utilisée pour la mesure. Si la séquence est trop courte (fréquence de répétition élevée de la séquence), la répartition spectrale du signal d'essai risque en effet de différer considérablement des conditions réelles du trafic. Dans ce cas, les résultats de mesure ne correspondront pas à la situation considérée (voir l'Annexe A/G.823 [1]).

5 Séquences d'essai numériques utilisées dans les Recommandations de la série O

Cet article décrit les séquences d'essai numériques utilisées dans les Recommandations de la série O, ainsi que leurs principales applications. Celles-ci sont présentées brièvement dans le Tableau 1.

TABLEAU 1/O.150

Séquences d'essai numériques utilisées dans les Recommandations de la série O

Longueur de la séquence (bits)	Zéros consécutifs	Référence Rec.	Applications
$2^9 - 1$	8	O.153	Mesure du taux d'erreur sur les circuits de données fonctionnant à des débits à 14 400 bit/s
$2^{11} - 1$	10	O.152	Mesures du taux d'erreur et de la gigue aux débits de 64 kbit/s et $N \times 64$ kbit/s
$2^{15} - 1$	15	O.151	Mesures du taux d'erreur et de la gigue aux débits de 1544, 2048, 6312, 8448, 32 064 et 44 736 kbit/s
$2^{20} - 1$	19	O.153	Mesures du taux d'erreur sur des circuits de données à des débits à 72 kbit/s
$2^{20} - 1$	14	O.151	Mesures du taux d'erreur et de la gigue aux débits de 1544, 6312, 32 064 et 44 736 kbit/s
$2^{23} - 1$	23	O.151	Mesures du taux d'erreur et de la gigue aux débits de 34 368 et 139 264 kbit/s
$2^{29} - 1$	29	–	Tâches métrologiques spéciales
$2^{31} - 1$	31	–	Tâches métrologiques spéciales

5.1 Séquence d'essai pseudo-aléatoire de 511 bits

Cette séquence vise essentiellement à mesurer le taux d'erreur sur des circuits de données fonctionnant à des débits à 14 400 bit/s (voir la Recommandation O.153 [2]).

Cette séquence peut être produite dans un registre à décalage à neuf étages, dont les 5^e et 9^e ont leur sortie dans un étage d'addition modulo 2, le résultat étant réinjecté à l'entrée du 1^{er} étage. La séquence commence par le premier UN de 9 UNS consécutifs.

- Nombre d'étages du registre à décalage 9
- Longueur de la séquence pseudo-aléatoire $2^9 - 1 = 511$ bits
- Séquence de zéros la plus longue 8 (signal non inversé)

5.2 Séquence d'essai pseudo-aléatoire de 2047 bits

Cette séquence vise essentiellement à mesurer le taux d'erreur et la gigue sur des circuits fonctionnant à des débits de 64 kbit/s et de $N \times 64$ kbit/s (voir les Recommandations O.152 [3] et O.153 [2]).

Cette séquence peut être produite dans un registre à décalage à onze étages, dont les 9^e et 11^e ont leur sortie dans un étage d'addition modulo 2, le résultat étant réinjecté à l'entrée du 1^{er} étage.

- Nombre d'étages du registre à décalage 11
- Longueur de la séquence pseudo-aléatoire $2^{11} - 1 = 2047$ bits
- Séquence de zéros la plus longue 10 (signal non inversé)

NOTES

1 Dans le cas de mesures à $N \times 64$ kbit/s, il faut transmettre dans des créneaux temporels consécutifs les blocs consécutifs de 8 bits de la séquence d'essai. Il n'est pas nécessaire que le début de la séquence d'essai pseudo-aléatoire coïncide avec la répétition de la trame.

2 Un complément d'étude permettra de déterminer si N peut être un nombre quelconque entre 1 et 31.

5.3 Séquence d'essai pseudo-aléatoire de 32 767 bits

Cette séquence vise essentiellement à mesurer le taux d'erreur et la gigue à des débits de 1544, 2048, 6312, 8448, 32 064 et 44 736 kbit/s (voir la Recommandation O.151 [4]).

Cette séquence peut être produite dans un registre à décalage à quinze étages, dont les 14^e et 15^e ont leur sortie dans un étage d'addition modulo 2, le résultat étant réinjecté à l'entrée du 1^{er} étage.

- Nombre d'étages du registre à décalage 15
- Longueur de la séquence pseudo-aléatoire $2^{15} - 1 = 32\,767$ bits
- Séquence de zéros la plus longue 15 (signal inversé)

5.4 Séquence d'essai pseudo-aléatoire de 1 048 575 bits

Cette séquence vise essentiellement à mesurer le taux d'erreur sur des circuits de données fonctionnant à des débits binaires à 72 kbit/s (voir la Recommandation O.153 [2]).

Cette séquence peut être produite dans un registre à décalage à vingt étages, dont les 3^e et 20^e ont leur sortie dans un étage d'addition modulo 2, le résultat étant réinjecté à l'entrée du 1^{er} étage.

- Nombre d'étages du registre à décalage 20
- Longueur de la séquence pseudo-aléatoire $2^{20} - 1 = 1\,048\,575$ bits
- Séquence de zéros la plus longue 19 (signal non inversé)

NOTE – Les deux séquences d'essai de longueur $2^{20} - 1$ bit, décrites aux 5.4 et 5.5, ne sont pas identiques car on utilise des mécanismes de réinjection différents si les séquences sont produites au moyen de registres à décalage. La séquence spécifiée au 5.5 supprime les séquences consécutives de plus de 14 zéros.

5.5 Séquence d'essai pseudo-aléatoire de 1 048 575 bits avec suppression du zéro

Cette séquence vise essentiellement à mesurer le taux d'erreur et la gigue à des débits de 1544, 6312, 32 064 et 44 736 kbit/s (voir la Recommandation O.151 [4]).

Cette séquence peut être produite dans un registre à décalage à vingt étages, dont les 17^e et 20^e ont leur sortie dans un étage d'addition modulo 2, le résultat étant réinjecté à l'entrée du 1^{er} étage. Un bit de sortie est forcé à un chaque fois que les 14 bits suivants sont tous des zéros.

- Nombre d'étages du registre à décalage 20
- Longueur de la séquence pseudo-aléatoire $2^{20} - 1 = 1\,048\,575$ bits
- Séquence de zéros la plus longue 14 (voir Note)

Cette séquence pseudo-aléatoire répond à l'équation suivante:

$$Q_{n+1}(k+1) = Q_n(k), n = 1, 2, \dots, 19,$$

$$Q_1(k+1) = Q_{17}(k) \oplus Q_{20}(k), \text{ et}$$

$$RD(k) = Q_{20}(k) + \overline{Q_6(k) + \dots + Q_6(k)}$$

où:

$Q_n(k)$ est l'état actuel du n^{ième} étage

$Q_n(k+1)$ est l'état suivant du n^{ième} étage

$RD(k)$ est la valeur actuelle de la sortie

$+$ est l'opérateur logique OU

\oplus est l'opérateur logique OU EXCLUSIF

$(\overline{\quad})$ est l'opérateur logique NON

NOTE – Les deux séquences d'essai de longueur $2^{20} - 1$ bit, décrites aux 5.4 et 5.5, ne sont pas identiques car on utilise des mécanismes de réinjection différents si les séquences sont produites au moyen de registres à décalage. La séquence spécifiée dans le présent paragraphe supprime les séquences consécutives de plus de 14 zéros.

5.6 Séquence d'essai pseudo-aléatoire de 8 388 607 bits

Cette séquence vise essentiellement à mesurer le taux d'erreur et la gigue à des débits de 34 368, 44 736 et 139 264 kbit/s (voir la Recommandation O.151 [4]).

Cette séquence peut être produite dans un registre à décalage à vingt-trois étages, dont les 18^e et 23^e ont leur sortie dans un étage d'addition modulo 2, le résultat étant réinjecté à l'entrée du 1^{er} étage.

- Nombre d'étages du registre à décalage 23
- Longueur de la séquence pseudo-aléatoire $2^{23} - 1 = 8\,388\,607$ bits
- Séquence de zéros la plus longue 23 (signal inversé)

5.7 Séquence d'essai pseudo-aléatoire de 536 870 911 bits

Cette séquence peut être utilisée pour des tâches métrologiques spéciales, comme les mesurages aux débits très élevés. Si des mesures de performance en termes d'erreur nécessitent des séquences plus longues, de futures études devront en tenir compte.

Cette séquence peut être produite dans un registre à décalage à vingt-neuf étages, dont les 27^e et 29^e ont leur sortie dans un étage d'addition modulo 2, le résultat étant réinjecté à l'entrée du 1^{er} étage.

- Nombre d'étages du registre à décalage 29
- Longueur de la séquence pseudo-aléatoire $2^{29} - 1 = 536\,870\,911$ bits
- Séquence de zéros la plus longue 29 (signal inversé)

5.8 Séquence d'essai pseudo-aléatoire de 2 147 483 647 bits

Cette séquence peut être utilisée pour des tâches métrologiques spéciales, comme les mesurages aux débits très élevés. Si des mesures de performance en termes d'erreur nécessitent des séquences plus longues, de futures études devront en tenir compte.

Cette séquence peut être produite dans un registre à décalage à trente et un étages, dont les 28^e et 31^e ont leur sortie dans un étage d'addition modulo 2, le résultat étant réinjecté à l'entrée du 1^{er} étage.

- Nombre d'étages du registre à décalage 31
- Longueur de la séquence pseudo-aléatoire $2^{31} - 1 = 2\,147\,483\,647$ bits
- Séquence de zéros la plus longue 31 (signal inversé)

6 Description de séquences d'essai tramées à différents débits

6.1 Généralités

Pour fonctionner correctement, certains objets nécessitent, à leur entrée, des séquences numériques d'essai spécifiques. Comme exemples courants de tels dispositifs, on peut citer les démultiplexeurs numériques, qui nécessitent un signal d'essai contenant au moins le signal de verrouillage de trame correct. Il peut être nécessaire que des informations additionnelles, comme des bits de parité ou des bits d'alarme, soient dans un état défini.

6.1.1 Essais de démultiplexeurs numériques

Deux cas doivent être pris en considération pour ces essais.

Dans le cas général, les mesures doivent être relevées par l'intermédiaire d'un démultiplexeur numérique et un signal d'essai correctement structuré est requis. Ce signal doit contenir le mot de verrouillage de trame approprié, les bits de bourrage (justification) appropriés et tous les bits de surdébit de conduit requis pour assurer un fonctionnement correct de la terminaison du conduit. Il convient donc que le signal d'essai soit structuré de la façon dont il apparaîtra à la sortie d'un multiplexeur numérique fonctionnant normalement. Cette structure est présentée dans l'exemple suivant.

Trame unique							
Ensemble 1		Ensemble 2		Ensemble 3		Ensemble 4	
FAS	TS 1, TS 2, TS 3, TS 4	C _{j1}	TS 1, TS 2, TS 3, TS 4	C _{j2}	TS 1, TS 2, TS 3, TS 4	C _{j3}	TS 1, TS 2, TS 3, TS 4
FAS Signal de verrouillage de trame plus bits d'alarme TS m Bits entrelacés de la séquence d'essai, issus des affluents 1 à 4 C _{jn} Bits de commande de justification							

NOTE – Des informations détaillées sur les structures de multiplexage sont données dans 6.4 à 6.10. Dans ces paragraphes, les bits de séquence d'essai sont numérotés consécutivement mais cela ne signifie pas que ces bits appartiennent à la même séquence. Selon l'application, il est parfois préférable de prévoir des séquences d'essai indépendantes dans les ensembles représentant les affluents d'ordre inférieur.

Dans le deuxième cas, seul le comportement des étages d'entrée d'un démultiplexeur est à contrôler. Comme exemples de tels essais, on peut citer la mesure de la gigue d'entrée tolérable, les essais de mise en trame, l'indication d'alarmes, etc. Pour ce type de mesure, il n'est pas obligatoire que le signal d'essai contienne les informations de bourrage correctes; il n'est pas non plus nécessaire de structurer le signal numérique d'entrée d'ordre supérieur de manière que des signaux numériques cohérents apparaissent aux sorties d'affluents. Un tel signal est structuré comme indiqué ci-dessous.

Trame 1		Trame 2		Trame 3		Trame n	
FAS	TS 1 à u	FAS	TS u + 1 à v	FAS	TS v + 1 à w	FAS	TS x + 1 à y
FAS Signal de verrouillage de trame plus bits d'alarme TS 1 à TS y Bits de séquence d'essai pouvant appartenir à une seule séquence								

6.2 Trames numériques au débit de 1544 kbit/s

En ce qui concerne ces trames, voir la Recommandation G.704 [6] et la spécification ANSI T1.107-1988 [11].

6.2.1 Multiframe ou supertrame à 12 trames

Une supertrame se compose de 12 trames (Fr 01 à Fr 12) et de 2316 bits. Elle est structurée comme suit:

Fr 01	Fr 02	Fr 03	Fr 04	Fr 05	Fr 06	Fr 07	Fr 08	Fr 09	Fr 10	Fr 11	Fr 12
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

Dans les trames Fr 01 à Fr 05 et dans les trames Fr 07 à Fr 11, la structure de trame doit être la suivante:

Bit 1	Bits 2-193
Bit de trame	Séquence d'essai

Dans les trames Fr 06 et Fr 12, la structure de trame doit être la suivante:

Bit 1	Bit 2-8	Bit 9	Bits 10-16	Bit 17	Bits 18-24	Bit 25	Bits 186-192	Bit 193
Bit de trame	TS 1-7	a1	TS 8-14	a2	TS 15-21	a3	TS 162-168	a24

NOTE – Douze bits de surdébit de trame occupent séquentiellement la position du bit de surdébit (bit 1), comme suit: F1, S1, F2, S2, F3, S4, F5, S5, F6, S6, où les bits F représentent le signal de verrouillage de trame (FAS) et où les bits S représentent le signal de verrouillage de multitrame.

TS = bits de la séquence d'essai

aN = bit de signalisation pour le canal N

La trame 12 peut contenir a ou b bits de signalisation, selon que l'on a choisi de signaler deux ou quatre états. En mode transparent (64 kbit/s), on utilise des bits a pour les bits TS (séquence d'essai). Les trames 06 et 12 contiennent donc la séquence d'essai dans les positions binaires 2-193.

6.2.2 Multitrame ou supertrame étendue à 24 trames

Une supertrame étendue se compose de 24 trames (Fr 01-Fr 24) et de 4632 bits. Elle est structurée comme suit:

Fr 01	Fr 02	Fr 03	Fr 04	Fr 05	Fr 06	Fr 22	Fr 23	Fr 24
-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------	-------

Dans les trames Fr 01 à Fr 05, Fr 07 à Fr 11, Fr 13 à 17 et Fr 19 à 23, la structure de trame doit être la suivante:

Bit 1	Bits 2-193
Bit de trame	Séquence d'essai

Dans les trames Fr 06, Fr 12, Fr 18 et Fr 24, la structure de trame doit être la suivante:

Bit 1	Bit 2-8	Bit 9	Bits 10-16	Bit 17	Bits 18-24	Bit 25	Bits 186-192	Bit 193
Bit de trame	TS 1-7	s1	TS 8-14	s2	TS 15-21	s3	TS 162-168	s24

NOTE – Vingt-quatre bits de surdébit de trame occupent séquentiellement la position du bit de surdébit (bit 1), comme suit: M1, C1, M2, F1, M3, C2, M4, F2, M5, C3, M6, F3, M7, C4, M8, F4, M9, C5, M10, F5, M11, C6, M12, F6 où les bits F représentent le signal de verrouillage de trame (FAS) et où les bits M représentent une liaison de données. Les bits C sont ceux du contrôle CRC-6.

La signification des bits de signalisation (bits s) est la suivante:

Trame 06: s = a, trame 12: s = a ou b, trame 18: s = a ou c, trame 24: s = a, b ou d selon que l'on a choisi de signaler deux, quatre ou seize états.

TS = bits de la séquence d'essai.

En mode transparent (64 kbit/s), on utilise des bits s pour les bits TS (séquence d'essai). Les trames 06, 12 18 et 24 contiennent donc la séquence d'essai dans les positions binaires 2-193.

6.3 Trames numériques au débit de 2048 kbit/s

En ce qui concerne ces trames, voir la Recommandation G.704 [6].

6.3.1 Trames sans procédure CRC-4 assurant la signalisation sur canal sémaphore

Dans ce cas, la structure de trame doit être la suivante:

Créneau temporel 0	Créneaux temporels 1-15	Créneau temporel 16	Créneaux temporels 17-31
1001 1011	Séquence d'essai	Séquence d'essai	Séquence d'essai
11AS SSSS	Séquence d'essai	Séquence d'essai	Séquence d'essai
A Indication d'alarme distante S Bits de réserve			

6.3.2 Trames sans procédure CRC-4 assurant la signalisation voie par voie

Dans ce cas, la structure de trame doit être la suivante:

Créneau temporel 0	Créneaux temporels 1-15	Créneau temporel 16	Créneaux temporels 17-31
1001 1011	Séquence d'essai	abcd abcd	Séquence d'essai
11AS SSSS	Séquence d'essai	abcd abcd	Séquence d'essai
A Indication d'alarme distante S Bits de reserve a, b, c, d Bits de signalisation			

6.3.3 Trames avec procédure CRC-4 assurant la signalisation voie par voie

Dans ce cas, la structure de trame doit être la suivante:

Créneau temporel 0	Créneaux temporels 1-15	Créneau temporel 16	Créneaux temporels 17-31
C001 1011	Séquence d'essai	abcd abcd	Séquence d'essai
C1AS SSSS	Séquence d'essai	abcd abcd	Séquence d'essai
C Bit de contrôle de redondance cyclique (CRC-4) A Indication d'alarme distante S Bits de réserve a, b, c, d Bits de signalisation			

6.4 Trames numériques au débit de 6312 kbit/s

Dans ce cas, la structure de trame doit être la suivante (voir la Recommandation G.743 [12] et la spécification ANSI T1.107-1988 [11]):

Une multitrame (trame M) se compose de quatre sous-multitrames de 294 bits chacune et a donc une longueur de 1176 bits.

Sous-trame 1		Sous-trame 2		Sous-trame 3		Sous-trame 4	
M1	293 bits	M2	293 bits	M3	293 bits	x	293 bits

La structure de la première sous-trame M de 294 bits de longueur est la suivante:

Ensemble 1		Ensemble 2		Ensemble 3		Ensemble 4		Ensemble 5		Ensemble 6 (bloc de bourrage)	
Bit 1	Bits 2-49	Bit 50	Bits 51-98	Bit 99	Bits 100-147	Bit 148	Bits 149-196	Bit 197	Bits 198-245	Bit 246	Bits 247-294
M1	TS 1-48	C1	TS 49-96	F1	TS 97-144	C2	TS 145-192	C3	TS 193-240	F2	TS 241-288

Séquence dans le bit de surdébit pour la multitrame:

24 bits de surdébit occupent en séquence les positions suivantes du bit de surdébit:

Signal de verrouillage de multitrame:
M1 = 0, M2 = 1, M3 = 1

M1, C1, F1, C2, C3, F2,

Signal de verrouillage de multitrame:
F1 = 0, F2 = 1

M2, C1, F1, C2, C3, F2,

x peut être utilisé comme élément numérique du service d'alarme.

M3, C1, F1, C2, C3, F2,

C1, C2 et C3 sont des bits de commande de bourrage.
C1 = C2 = C3 = 0 indique l'absence de bourrage.

x, C1, F1, C2, C3, F2,

TS = Bits de la séquence d'essai.

Le bloc de bourrage (justification) est structuré comme suit:

Sous-trame M1	F2	Bit de bourrage 1	TS 242	TS 243	TS 244	TS 245	TS 288
Sous-trame M2	F2	TS 241	Bit de bourrage 2	TS 243	TS 244	TS 245	TS 288
Sous-trame M3	F2	TS 241	TS 242	Bit de bourrage 3	TS 244	TS 245	TS 288
Sous-trame M4	F2	TS 241	TS 242	TS 243	Bit de bourrage 4	TS 245	TS 288
NOTE – Concernant l'utilisation des bits de bourrage (justification), voir 6.1.1.								

6.5 Trames numériques au débit de 8448 kbit/s

Dans ce cas, la structure de trame doit être la suivante (voir Recommandation G.742 [13]):

Une trame se compose de quatre ensembles de 212 bits chacun, soit une longueur de 848 bits.

Ensemble 1		Ensemble 2		Ensemble 3		Ensemble 4	
O1	200 bits	O2	208 bits	O3	208 bits	O4	208 bits

La structure détaillée des ensembles 1 à 4 est indiquée ci-dessous.

	Bits de surdébit (bits O)	Bits de la séquence d'essai
Ensemble 1	Signal de verrouillage de trame (bits 1 à 10) 1 1 1 1 0 1 0 0 0 0 Indication d'alarme distante (bit 11) Bits réservés pour usage national (bit 12)	Bits de la séquence d'essai 1-200
Ensemble 2	Bits de commande de justification: $C_{11}, C_{21}, C_{31}, C_{41}$	Bits de la séquence d'essai 201-408
Ensemble 3	Bits de commande de justification: $C_{12}, C_{22}, C_{32}, C_{42}$	Bits de la séquence d'essai 409-616
Ensemble 4	Bits de commande de justification: $C_{13}, C_{23}, C_{33}, C_{43}$ Bits issus d'affluents, disponibles pour justification (bits 5-8)	Bits de la séquence d'essai 617-824 (820)
NOTE – Concernant l'utilisation des bits de bourrage (justification), voir 6.1.1.		

6.6 Trames numériques au débit de 32 064 kbit/s

Dans ce cas, la structure de trame doit être la suivante (voir Recommandation G.752 [7]):

Une multitrame se compose de six ensembles (sous-multitrames) de 320 bits chacun, soit une longueur de 1920 bits.

Ensemble 1		Ensemble 2		Ensemble 3		Ensemble 4		Ensemble 5		Ensemble 6	
M1	315 bits	M2	315 bits	M3	315 bits	M4	315 bits	M5	315 bits	M6	315 bits

La structure détaillée des ensembles 1 à 6 est indiquée ci-dessous.

	Bits M (bits 1-5)	Bits 6-320
Ensemble 1	Signal de verrouillage de trame 1 1 0 1 0: (bits 1-5) $F_{11} = 1, F_{12} = 1, F_{13} = 0, F_{14} = 1, F_{15} = 0$	Bits de la séquence d'essai 1-315
Ensemble 2	Bits de commande de justification: $C_{11}, C_{21}, C_{31}, C_{41}, C_{51}$	Bits de la séquence d'essai 316-630
Ensemble 3	Bits de commande de justification: $C_{12}, C_{22}, C_{32}, C_{42}, C_{52}$	Bits de la séquence d'essai 631-945
Ensemble 4	Signal de verrouillage de trame 0 0 1 0 1: (bits 1-5) $F_{21} = 0, F_{22} = 0, F_{23} = 1, F_{24} = 0, F_{25} = 1$	Bits de la séquence d'essai 946-1260
Ensemble 5	Bits de commande de justification: $C_{13}, C_{23}, C_{33}, C_{43}, C_{53}$	Bits de la séquence d'essai 1261-1575
Ensemble 6	Bits auxiliaires H_1 à H_5 (indication d'alarme distante)	Bits de la séquence d'essai 1576-1890 (1885)
NOTE – Le bit disponible pour la justification de chaque affluent est le premier créneau temporel de l'affluent situé dans l'ensemble 6.		

6.7 Trames numériques au débit de 34 368 kbit/s

Dans ce cas, la structure de trame doit être la suivante (voir Recommandation G.751 [8]):

Une trame se compose de quatre ensembles de 384 bits chacun, soit une longueur de 1536 bits.

Ensemble 1		Ensemble 2		Ensemble 3		Ensemble 4	
O1	372 bits	O2	380 bits	O3	380 bits	O4	388 bits

La structure détaillée des ensembles 1 à 4 est indiquée ci-dessous.

	Bits de surdébit (bits O)	Bits de la séquence d'essai
Ensemble 1	Signal de verrouillage de trame (bits 1 à 10) 1 1 1 1 0 1 0 0 0 0 Indication d'alarme distante (bit 11) Bits réservés pour usage national (bit 12)	Bits de la séquence d'essai 1-372
Ensemble 2	Bits de commande de justification: C ₁₁ , C ₂₁ , C ₃₁ , C ₄₁	Bits de la séquence d'essai 373-752
Ensemble 3	Bits de commande de justification: C ₁₂ , C ₂₂ , C ₃₂ , C ₄₂	Bits de la séquence d'essai 753-1132
Ensemble 4	Bits de commande de justification: C ₁₃ , C ₂₃ , C ₃₃ , C ₄₃ Bits issus d'affluents, disponibles pour justification (bits 5-8)	Bits de la séquence d'essai 1133-1512 (1508)
NOTE – Concernant l'utilisation des bits de bourrage (justification), voir 6.1.1.		

6.8 Trames numériques au débit de 44 736 kbit/s

Dans ce cas, la structure de trame doit être la suivante (voir Recommandation G.752 [7] et spécification ANSI T1.107-1988 [11]):

Une multitrame se compose de sept sous-multitrames de 680 bits chacune, soit une longueur de 4760 bits.

Sous-trame 1		Sous-trame 2		Sous-trame 3		Sous-trame 4		Sous-trame 5		Sous-trame 6		Sous-trame 7	
X1	697 bits	X2	697 bits	P1	697 bits	P2	697 bits	M1	697 bits	M2	697 bits	M3	697 bits

La structure de la première sous-multitraine de 680 bits de longueur est la suivante.

Ensemble 1		Ensemble 2		Ensemble 3		Ensemble 4		Ensemble 5		Ensemble 6		Ensemble 7		Ensemble 8 (bloc de bourrage)	
Bit 1	Bits 2-85	Bit 86	Bits 87-170	Bit 171	Bits 172-255	Bit 256	Bits 257-340	Bit 341	Bits 342-425	Bit 426	Bits 427-510	Bit 511	Bits 512-595	Bit 596	Bits 597-680
X1	TS 1-84	F1	TS 85-168	C1	TS 169-252	F2	TS 253-336	C2	TS 337-420	F3	TS 421-504	C3	TS 505-588	F4	TS 589-672

Séquence dans le bit de surdébit pour la multitraine:

56 bits de surdébit occupent en séquence les positions suivantes du bit de surdébit:

X1, F1, C1, F2, C2, F3, C3, F4,

X2, F1, C1, F2, C2, F3, C3, F4,

P1, F1, C1, F2, C2, F3, C3, F4,

Signal de verrouillage de la multitraine:
M1 = 0, M2 = 1, M3 = 0

Signal de verrouillage de la sous-multitraine:
F1 = 1, F2 = 0, F3 = 0, F4 = 1

Dans l'application de multiplexage, le bourrage du canal n à 6312 kbit/s se produit dans la sous-multitraine n, dans le bit n du dernier ensemble.

P2, F1, C1, F2, C2, F3, C3, F4, Les bits C de cette sous-multitrame sont mis à C1 = C2 = C3 = 1 en cas de bourrage.

M1, F1, C1, F2, C2, F3, C3, F4, C1 = C2 = C3 = 0 indique absence de bourrage.

M2, F1, C1, F2, C2, F3, C3, F4,

M3, F1, C1, F2, C2, F3, C3, F4, TS = bits de la séquence d'essai.

Le bloc de bourrage (justification) est structuré comme suit: (M1-SF à M7-SF indiquent les sous-frames 1 à 7)

M1-SF	F4	Bit de bourrage 1	TS 590	TS 591	TS 592	TS 593	TS 594	TS 595	TS 596	TS 672
M2-SF	F4	TS 589	Bit de bourrage 2	TS 591	TS 592	TS 593	TS 594	TS 595	TS 596	TS 672
M3-SF	F4	TS 589	TS 590	Bit de bourrage 3	TS 592	TS 593	TS 594	TS 595	TS 596	TS 672
M4-SF	F4	TS 589	TS 590	TS 591	Bit de bourrage 4	TS 593	TS 594	TS 595	TS 596	TS 672
M5-SF	F4	TS 589	TS 590	TS 591	TS 592	Bit de bourrage 5	TS 594	TS 595	TS 596	TS 672
M6-SF	F4	TS 589	TS 590	TS 591	TS 592	TS 593	Bit de bourrage 6	TS 595	TS 596	TS 672
M7-SF	F4	TS 589	TS 590	TS 591	TS 592	TS 593	TS 594	Bit de bourrage 7	TS 596	TS 672

6.9 Trames numériques au débit de 97 728 kbit/s

Dans ce cas, la structure de trame doit être la suivante (voir Recommandation G.752 [7]):

Une multitrame se compose de six ensembles (sous-multitrames) de 192 bits chacun, soit une longueur de 1152 bits.

Ensemble 1		Ensemble 2		Ensemble 3		Ensemble 4		Ensemble 5		Ensemble 6	
M1	189 bits	M2	189 bits	M3	189 bits	M4	189 bits	M5	189 bits	M6	189 bits

La structure détaillée des ensembles 1 à 3 est indiquée ci-dessous.

	Bits M (bits 1-3)	Bits 4-192
Ensemble 1	Signal de verrouillage de trame 1 1 0: $F_{11} = 1, F_{12} = 1, F_{13} = 0$	Bits de la séquence d'essai 1-189
Ensemble 2	Bits de commande de justification: C_{11}, C_{21}, C_{31}	Bits de la séquence d'essai 190-378
Ensemble 3	Bits de commande de justification: C_{12}, C_{22}, C_{32}	Bits de la séquence d'essai 379-567
Ensemble 4	Signal de verrouillage de trame 0 0 1: $F_{21} = 0, F_{22} = 0, F_{23} = 1$	Bits de la séquence d'essai 568-756
Ensemble 5	Bits de commande de justification: C_{13}, C_{23}, C_{33}	Bits de la séquence d'essai 757-945
Ensemble 6	Bits auxiliaires H_1 à H_3	Bits de la séquence d'essai 946-1134 (voir Note)
TS Bits de la séquence d'essai		
NOTE – Le bit disponible pour la justification de chaque affluent est le premier créneau de cet affluent après H_n . H_1 est le bit de parité pour la trame précédente; H_2 est un bit réservé pour usage national et H_3 est utilisé pour le signal d'indication d'alarme distante (RAI) (<i>remote alarm indication</i>).		

6.10 Trames numériques au débit de 139 264 kbit/s

6.10.1 Trames numériques au débit de 139 264 kbit/s avec multiplexage de signaux à 34 368 kbit/s

Dans ce cas, la structure de trame doit être la suivante (voir Recommandation G.751 [8]):

Une multitrame se compose de quatre ensembles de 488 bits chacun, soit une longueur de 2928 bits.

Ensemble 1		Ensembles 2 à 5		Ensemble 6	
O1	472 bits	O2-5	484 bits	O6	484 bits

La structure détaillée des ensembles 1 à 6 est indiquée ci-dessous.

	Bits de surdébit (bits O)	Bits de la séquence d'essai
Ensemble 1	Signal de verrouillage de trame (bits 1 à 12): 1 1 1 1 1 0 1 0 0 0 0 0 Indication d'alarme distante (bit 13) Bits réservés pour usage national (bit 14-16)	Bits de la séquence d'essai 1-472
Ensemble 2-5	Bits de commande de justification: $C_{1n}, C_{2n}, C_{3n}, C_{4n}$	Bits de la séquence d'essai 473-2408
Ensemble 6	Bits de commande de justification: $C_{15}, C_{25}, C_{35}, C_{45}$ Bits issus d'affluents, disponibles pour justification (bits 5-8)	Bits de la séquence d'essai 2409-2892 (2888)
NOTE – Concernant l'utilisation des bits de bourrage (justification), voir 6.1.1.		

6.10.2 Trames numériques au débit de 139 264 kbit/s avec multiplexage de signaux à 44 736 kbit/s

Dans ce cas, la structure de trame doit être la suivante (voir Recommandation G.755 [14] et spécification ANSI T.1-107-1988 [11]):

Une multitrame se compose de six ensembles (sous-multitrames) de 159 bits chacun, soit une longueur de 954 bits.

Ensemble 1		Ensemble 2		Ensemble 3		Ensemble 4		Ensemble 5		Ensemble 6	
M1	147 bits	M2	156 bits	M3	156 bits	M4	150 bits	M5	156 bits	M6	156 bits

La structure détaillée des ensembles 1 à 3 est indiquée ci-dessous.

	Bits M	Bits de la séquence d'essai
Ensemble 1	Signal de verrouillage de trame (bits 1-12): 1 1 1 1 1 0 1 0 0 0 0 0	Bits de la séquence d'essai 1-147 (147 bits)
Ensemble 2	Bits de commande de justification: C ₁₁ , C ₂₁ , C ₃₁ (bits 1-3)	Bits de la séquence d'essai 148-303 (156 bits)
Ensemble 3	Bits de commande de justification: C ₁₂ , C ₂₂ , C ₃₂ (bits 1-3)	Bits de la séquence d'essai 304-459 (156 bits)
Ensemble 4	Bits de commande de justification: C ₁₃ , C ₂₃ , C ₃₃ (bits 1-3) Indication d'alarme distante (bit 4) Parité bit (bit 5) Bits réservés pour usage futur (bits 6-9)	Bits de la séquence d'essai 460-609 (150 bits)
Ensemble 5	Bits de commande de justification: C ₁₄ , C ₂₄ , C ₃₄ (bits 1-3)	Bits de la séquence d'essai 610-765 (156 bits)
Ensemble 6	Bits de commande de justification: C ₁₅ , C ₂₅ , C ₃₅ (bits 1-3) Bits issus d'affluents, disponibles pour justification (bits 4-6)	Bits de la séquence d'essai 766-921/918 (156/153 bits)

6.11 Trames numériques au débit STM-N

Les structures du signal d'essai, pour les mesures sur équipements en hiérarchie SDH fonctionnant à des débits de 155 520 kbit/s, 622 080 kbit/s et 2 488 320 kbit/s, peuvent être trouvées dans la Recommandation O.181.

7 Mesures de performance en termes d'erreurs sur les blocs

7.1 Mesure des erreurs sur les blocs

La Recommandation G.826 définit des paramètres et des objectifs de qualité en termes d'erreur, applicables aux conduits numériques exploités à un débit égal ou supérieur au débit primaire. Cette Recommandation prescrit que les mesures de performance en termes d'erreur soient fondées sur l'évaluation de blocs.

L'instrumentation de mesure destinée à l'exécution des mesures de taux d'erreur conformément à la Recommandation G.826 doit également suivre le principe de l'évaluation de blocs. Dans ce cas, les résultats de mesure seront obtenus sous la forme d'erreurs sur les blocs ou de taux d'erreur sur les blocs.

Cette prescription n'exclut cependant pas la mesure et l'évaluation facultatives d'erreurs sur bits isolés, exprimées en erreurs sur les bits ou en taux d'erreur sur les bits.

7.2 Longueur des blocs

Afin d'obtenir des résultats de mesure compatibles, les mesures de performance en termes d'erreur sur les blocs doivent être fondées sur des longueurs de bloc identiques.

7.2.1 Longueurs de bloc pour mesures de performance hors service sur systèmes PDH

La Recommandation G.826 [5] définit des longueurs de bloc pour mesures en service à des débits binaires qui intègrent des codes de détection d'erreur (EDC) (*error detection codes*). Ces longueurs de bloc doivent également être utilisées pour les mesures hors service (voir le Tableau 2).

TABLEAU 2/O.150

Longueur des blocs pour la surveillance par codage EDC de la performance en termes d'erreur en hiérarchie SDH

Débit	Longueur des blocs en hiérarchie PDH	Durée des blocs en hiérarchie PDH	Base	Références
1544 kbit/s	4632 bits	3 ms	CRC-6	2.1/G.704 Annexe B/G.826
2048 kbit/s	2048 bits	1 ms	CRC-4	2.3/G.704 Annexe B/G.826
6312 kbit/s	3156 bits	500 µs	CRC-5	2.2/G.704 Annexe B/G.826
44 736 kbit/s	4760 bits	106 µs	Contrôle de parité sur bits isolés	1.3/G.752 Annexe B/G.826

Pour les mesures à des débits où il n'y a pas de code de détection d'erreur, les longueurs de bloc préférées sont données dans le Tableau 3.

TABLEAU 3/O.150

Longueur des blocs pour la surveillance de la performance en termes d'erreur en hiérarchie SDH sans codage EDC

Débit	Longueur des blocs en hiérarchie PDH	Durée des blocs en hiérarchie PDH	Base
8448 kbit/s	4224 bits	500 µs	(Pas de codage EDC, voir Note)
32 064 kbit/s	4008 bits	125 µs	(Pas de codage EDC, voir Note)
34 368 kbit/s	4296 bits	125 µs	(Pas de codage EDC, voir Note)
97 728 kbit/s	12 216 bits	125 µs	(Pas de codage EDC, voir Note)
139 264 kbit/s	17 408 bits	125 µs	(Pas de codage EDC, voir Note)

NOTE – Lorsqu'il est fait référence à un code de détection d'erreur (EDC), la longueur des blocs est indiquée par le mécanisme de codage EDC. Si aucun code EDC n'est défini, la longueur du bloc est fondée sur des multiples de 125 µs. La longueur/durée réelle des blocs peut s'écarter de ±5% par rapport à la valeur nominale indiquée dans le tableau ci-dessus.

7.2.2 Longueurs de bloc pour mesures de performance hors service sur systèmes SDH

Le Tableau 4 indique les longueurs de bloc pour les mesures de performance sur des conduits SDH. Ces longueurs de bloc sont définies dans la Recommandation G.826 pour les mesures en service et doivent également être utilisées pour les mesures hors service.

Les longueurs de bloc pour les mesures dans les sections multiplex se trouvent données dans les Recommandations de la série G sur les caractéristiques d'erreur.

TABLEAU 4/O.150

Longueurs de bloc pour surveillance de la performance en termes d'erreur en hiérarchie SDH

Débit du conduit	Type de conduit SDH	Longueur des blocs SDH	Codage EDC (Note)	Références
1664 kbit/s	VC-11	832 bits	BIP-2	Annexe C/G.826
2240 kbit/s	VC-12	1120 bits	BIP-2	Annexe C/G.826
6848 kbit/s	VC-2	3424 bits	BIP-2	Annexe C/G.826
48 960 kbit/s	VC-3	6120 bits	BIP-8	Annexe C/G.826
150 336 kbit/s	VC-4	18 792 bits	BIP-8	Annexe C/G.826
34 240 kbit/s	VC-2-5c	17 120 bits	BIP-2	Annexe C/G.826
601 344 000 kbit/s	VC-4-4c	75 168 bits	BIP-8	Annexe C/G.826

NOTE – La longueur des blocs est fondée sur le code de détection d'erreur (EDC) inhérent à la hiérarchie SDH.

7.2.3 Longueurs de bloc pour mesures de performance sur systèmes à cellules

Les longueurs de bloc pour mesures de performance sur systèmes à cellules sont définies dans la Recommandation O.191.

8 Détection et relève des défauts de type AIS et LOS

L'instrumentation de mesure spécifiée dans les Recommandations de la série O pour les équipements destinés à fonctionner en liaison avec des interfaces numériques (par exemple avec des interfaces conformes à la Recommandation G.703 [9]) peut être appelée à surveiller le statut du signal à évaluer. Les signaux d'indication d'alarme (AIS) (*alarm indication signal*) et de perte de signal (LOS) (*loss of signal*) sont des exemples de tels défauts.

Les critères de détection et de relève des défauts de type AIS et LOS aux interfaces fonctionnant à des débits binaires conformes à la Recommandation G.703 sont indiqués dans la Recommandation G.755 [10] et doivent être observés par l'instrumentation de la série O.

SERIES DES RECOMMANDATIONS UIT-T

Série A	Organisation du travail de l'UIT-T
Série B	Moyens d'expression
Série C	Statistiques générales des télécommunications
Série D	Principes généraux de tarification
Série E	Réseau téléphonique et RNIS
Série F	Services de télécommunication non téléphoniques
Série G	Systèmes et supports de transmission
Série H	Transmission des signaux autres que téléphoniques
Série I	Réseau numérique à intégration de services
Série J	Transmission des signaux radiophoniques et télévisuels
Série K	Protection contre les perturbations
Série L	Construction, installation et protection des câbles et autres éléments des installations extérieures
Série M	Maintenance: systèmes de transmission, de télégraphie, de télécopie, circuits téléphoniques et circuits loués internationaux
Série N	Maintenance: circuits internationaux de transmission radiophoniques et télévisuels
Série O	Spécifications des appareils de mesure
Série P	Qualité de transmission téléphonique
Série Q	Commutation et signalisation
Série R	Transmission télégraphique
Série S	Equipements terminaux de télégraphie alphabétique
Série T	Equipements terminaux et protocoles des services télématiques
Série U	Commutation télégraphique
Série V	Communications de données sur le réseau téléphonique
Série X	Réseaux de données et communication entre systèmes ouverts
Série Z	Langages de programmation