

UIT-T

SECTOR DE NORMALIZACIÓN
DE LAS TELECOMUNICACIONES
DE LA UIT

G.975.1

(02/2004)

SERIE G: SISTEMAS Y MEDIOS DE TRANSMISIÓN,
SISTEMAS Y REDES DIGITALES

Secciones digitales y sistemas digitales de línea –
Sistemas en cables submarinos de fibra óptica

**Corrección de errores en recepción para
sistemas submarinos con multiplexación
por división en longitud de onda densa de
alta velocidad binaria**

Recomendación UIT-T G.975.1

RECOMENDACIONES UIT-T DE LA SERIE G
SISTEMAS Y MEDIOS DE TRANSMISIÓN, SISTEMAS Y REDES DIGITALES

CONEXIONES Y CIRCUITOS TELEFÓNICOS INTERNACIONALES	G.100–G.199
CARACTERÍSTICAS GENERALES COMUNES A TODOS LOS SISTEMAS ANALÓGICOS DE PORTADORAS	G.200–G.299
CARACTERÍSTICAS INDIVIDUALES DE LOS SISTEMAS TELEFÓNICOS INTERNACIONALES DE PORTADORAS EN LÍNEAS METÁLICAS	G.300–G.399
CARACTERÍSTICAS GENERALES DE LOS SISTEMAS TELEFÓNICOS INTERNACIONALES EN RADIOENLACES O POR SATÉLITE E INTERCONEXIÓN CON LOS SISTEMAS EN LÍNEAS METÁLICAS	G.400–G.449
COORDINACIÓN DE LA RADIOTELEFONÍA Y LA TELEFONÍA EN LÍNEA	G.450–G.499
CARACTERÍSTICAS DE LOS MEDIOS DE TRANSMISIÓN	G.600–G.699
EQUIPOS TERMINALES DIGITALES	G.700–G.799
REDES DIGITALES	G.800–G.899
SECCIONES DIGITALES Y SISTEMAS DIGITALES DE LÍNEA	G.900–G.999
Generalidades	G.900–G.909
Parámetros para sistemas en cables de fibra óptica	G.910–G.919
Secciones digitales a velocidades binarias jerárquicas basadas en una velocidad de 2048 kbit/s	G.920–G.929
Sistemas digitales de transmisión en línea por cable a velocidades binarias no jerárquicas	G.930–G.939
Sistemas de línea digital proporcionados por soportes de transmisión MDF	G.940–G.949
Sistemas de línea digital	G.950–G.959
Sección digital y sistemas de transmisión digital para el acceso del cliente a la RDSI	G.960–G.969
Sistemas en cables submarinos de fibra óptica	G.970–G.979
Sistemas de línea óptica para redes de acceso y redes locales	G.980–G.989
CALIDAD DE SERVICIO Y DE TRANSMISIÓN – ASPECTOS GENÉRICOS Y ASPECTOS RELACIONADOS AL USUARIO	G.1000–G.1999
CARACTERÍSTICAS DE LOS MEDIOS DE TRANSMISIÓN	G.6000–G.6999
EQUIPOS TERMINALES DIGITALES	G.7000–G.7999
REDES DIGITALES	G.8000–G.8999

Para más información, véase la Lista de Recomendaciones del UIT-T.

Recomendación UIT-T G.975.1

Corrección de errores en recepción para sistemas submarinos con multiplexación por división en longitud de onda densa de alta velocidad binaria

Resumen

En esta Recomendación se describen funciones de corrección de errores en recepción (FEC) más eficaces que las funciones de código RS(255,239) definidas en la Rec. UIT-T G.975 para los sistemas de cable submarino DWDM de alta velocidad binaria. En el apéndice I se describen esquemas super FEC con mayor capacidad de corrección que el código RS(255,239). La utilización de estas funciones super FEC en equipos terminales de transmisión (TTE) no es obligatoria.

Orígenes

La Recomendación UIT-T G.975.1 fue aprobada el 22 de febrero de 2004 por la Comisión de Estudio 15 (2001-2004) del UIT-T por el procedimiento de la Recomendación UIT-T A.8.

PREFACIO

La UIT (Unión Internacional de Telecomunicaciones) es el organismo especializado de las Naciones Unidas en el campo de las telecomunicaciones. El UIT-T (Sector de Normalización de las Telecomunicaciones de la UIT) es un órgano permanente de la UIT. Este órgano estudia los aspectos técnicos, de explotación y tarifarios y publica Recomendaciones sobre los mismos, con miras a la normalización de las telecomunicaciones en el plano mundial.

La Asamblea Mundial de Normalización de las Telecomunicaciones (AMNT), que se celebra cada cuatro años, establece los temas que han de estudiar las Comisiones de Estudio del UIT-T, que a su vez producen Recomendaciones sobre dichos temas.

La aprobación de Recomendaciones por los Miembros del UIT-T es el objeto del procedimiento establecido en la Resolución 1 de la AMNT.

En ciertos sectores de la tecnología de la información que corresponden a la esfera de competencia del UIT-T, se preparan las normas necesarias en colaboración con la ISO y la CEI.

NOTA

En esta Recomendación, la expresión "Administración" se utiliza para designar, en forma abreviada, tanto una administración de telecomunicaciones como una empresa de explotación reconocida de telecomunicaciones.

La observancia de esta Recomendación es voluntaria. Ahora bien, la Recomendación puede contener ciertas disposiciones obligatorias (para asegurar, por ejemplo, la aplicabilidad o la interoperabilidad), por lo que la observancia se consigue con el cumplimiento exacto y puntual de todas las disposiciones obligatorias. La obligatoriedad de un elemento preceptivo o requisito se expresa mediante las frases "tener que, haber de, hay que + infinitivo" o el verbo principal en tiempo futuro simple de mandato, en modo afirmativo o negativo. El hecho de que se utilice esta formulación no entraña que la observancia se imponga a ninguna de las partes.

PROPIEDAD INTELECTUAL

La UIT señala a la atención la posibilidad de que la utilización o aplicación de la presente Recomendación suponga el empleo de un derecho de propiedad intelectual reivindicado. La UIT no adopta ninguna posición en cuanto a la demostración, validez o aplicabilidad de los derechos de propiedad intelectual reivindicados, ya sea por los miembros de la UIT o por terceros ajenos al proceso de elaboración de Recomendaciones.

En la fecha de aprobación de la presente Recomendación, la UIT no ha recibido notificación de propiedad intelectual, protegida por patente, que puede ser necesaria para aplicar esta Recomendación. Sin embargo, debe señalarse a los usuarios que puede que esta información no se encuentre totalmente actualizada al respecto, por lo que se les insta encarecidamente a consultar la base de datos sobre patentes de la TSB.

© UIT 2005

Reservados todos los derechos. Ninguna parte de esta publicación puede reproducirse por ningún procedimiento sin previa autorización escrita por parte de la UIT.

ÍNDICE

		Página
1	Alcance	1
2	Referencias	1
3	Términos y definiciones	2
	3.1 Términos definidos en otras Recomendaciones	2
	3.2 Definiciones.....	2
4	Abreviaturas.....	3
5	Las funciones super FEC	3
	5.1 Principios generales de las funciones super FEC	3
	5.2 Esquema super FEC	4
6	Definición de la función super FEC	4
	6.1 Definición	4
	6.2 Algoritmo de codificación super FEC	5
	6.3 Propiedades del código super FEC	5
	6.4 Estructura de trama super FEC.....	5
7	Parámetros del código super FEC.....	5
	7.1 Capacidad de corrección.....	5
	7.2 Relación de redundancia.....	7
	7.3 Latencia	7
8	Supervisión	7
	8.1 Supervisión de calidad de la señal.....	7
	8.2 Supervisión de conectividad.....	7
Apéndice I – Esquemas super FEC.....		8
	I.1 Presentación general.....	8
	I.2 Código super FEC RS(255,239)/CSOC ($n_0/k_0 = 7/6$, $J = 8$).....	8
	I.3 Código super FEC por códigos BCH concatenados.....	14
	I.4 Código super FEC por códigos RS(1023,1007)/BCH(2047,1952).....	20
	I.5 Esquema super FEC con código RS y código de producto concatenados	24
	I.6 Código super FEC de tipo LDPC	27
	I.7 Código super FEC con dos códigos de tipo BCH concatenados ortogonalmente	30
	I.8 Código super FEC con el código Reed Solomon (2720,2550)	44
	I.9 Código super FEC con dos códigos BCH(1020,988) ampliados y entrelazados	48

Recomendación UIT-T G.975.1

Corrección de errores en recepción para sistemas submarinos con multiplexación por división en longitud de onda densa de alta velocidad binaria

1 Alcance

En esta Recomendación se describen funciones de corrección de errores en recepción (FEC, *forward error correction*) más eficaces que las funciones de código RS(255,239) definidas en la Rec. UIT-T G.975 para los sistemas submarinos de fibra óptica. En esta Recomendación se describen igualmente los requisitos de supervisión de los sistemas de cable submarino. Esta Recomendación se aplica tanto a sistemas de amplificación óptica y repetición (Rec. UIT-T G.977) como a sistemas ópticos sin repetición (Rec. UIT-T G.973). No es obligatorio utilizar esta función FEC en los equipos terminales de transmisión (TTE) de instalaciones submarinas.

Esta Recomendación no pretende lograr una compatibilidad transversal en el sistema y, por tanto, la elección de las estructuras de tramas FEC descritas en esta Recomendación será una opción de ingeniería conjunta.

Se aplicaría a las señales de transmisión STM-16, STM-64, STM-256, ODU1, ODU2, y ODU3, porque puede considerarse que un sistema submarino es una de las aplicaciones IaDI definidas en la Rec. UIT-T G.872. Ahora bien, la velocidad binaria no estará limitada a los valores de estas señales.

2 Referencias

Las siguientes Recomendaciones del UIT-T y otras referencias contienen disposiciones que, mediante su referencia en este texto, constituyen disposiciones de la presente Recomendación. Al efectuar esta publicación, estaban en vigor las ediciones indicadas. Todas las Recomendaciones y otras referencias son objeto de revisiones por lo que se preconiza que los usuarios de esta Recomendación investiguen la posibilidad de aplicar las ediciones más recientes de las Recomendaciones y otras referencias citadas a continuación. Se publica periódicamente una lista de las Recomendaciones UIT-T actualmente vigentes. En esta Recomendación, la referencia a un documento, en tanto que autónomo, no le otorga el rango de una Recomendación.

- Recomendación UIT-T G.691 (2003), *Interfaces ópticas para los sistemas monocal STM-64 y otros sistemas de la jerarquía digital síncrona con amplificadores ópticos.*
- Recomendación UIT-T G.693 (2003), *Interfaces ópticas para sistemas de conexión local.*
- Recomendación UIT-T G.707/Y.1322 (2003), *Interfaz de nodo de red para la jerarquía digital síncrona.*
- Recomendación UIT-T G.709/Y.1331 (2003), *Interfaces para la red óptica de transporte.*
- Recomendación UIT-T G.798 (2002), *Características de los bloques funcionales del equipo de la jerarquía de la red óptica de transporte.*
- Recomendación UIT-T G.805 (2000), *Arquitectura funcional genérica de las redes de transporte.*
- Recomendación UIT-T G.872 (2001), *Arquitectura de las redes ópticas de transporte.*
- Recomendación UIT-T G.957 (1999), *Interfaces ópticas para equipos y sistemas relacionados con la jerarquía digital síncrona.*
- Recomendación UIT-T G.959.1 (2003), *Interfaces de capa física de red óptica de transporte.*

- Recomendación UIT-T G.972 (2000), *Definición de términos pertinentes a los sistemas de cable submarino de fibra óptica.*
- Recomendación UIT-T G.973 (2003), *Características de los sistemas de cable submarino de fibra óptica sin repetidores.*
- Recomendación UIT-T G.975 (2000), *Corrección de errores en recepción para sistemas submarinos.*
- Recomendación UIT-T G.977 (2000), *Características de los sistemas de cable submarino de fibra óptica con amplificación óptica.*
- IEEE Standard 802.3-2002, *Information Technology – Telecommunication and Information Exchange between Systems – LAN/MAN – Specific Requirements – Part 3: Carrier sense multiple access with collision detection (CSMA/CD) access method and physical layer specifications.*

3 Términos y definiciones

3.1 Términos definidos en otras Recomendaciones

En esta Recomendación se utilizan los siguientes términos definidos en otras Recomendaciones:

Jerarquía digital síncrona (SDH, *synchronous digital hierarchy*): véase Rec. UIT-T G.707/Y.1322.

Módulo de transporte síncrono (STM, *synchronous transport module*): véase Rec. UIT-T G.707/Y.1322.

Sistema de cable submarino de fibra óptica: véase Rec. UIT-T G.972.

Equipo terminal de transmisión (TTE, *terminal transmission equipment*): véase Rec. UIT-T G.972.

Balance de potencia óptica: véase Rec. UIT-T G.972.

Canal de servicio: véase Rec. UIT-T G.972.

Canal de instrucciones: véase Rec. UIT-T G.972.

Tasa de errores en la línea: véase Rec. UIT-T G.972.

Corrección de errores en recepción (FEC): véase Rec. UIT-T G.972.

Trama FEC: véase Rec. UIT-T G.972.

Codificador FEC: véase Rec. UIT-T G.972.

Decodificador FEC: véase Rec. UIT-T G.972.

Código de bloque: véase Rec. UIT-T G.975.

Código cíclico: véase Rec. UIT-T G.975.

Código sistemático: Rec. UIT-T G.975.

Palabra de información: véase Rec. UIT-T G.975.

Palabra de código: véase Rec. UIT-T G.975.

3.2 Definiciones

En esta Recomendación se definen los términos siguientes.

3.2.1 ganancia de codificación: La ganancia de codificación es la mejora de la sensibilidad óptica recibida que se obtiene mediante la corrección de errores en recepción (FEC), sin tener en cuenta el inconveniente por aumento de la velocidad binaria.

3.2.2 ganancia de codificación neta: La ganancia de codificación neta es la mejora de la sensibilidad óptica recibida que se obtiene mediante la corrección de errores en recepción (FEC), teniendo en cuenta el inconveniente por aumento de la velocidad binaria.

4 Abreviaturas

En esta Recomendación se utilizan las siguientes siglas.

BCH	Bose-Chaudhuri-Hocquengham
BER	Tasa de errores en los bits (<i>bit error ratio</i>)
DWDM	Multiplexación densa por división en longitud de onda (<i>dense wavelength division multiplexing</i>)
EDFA	Amplificador de fibra dopada con erbio (<i>erbium-doped fibre amplifier</i>)
FEC	Corrección de errores en recepción (<i>forward error correction</i>)
GF	Campo de Galois (<i>galois field</i>)
NCG	Ganancia neta de codificación (<i>net coding gain</i>)
RS	Reed-Solomon
TTE	Equipo terminal de transmisión (<i>terminal transmission equipment</i>)
TTI	Identificador de traza de camino (<i>trail trace identifier</i>)

5 Las funciones super FEC

5.1 Principios generales de las funciones super FEC

Para aumentar la velocidad binaria de transmisión, la distancia y la capacidad propias de la tecnología DWDM, probablemente sea necesario utilizar las superfunciones de corrección de errores en recepción (FEC) que son más eficaces que las funciones de código RS(255,239) para los sistemas submarinos de fibra óptica.

Como puede verse en la figura 1, los procedimientos de codificación y decodificación sólo se realizan en el nivel del equipo terminal de transmisión (TTE, *terminal transmission equipment*), sobre señales eléctricas, pero se aprovechan en todo el sistema de cable submarino de fibra óptica compuesto por la propia fibra óptica y posiblemente módulos ópticos tales como amplificadores ópticos que utilizan la tecnología EDFA.

La función super FEC comprende fundamentalmente:

- un codificador super FEC en el equipo terminal de transmisión (TTE) en emisión, que acepta bits de información y añade símbolos redundantes calculados para producir datos codificados a una velocidad binaria superior;
- un decodificador super FEC en el equipo terminal de transmisión (TTE) en recepción, que efectúa la corrección de errores al tiempo que extrae la redundancia para regenerar los datos codificados por el codificador FEC.

La señal de transmisión considerada puede ser STM-16, STM-64, STM-256, ODU1, ODU2, y ODU3. En las interfaces entre TTE submarinos probablemente serán necesarios sistemas GbE y/o 10GbE, pero la velocidad binaria no está necesariamente limitada a las anteriores señales.

En el apéndice I se describen varios esquemas super FEC, sus características y la capacidad de corrección.

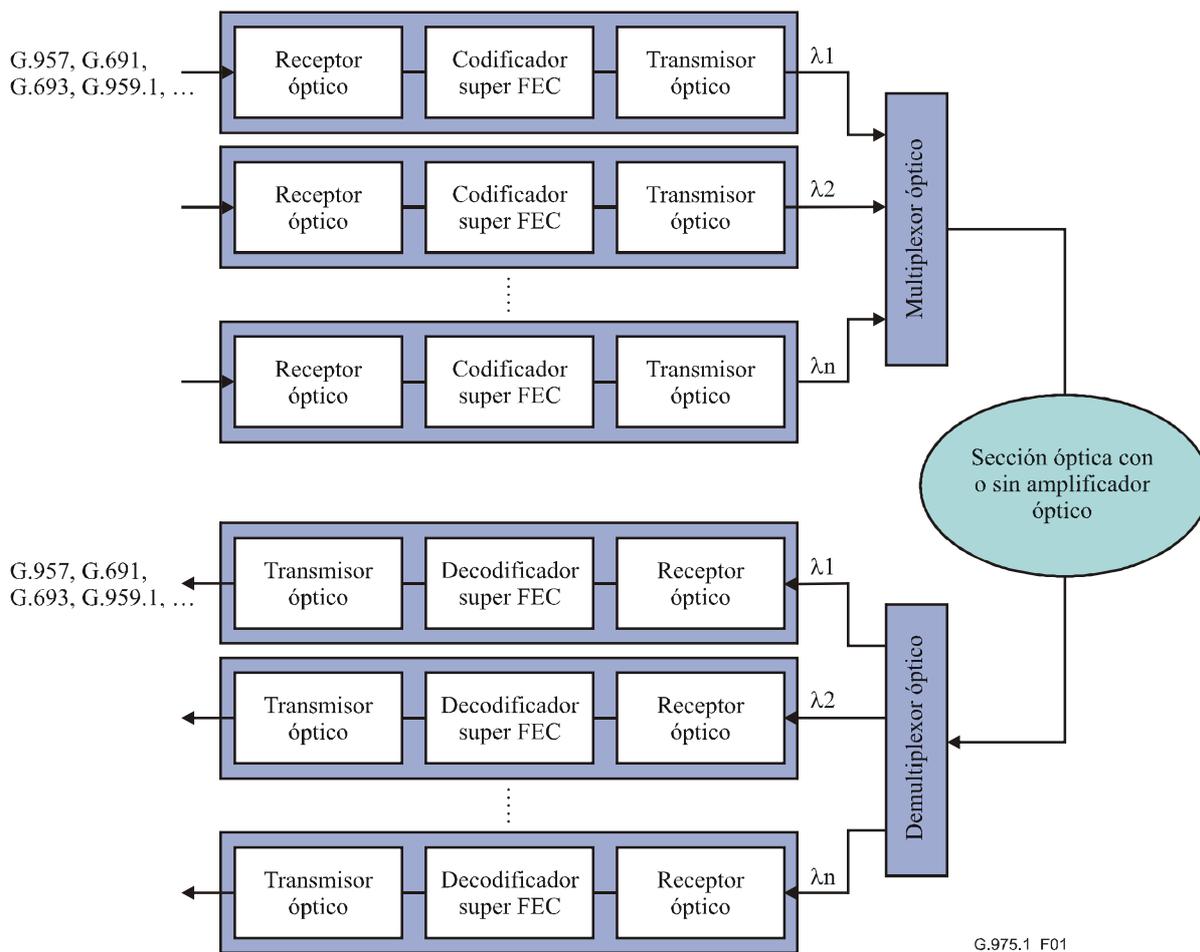


Figura 1/G.975.1 – Diagrama sinóptico de un sistema submarino de fibra óptica DWDM

5.2 Esquema super FEC

Habitualmente se utiliza un esquema de corrección de errores en recepción (FEC) para los sistemas de fibra óptica tanto submarinos como terrenales definidos en las Recomendaciones UIT-T G.975 y G.709/Y.1331 respectivamente. En estas Recomendaciones se define el código Reed-Solomon (255,239) como esquema FEC.

Se han definido distintos esquemas super FEC con mayor capacidad de corrección, por ejemplo combinando dos códigos FEC: [código RS + código RS], [código BCH + código BCH], [código RS + código BCH], etc.

Otra técnica muy utilizada es el esquema super FEC con una longitud de palabra superior.

6 Definición de la función super FEC

6.1 Definición

6.1.1 código super FEC: Hay varios códigos super FEC. El código RS(255,239) definido en las Recomendaciones UIT-T G.975 y G.709/Y.1331 tiene una ganancia de codificación neta de 5,6 dB con una tasa de errores en los bits (BER) de 10^{-12} en la salida del decodificador. En esta Recomendación se define un código super FEC con mayor capacidad de corrección que el código RS(255,239). Queda aún por estudiar el grado de mejora del super FEC comparado con el RS(255,239).

6.1.2 Código exterior/código interior: En la figura 2 se han representado los códigos exterior e interior para un esquema super FEC que consiste en dos códigos FEC concatenados.

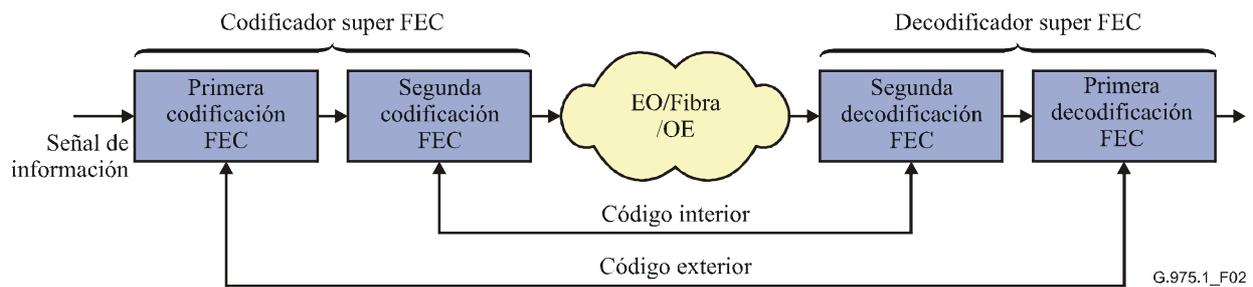


Figura 2/G.975.1 – Código exterior y código interior

6.1.3 decodificación por decisión firme: En este tipo de decodificación sólo se utiliza un nivel de cuantificación en el muestreo de bits, y el proceso de decodificación trata información de bits binaria.

6.1.4 decodificación por decisión programable: Los decodificadores por decisión programable utilizan varios niveles de cuantificación (habitualmente tres o más) para la misma forma de onda recibida.

6.2 Algoritmo de codificación super FEC

El algoritmo super FEC depende de los objetivos: capacidad de corrección, latencia, etc. En el apéndice I se precisan los algoritmos para el código super FEC.

6.3 Propiedades del código super FEC

Las propiedades super FEC dependen del esquema FEC adoptado: unos tendrán mayor capacidad de corrección y otros una latencia inferior. En el apéndice I se describen en detalle las propiedades del código super FEC.

6.4 Estructura de trama super FEC

Véanse las estructuras de trama en el apéndice I.

7 Parámetros del código super FEC

Hay distintos aspectos en la definición de un código super FEC; la viabilidad de la velocidad de funcionamiento del circuito y condiciones como el tiempo de transacción del sistema y la tasa de redundancia óptima teórica. En las siguientes subcláusulas se definen estas condiciones, y los parámetros aquí descritos están representados en el apéndice I.

7.1 Capacidad de corrección

La capacidad de corrección de errores viene dada por distintos parámetros, como las características de BER, la ganancia de codificación neta, etc. Todos los parámetros están estrechamente relacionados, pero cada indicación es útil para calcular el código super FEC. Es preciso describir los siguientes parámetros para cada código super FEC del apéndice I.

7.1.1 Características de la tasa de errores en los bits (BER)

Tratándose de la corrección de errores, el factor BER es la relación entre la BER de la señal de entrada al decodificador y la BER de la señal de salida corregida. La mejora del valor BER

mediante la FEC es la principal característica y constituye una indicación de la capacidad de corrección FEC.

7.1.2 Ganancia de codificación

En el caso de errores repartidos de forma aleatoria en la señal de línea codificada, el decodificador FEC reduce el valor BER_{in} (B_{in}) de la línea o bruto a una referencia fijada BER (B_{ref}) dentro de la señal de cabida útil. Por tanto, puede decirse que la ganancia de codificación es la relación entre estas dos tasas de errores en los bits. Para definir mejor la ganancia de codificación como parámetro de sistema, la reducción de la BER mediante la FEC se suele transformar en un valor dB basado en un sistema de referencia teórico. Se acostumbra definir la ganancia de codificación como la reducción de la relación señal-ruido para un valor BER de referencia.

$$\text{Ganancia de codificación} = 20 \log_{10} \left[\text{erfc}^{-1} (2B_{ref}) \right] - 20 \log_{10} \left[\text{erfc}^{-1} (2B_{in}) \right] \quad (\text{dB})$$

7.1.3 Ganancia de codificación neta

La ganancia de codificación neta (NCG) viene dada por la tasa de codificación R ($R < 1$), (la tasa de codificación R es la relación entre la velocidad binaria sin FEC y la velocidad binaria con FEC) y el valor de BER_{in} (B_{in}) máximo permitido de la señal de entrada al decodificador FEC, que se puede reducir a un valor BER_{out} = B_{ref} de referencia aplicando el algoritmo FEC. La NCG también se define con respecto a un canal binario simétrico con ruido gaussiano blanco añadido:

$$\text{Ganancia de codificación neta} = 20 \log_{10} \left[\text{erfc}^{-1} (2B_{ref}) \right] - 20 \log_{10} \left[\text{erfc}^{-1} (2B_{in}) \right] + 10 \log_{10} R \quad (\text{dB})$$

siendo erfc^{-1} el inverso de la función de error complementaria, $\text{erfc}(x) = 1 - \text{erf}(x)$.

7.1.4 Límite Q

El límite Q es el factor Q mínimo permitido de la señal de entrada para el circuito de decisión del receptor, que permite lograr el valor BER de referencia ($B_{ref} \approx \text{BER}_{out}$). El factor Q es la relación señal-ruido en el circuito de decisión, en unidades de tensión o corriente, y se suele expresar mediante la siguiente fórmula:

$$Q = \frac{\mu_1 - \mu_0}{\sigma_1 + \sigma_0}$$

$\mu_{1/0}$ Valor medio de los valores de tensión o corriente de impulsos/intervalos

$\sigma_{1/0}$ Desviaciones estándar de los valores de tensión o corriente de impulsos/intervalos

Relaciones matemáticas a la BER (en caso de funcionamiento sin FEC) cuando se establece el valor óptimo de umbral:

$$\text{BER} = \frac{1}{2} \text{erfc} \left(\frac{Q}{\sqrt{2}} \right)$$

El cuadro 1 es un modelo de cuadro de capacidad de corrección de un esquema super FEC para los anteriores parámetros. Es necesario rellenar todos los valores para indicar precisamente la capacidad de corrección. Véanse los cuadros de capacidad de corrección en el apéndice I.

Cuadro 1/G.975.1 – Modelo de cuadro general de capacidad de corrección

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
	10 ⁻⁹			
	10 ⁻¹⁰			
	10 ⁻¹¹			
	10 ⁻¹²			
	10 ⁻¹³			
	10 ⁻¹⁴			
	10 ⁻¹⁵			

7.2 Relación de redundancia

La relación de redundancia depende de los métodos super FEC. Es la relación entre el número de bits de información tratados por la función FEC y el número de bits tras la codificación, que incluyen esta misma información y la información de redundancia añadida. No se incluye ninguna tara de gestión o relleno, por ejemplo de la Rec. UIT-T G.709/Y.1331.

Hay métodos que tienen la misma relación de redundancia que los métodos de las Recomendaciones UIT-T G.709/Y.1331 o G.975 y que ofrecen mayor capacidad de corrección.

7.3 Latencia

La transacción FEC puede suponer un tiempo de transmisión adicional para la codificación y decodificación FEC, para entrelazar y desentrelazar. Puede considerarse que es un valor físico para una determinada velocidad de transmisión, o un número de bits de información intercalados en el proceso de codificación/decodificación. Este segundo número casi siempre es independiente de la velocidad de transmisión efectiva.

8 Supervisión

En la definición de tramas super FEC habrá que describir funciones de tara (OH, *overhead*) que realizan tareas de mantenimiento. Las funciones descritas en esta cláusula se utilizan para medir la calidad de transmisión, pero aún están por estudiar las condiciones concretas.

8.1 Supervisión de calidad de la señal

Es necesario trazar una técnica de evaluación de errores para determinar la calidad de transmisión, por ejemplo la evaluación de errores por paridad de bits intercalados (BIP) o una evaluación del número de bits de corrección en FEC. La conformidad con esta Recomendación exige una evaluación de errores para determinar la calidad de funcionamiento.

8.2 Supervisión de conectividad

Es necesario trazar el camino, por ejemplo mediante la técnica de identificador TTI, para evitar un error de conexión.

Apéndice I

Esquemas super FEC

I.1 Presentación general

En el cuadro I.1 se indican los esquemas super FEC descritos en este apéndice. En las siguientes subcláusulas se describe cada uno de los esquemas super FEC del cuadro I.1.

Cuadro I.1/G.975.1 – Los distintos esquemas super FEC

Cláusula	Esquema FEC	
	Concatenado o no concatenado	Código FEC utilizado
I.2	FEC concatenado	Código exterior: RS(255,239) Código interior: CSOC ($n_0/k_0 = 7/6$, $J = 8$)
I.3	FEC concatenado	Código exterior: BCH(3860,3824) Código interior: BCH(2040,1930)
I.4	FEC concatenado	Código exterior: RS(1023,1007) Código interior: BCH(2047,1952)
I.5	FEC concatenado (Decisión programada posible)	Código exterior: RS(1901,1855) Código interior: Código de producto Hamming ampliado (512,502) × (510,500)
I.6	FEC no concatenado	Código LDPC
I.7	FEC concatenado	Dos códigos BCH concatenados de forma ortogonal
I.8	FEC no concatenado	RS(2720,2550)
I.9	FEC concatenado	Dos códigos BCH(1020,988) ampliados y entrelazados

I.2 Código super FEC RS(255,239)/CSOC ($n_0/k_0 = 7/6$, $J = 8$)

I.2.1 Presentación general

En esta cláusula se describe un esquema super FEC con mayor capacidad de corrección de errores que el código RS(255,239). Este esquema super FEC, representado en la figura I.1, utiliza el código RS concatenado y el código convolucional autoortogonal (CSOC). El primero, RS(255,239), es el código exterior y CSOC ($n_0/k_0 = 7/6$, $J = 8$) es el código interior, siendo k_0 el número de bits a codificar, n_0 el número de bits codificados y J el número de conjuntos de verificación ortogonal. Se utiliza un entrelazador y desentrelazador entre los códigos interior y exterior.

Los códigos concatenados pueden realizar una codificación iterativa, y también los CSOC pueden realizar la decodificación iterativa de forma independiente. Estas técnicas pueden mejorar la capacidad de corrección de errores sin aumentar la relación de código. Cada proveedor determina el número de iteraciones.

El esquema super FEC proporciona una ganancia de codificación neta de 7,95 dB con una BER corregida de $1E-12$, redundancia de 24,48% y decodificación CSOC en tres iteraciones.

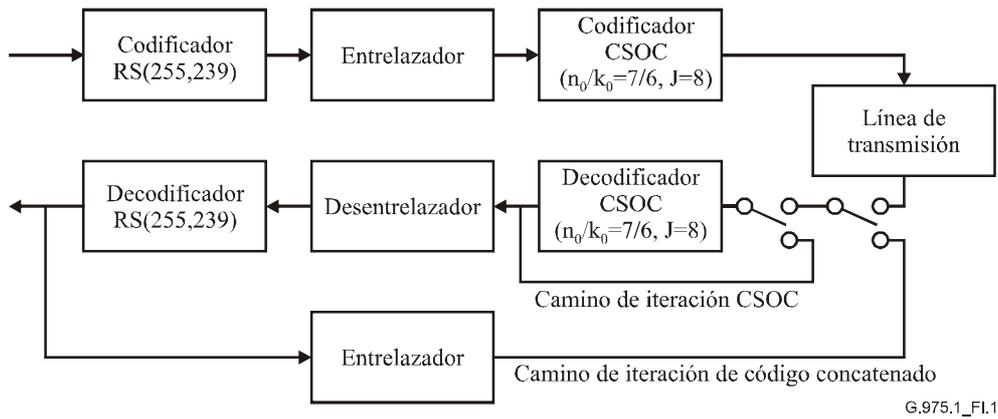


Figura I.1/G.975.1 – Esquema super FEC

I.2.2 Algoritmo FEC

El esquema super FEC utiliza el código RS(255,239) concatenado y el código CSOC ($n_0/k_0 = 7/6, J = 8$). Véase en I.2.2.3 una especificación pormenorizada de RS(255,239), CSOC ($n_0/k_0 = 7/6, J = 8$) y la estructura de tramas.

I.2.2.1 Código RS(255,239)

El código RS (255,239) no es binario (el algoritmo FEC funciona con símbolos de 8 bits) y pertenece a la familia de códigos de bloque cíclico lineales y sistemáticos.

El polinomio generador del código es:

$$G(D) = \prod_{i=0}^{15} (D - \alpha^i) \quad (\text{I-1})$$

siendo α una raíz del polinomio binario primitivo $x^8 + x^4 + x^3 + x^2 + 1$. Un byte de datos ($d_7, d_6, \dots, d_1, d_0$) se identifica con el elemento $d_7 \cdot \alpha^7 + d_6 \cdot \alpha^6 + \dots + d_1 \cdot \alpha^1 + d_0$ en GF (256), que es el campo finito con 256 elementos. La palabra de código RS(255,239) está formada por 239 bytes de información y 16 bytes de paridad. El código RS(255,239) puede corregir hasta 8 errores de símbolo en una sola palabra de código.

I.2.2.2 Código CSOC ($n_0/k_0 = 7/6, J = 8$)

Los códigos CSOC están definidos por sus polinomios generadores. El código super FEC utiliza los siguientes polinomios generadores.

$$\begin{aligned}
 G^{(5)}(D) &= 1 + D^{35} + D^{80} + D^{119} + D^{161} + D^{193} + D^{209} + D^{269} \\
 G^{(4)}(D) &= 1 + D^{87} + D^{173} + D^{192} + D^{197} + D^{217} + D^{251} + D^{258} \\
 G^{(3)}(D) &= 1 + D^{31} + D^{82} + D^{93} + D^{94} + D^{96} + D^{200} + D^{218} \\
 G^{(2)}(D) &= 1 + D^{91} + D^{99} + D^{114} + D^{120} + D^{166} + D^{170} + D^{297} \\
 G^{(1)}(D) &= 1 + D^{13} + D^{22} + D^{49} + D^{77} + D^{348} + D^{385} + D^{418} \\
 G^{(0)}(D) &= 1 + D^{69} + D^{95} + D^{112} + D^{142} + D^{152} + D^{210} + D^{263}
 \end{aligned} \quad (\text{I-2})$$

En la figura I.2 se ha representado el esquema de codificación y decodificación CSOC ($n_0/k_0 = 7/6, J = 8$). El codificador CSOC añade un bit de paridad a cada grupo de seis bits de información, y transmite siete bits codificados en secuencia. La secuencia de paridad $P(D)$ viene dada por la siguiente fórmula:

$$P(D) = \sum_{i=0}^5 M^{(i)}(D)G^{(i)}(D) \quad (I-3)$$

donde $M^{(i)}(D)$ es la secuencia de información.

El decodificador CSOC genera una secuencia total de control de paridad $S(D)$ con una réplica del codificador. Fórmula para calcular la secuencia total de control de paridad $S(D)$:

$$\begin{aligned} S(D) &= [P(D) + F(D)] + \sum_{i=0}^5 [M^{(i)}(D) + E^{(i)}(D)] G^{(i)}(D) \\ &= \left[\sum_{i=0}^5 M^{(i)}(D)G^{(i)}(D) + F(D) \right] + \sum_{i=0}^5 [M^{(i)}(D) + E^{(i)}(D)] G^{(i)}(D) \\ &= \sum_{i=0}^5 E^{(i)}(D)G^{(i)}(D) + F(D) \end{aligned} \quad (I-4)$$

donde $E^{(i)}(D)$ es la secuencia de error en la secuencia de información $M^{(i)}(D)$. $F(D)$ es la secuencia de error en la secuencia de paridad.

El código CSOC ($n_0/k_0 = 7/6, J = 8$) proporciona seis conjuntos de ocho totales de control de paridad ortogonales. Cada conjunto permite verificar un bit de información. En el decodificador de umbral, se considera que un bit de información tiene un error si el primer total de control de paridad del conjunto tiene el valor umbral (Th) o un valor superior. El valor umbral ha de ser superior a $J/2$. Los códigos CSOC pueden realizar una decodificación iterativa independiente.

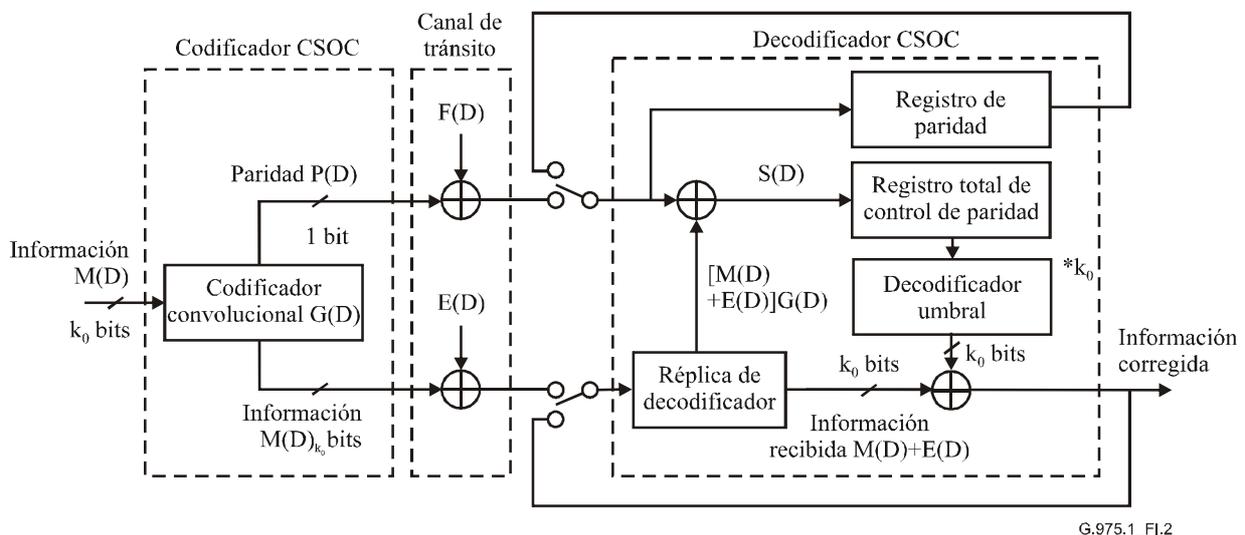


Figura I.2/G.975.1 – Codificador y decodificador de códigos CSOC

I.2.2.3 Estructura de trama

En la figura I.3 se ha representado el formato de trama que el codificador RS entrega al entrelazador, llamado por facilidad "formato de trama RS". El formato de trama RS está formado por 16 palabras de código RS(255,239).

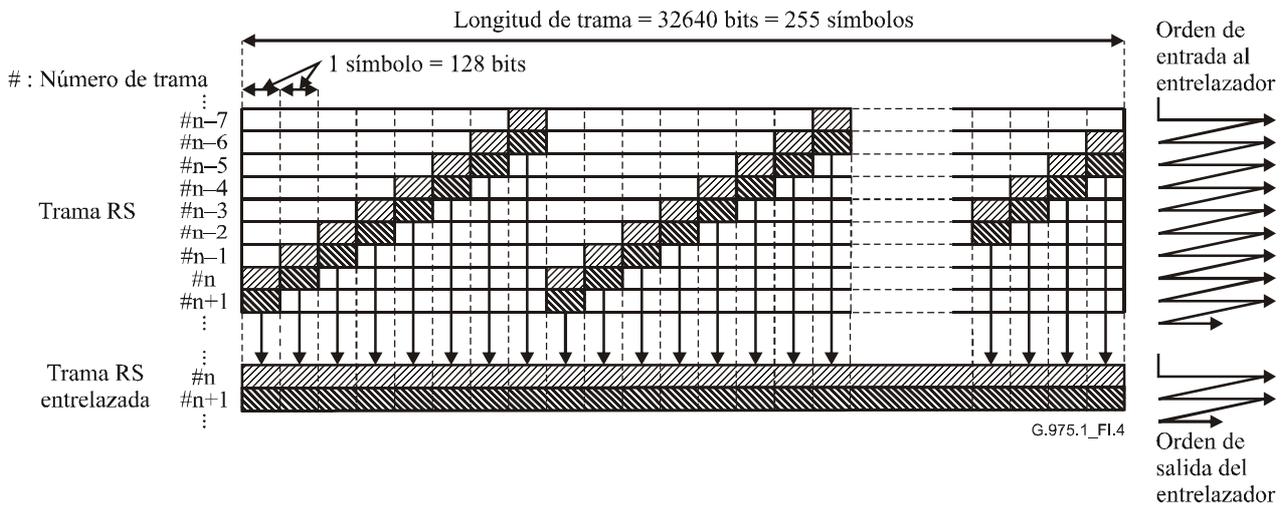


Figura I.4/G.975.1 – Formato de trama RS entrelazada

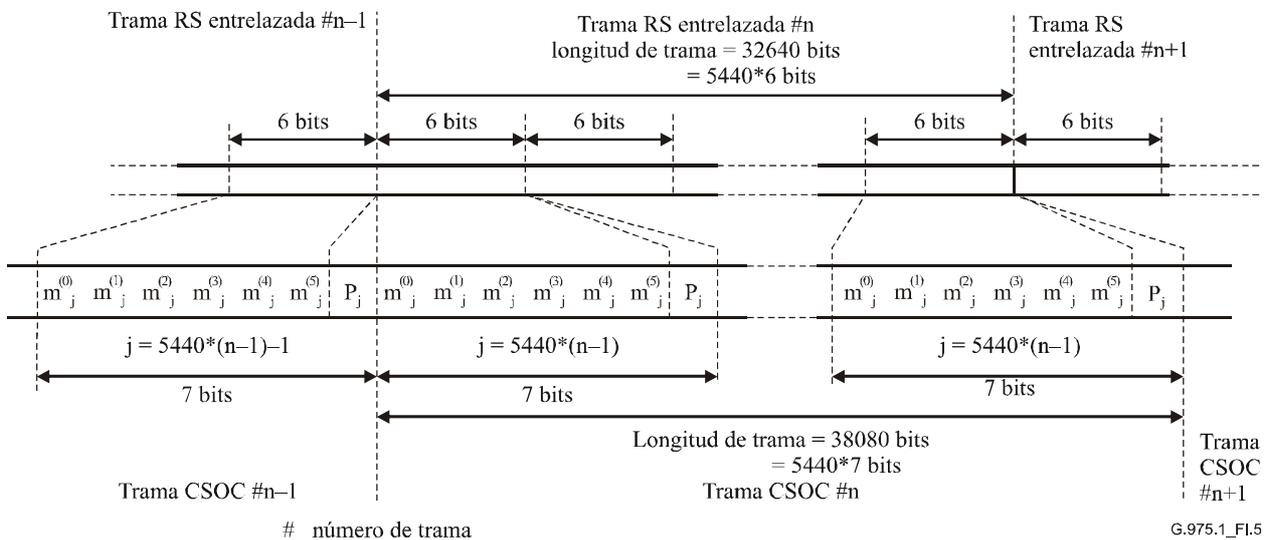


Figura I.5/G.975.1 – Formato de trama CSOC

I.2.3 Capacidad de corrección de errores

La capacidad de corrección de errores del código super FEC depende del número de iteraciones y los valores umbral del decodificador CSOC. En la figura I.6 se representa un ejemplo de decodificador super FEC que realiza tres iteraciones de decodificación CSOC. Los valores umbral de la primera, la segunda y la tercera decodificación CSOC son siete, seis y cinco respectivamente. El cuadro I.2 y la figura I.7 indican la capacidad de corrección de errores. En la figura I.7 se compara la capacidad de corrección de errores de un decodificador RS(255,239) y un decodificador super FEC.

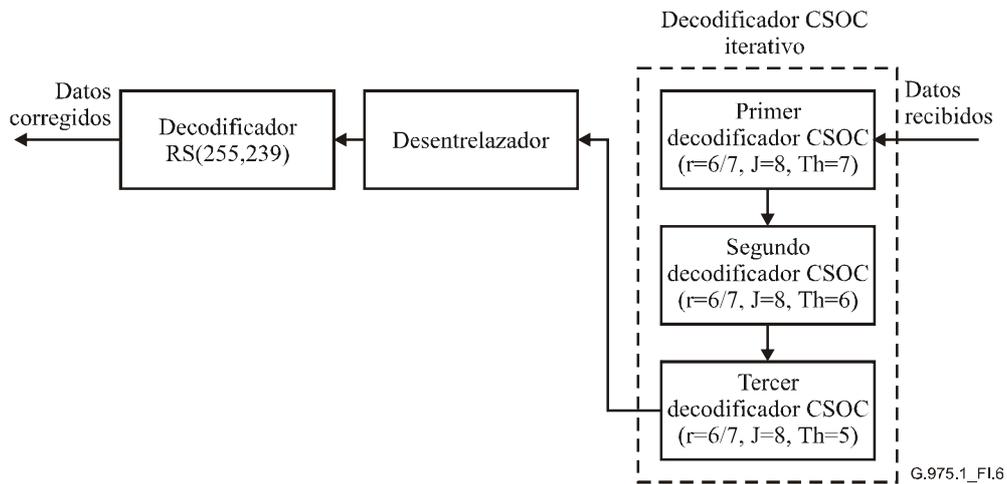


Figura I.6/G.975.1 – Ejemplo de decodificador super FEC

Cuadro I.2/G.975.1 – Capacidad de corrección de errores

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
6,50E-03	1,00E-09	6,70	7,66	7,9022
6,30E-03	1,00E-10	7,19	8,13	7,9410
6,05E-03	1,00E-11	7,59	8,54	7,9908
5,80E-03	1,00E-12	7,95	8,90	8,0421
5,60E-03	1,00E-13	8,29	9,24	8,0843
5,40E-03	1,00E-14	8,60	9,55	8,1278
5,20E-03	1,00E-15	8,88	9,83	8,1724
5,00E-03	1,00E-16	9,12	10,07	8,2183

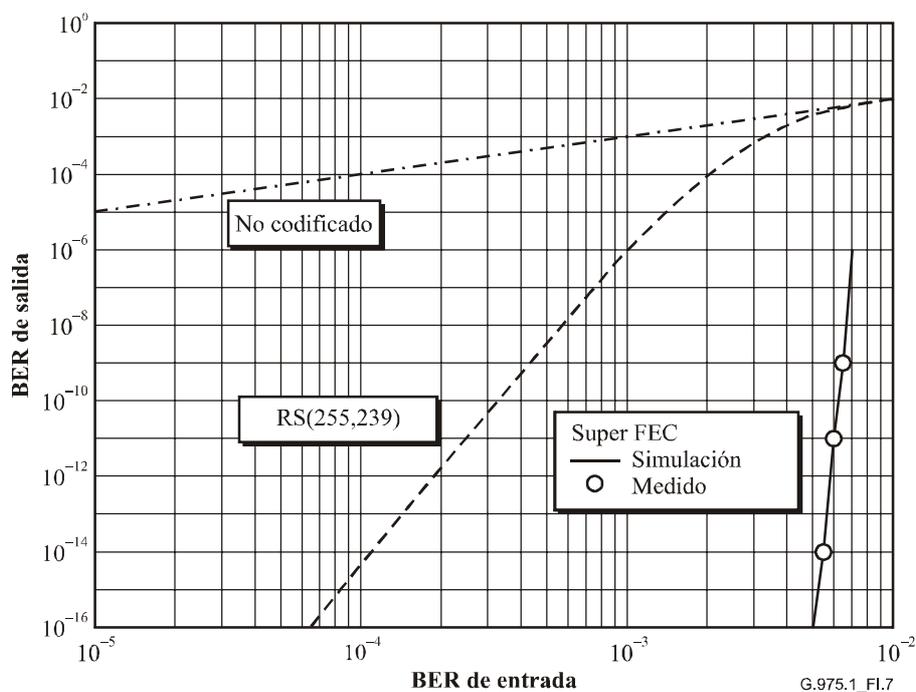


Figura I.7/G.975.1 – Características de la BER con decodificador super FEC

I.2.4 Relación de redundancia

La relación de redundancia del código super FEC es 24,48%.

I.2.5 Latencia

Con el código super FEC, el tiempo de transmisión adicional será de 25 μ s aproximadamente para la transmisión de 10 Gbit/s de cabida útil.

I.2.6 Propiedad particular

La ventaja del código super FEC es su sencillez, y la ventaja reconocida del código CSOC es la facilidad de implementación.

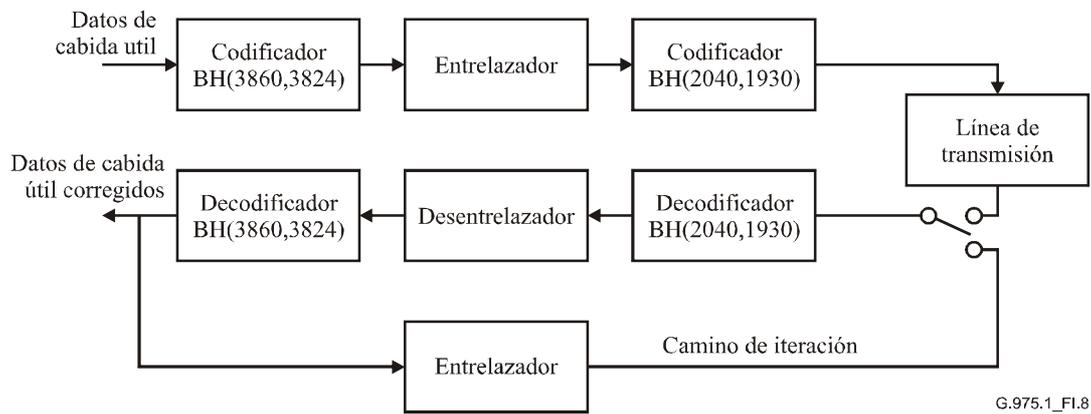
I.3 Código super FEC por códigos BCH concatenados

I.3.1 Presentación general

Esta cláusula describe un esquema super FEC que tiene mayor capacidad de corrección de errores que el código RS (255,239). En la figura I.8 se ha representado el esquema super FEC que utiliza el códigos BCH concatenados. El código BCH(3860,3824) se utiliza como código exterior, y el código BCH (2040,1930) se utiliza como código interior. Hay un entrelazador y un desentrelazador entre los códigos interior y exterior.

Los códigos concatenados pueden realizar una decodificación iterativa. Es una técnica que permite mejorar la capacidad de corrección de errores sin aumentar la relación de código. Cada proveedor determina el número de iteraciones.

El esquema super FEC permite obtener una ganancia de codificación neta de 7,98 dB con una BER corregida de $1E-12$, redundancia de 6,69% y decodificación iterativa en tres etapas.



G.975.1_F1.8

Figura I.8/G.975.1 – Esquema super FEC

I.3.2 Algoritmo FEC

El esquema super FEC utiliza los códigos BCH(3860,3824) y BCH(2040,1930) concatenados. Véase la especificación de los códigos BCH(3860,3824), BCH(2040,1930) y la estructura de trama en I.3.2.3

I.3.2.1 Código BCH(3860,3824)

El código BCH(3860,3824) es binario, y la fórmula del polinomio generador es:

$$G(x) = M_1(x)M_3(x)M_5(x)$$

$$M_i(x) = \prod_{j=1}^{12} (x - \alpha^{i*j})$$

siendo $M_i(x)$ polinomios mínimos y α una raíz del polinomio binario primitivo $x^{12} + x^{11} + x^8 + x^6 + 1$. La palabra de código en BCH(3860,3824) está formada por 3824 bits de información y 36 bits de paridad. El código BCH(3860,3824) puede corregir hasta 3 errores de los bits en una palabra de código.

I.3.2.2 Código BCH(2040,1930)

El código BCH(2040,1930) es binario, y la fórmula del polinomio generador es:

$$G(x) = M_1(x)M_3(x)M_5(x)M_7(x)M_9(x)M_{11}(x)M_{13}(x)M_{15}(x)M_{17}(x)M_{19}(x)$$

$$M_i(x) = \prod_{j=1}^{11} (x - \alpha^{i*j})$$

siendo $M_i(x)$ los polinomios mínimos y α una raíz del polinomio binario primitivo $x^{11} + x^2 + 1$. La palabra de código en BCH(2040,1930) está formada por 1930 bits de información y 110 bits de paridad. El código BCH(2040,1930) puede corregir hasta 10 errores de los bits en una palabra de código.

I.3.2.3 Estructura de trama

En la figura I.9 se representa el formato de la trama entregada por el codificador BCH(3860,3824) al entrelazador. Para facilitar la explicación lo hemos llamado "formato de trama BCH(3860,3824)". El formato de trama BCH(3860,3824) consiste en ocho palabras de código BCH(3860,3824). Una palabra de código BCH(3860,3824) está formada por 3824 bits de información y 36 bits de paridad.

En la figura I.10 se representa el formato de las tramas entregadas por el entrelazador al codificador BCH(2040,1930), que llamamos "formato de trama BCH(3860,3824) entrelazado".

En la figura I.11 se representa el formato de las tramas entregadas por el codificador BCH(2040,1930) a la línea de transmisión. El codificador BCH(2040,1930) reemplaza los datos de relleno de la trama BCH(3860,3824) por datos de verificación de paridad. El formato de trama BCH(2040,1930) consiste en 16 palabras de código BCH(2040,1930). Una palabra de código de BCH(2040,1930) está formada por 1930 bits de información y 110 bits de paridad. En los bits de información hay 1912 bits de cabida útil y 18 bits de paridad de BCH(3860,3824).

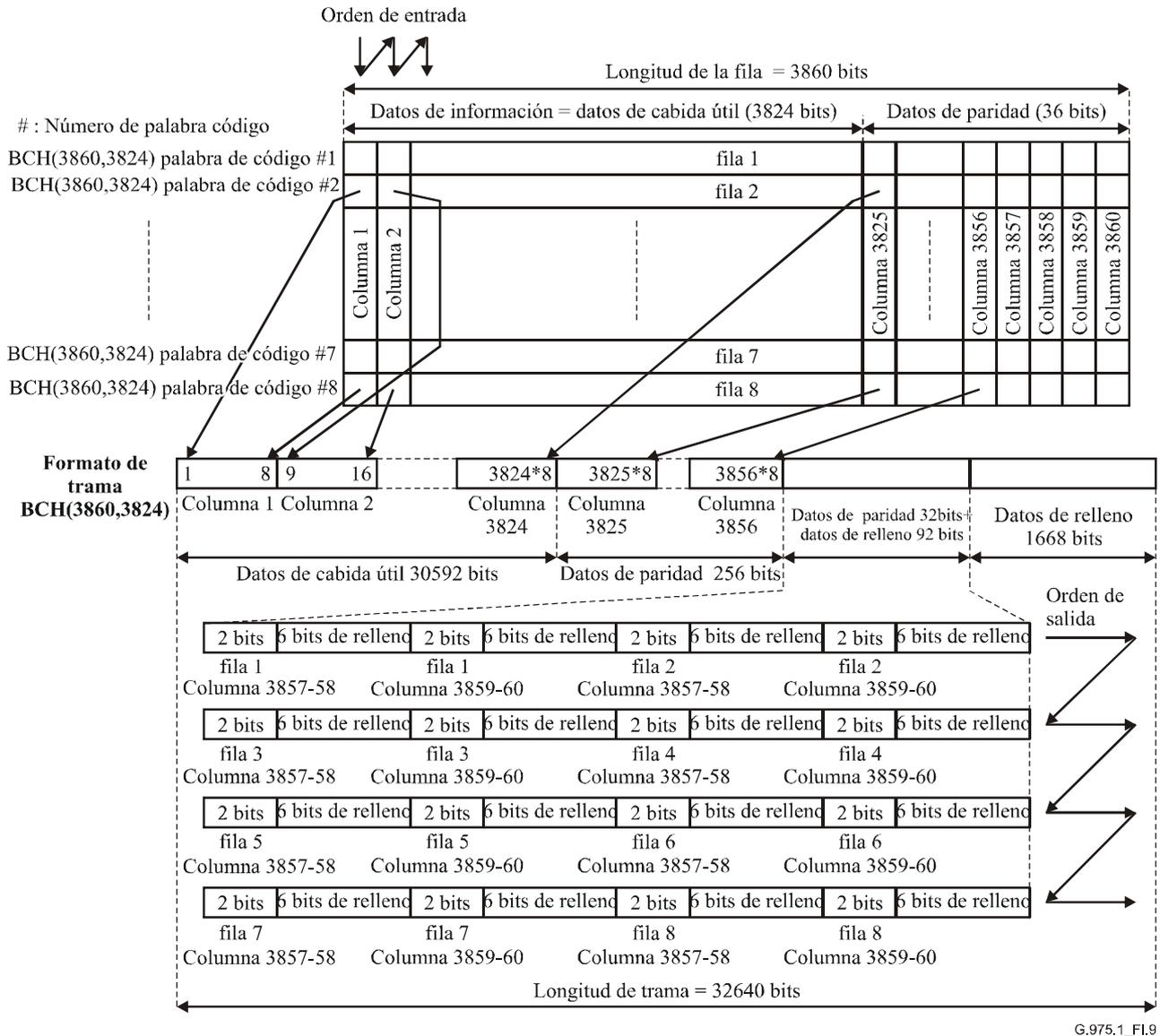


Figura I.9/G.975.1 – Formato de trama BCH(3860,3824)

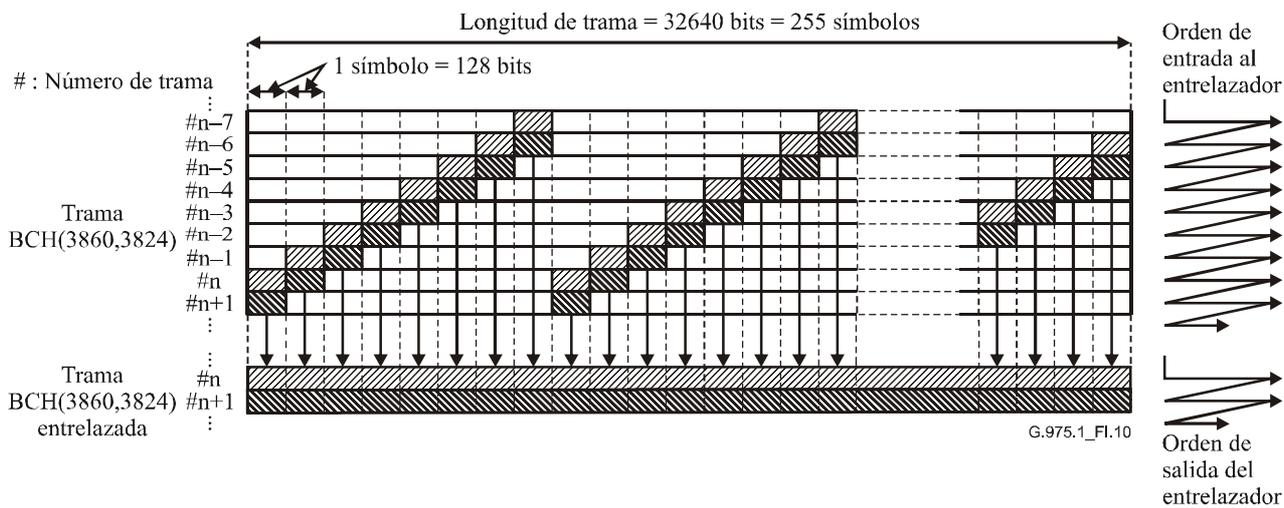


Figura I.10/G.975.1 – Formato de trama BCH(3860,3824) entrelazada

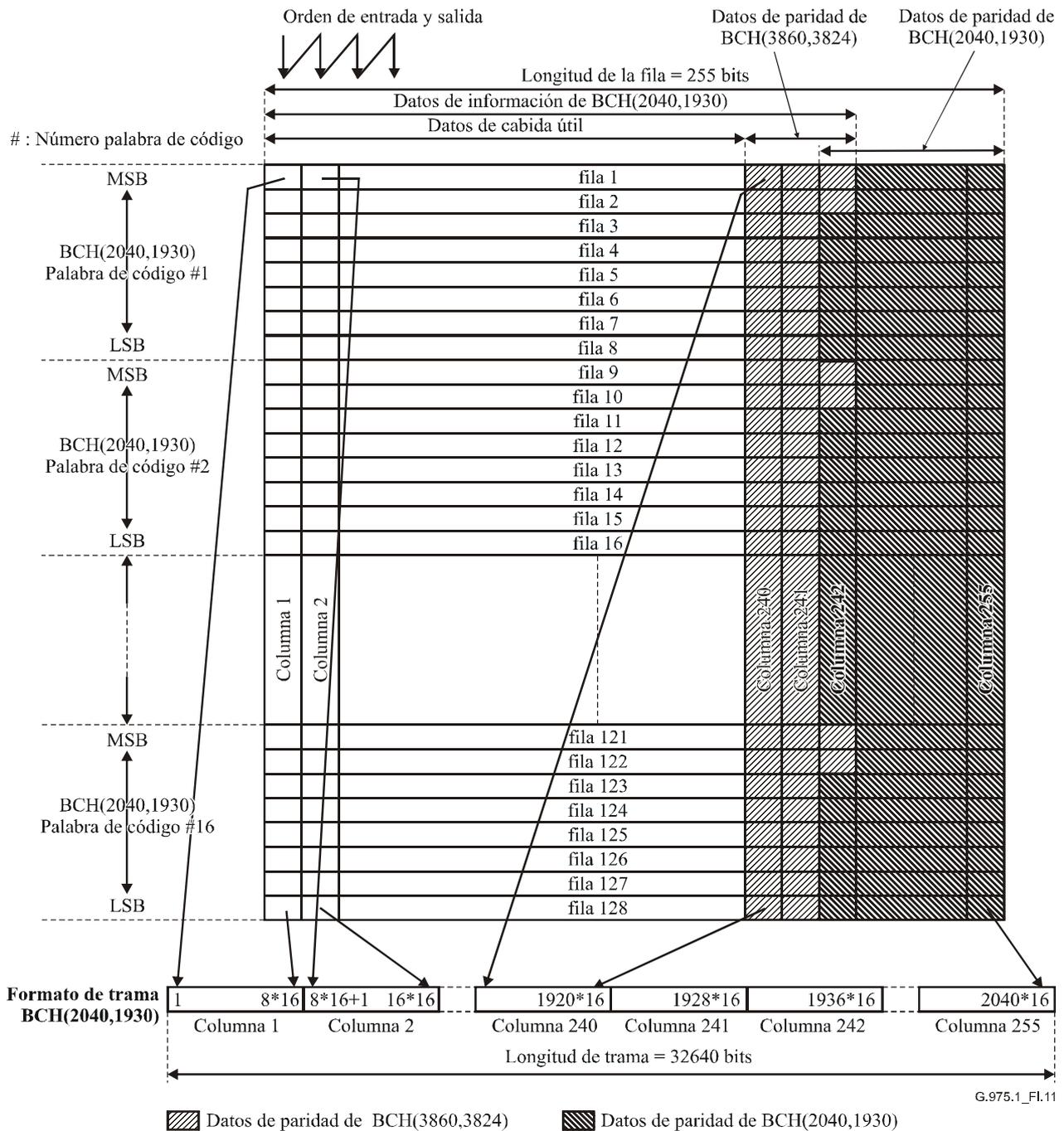


Figura I.11/G.975.1 – Formato de trama BCH(2040,1930)

I.3.3 Capacidad de corrección de errores

La capacidad de corrección de errores del código super FEC depende del número de iteraciones. El cuadro I.3 y la figura I.12 indican la capacidad de corrección de errores con tres decodificaciones iterativas.

Cuadro I.3/G.975.1 – Capacidad de corrección de errores

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
3,50E-03	1,00E-09	6,66	6,94	8,6171
3,44E-03	1,00E-10	7,15	7,44	8,6356
3,37E-03	1,00E-11	7,59	7,87	8,6575
3,30E-03	1,00E-12	7,98	8,26	8,6798
3,25E-03	1,00E-13	8,35	8,63	8,6959
3,20E-03	1,00E-14	8,68	8,96	8,7123
3,15E-03	1,00E-15	8,99	9,27	8,7288
3,10E-03	1,00E-16	9,26	9,54	8,7455

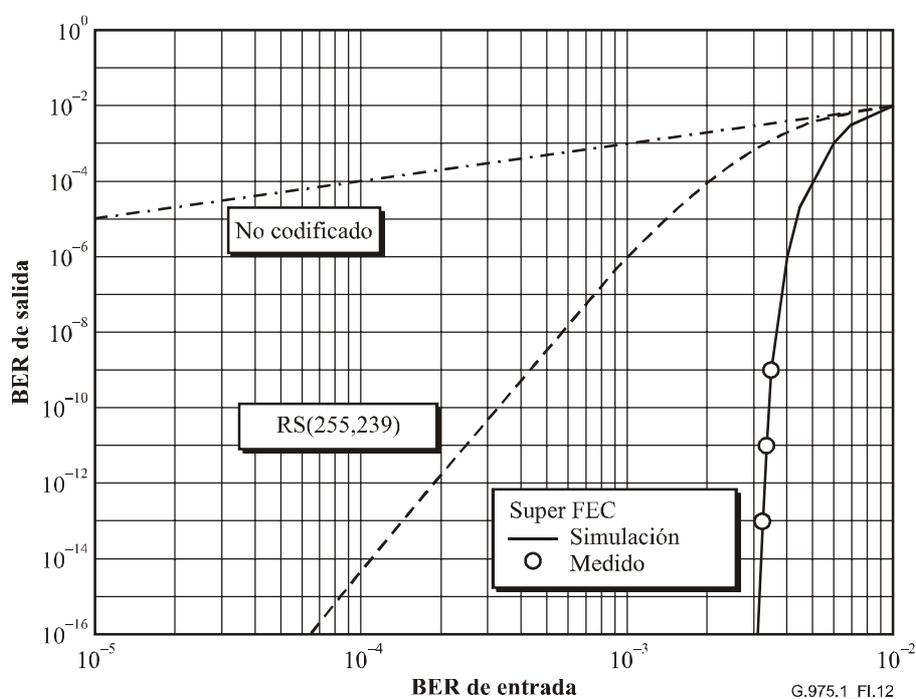


Figura I.12/G.975.1 – Características de la BER del decodificador super FEC

I.3.4 Relación de redundancia

La relación de redundancia del código super FEC es 6,69%.

I.3.5 Latencia

Con el código super FEC, el tiempo de transmisión adicional será de 100 μ s aproximadamente para la transmisión de 10 Gbit/s de cabida útil.

I.3.6 Propiedad particular

Este esquema super FEC presenta la misma relación de código que las tramas G.709/Y.1331 y G.975. No hay más tara que en las tramas G.709/Y.1331 y G.975 con una codificación RS(255,239).

I.4 Código super FEC por códigos RS(1023,1007)/BCH(2047,1952)

I.4.1 Presentación general

Este código super FEC consiste en dos códigos entrelazados:

Código principal exterior RS(1023,1007), $m = 10$, $T = 8$

Código principal interior BCH(2047,1952), $m = 11$, $T = 8$

El objetivo de estos dos códigos entrelazados es elevar la ganancia de codificación de la cabida útil de la unidad de datos de canal óptico (ODU) estándar G.709/Y.1331, siempre con la misma relación de datos en la unidad de transporte de canal óptico (OTU) G.709/Y.1331, es decir 7% de tara.

I.4.2 Algoritmos super FEC

I.4.2.1 Entrelazado del código

La cabida útil ODU consiste en $16 \times 239 \times 4 \times 8$ bits = 122368 bits en total, que primero se dividen en 16 grupos y luego se codifican con los códigos 15 RS(781,765) y 1 RS(778,762), que son códigos abreviados del código primario antes indicado. Como este código primario funciona sobre un campo de Galois $m = 10$, los datos están reunidos en dectetos y el tratamiento que se realiza corresponde a esta organización. Para facilitar la explicación del entrelazado, numeramos los bits de cabida útil ODU así: odu[0], odu[1] hasta odu[122367]. Odu[0] es el primer bit transmitido, al que sigue odu[1] y así sucesivamente hasta odu[122367], es decir según términos G.709/Y.1331. El primer byte OA1 de una trama G.709/Y.1331 sería: {odu[0], odu[1], odu[2], odu[3], odu[4], odu[5], odu[6], odu[7]} = 0xf6.

Considérese ahora la introducción de los bits odu en la porción cabida útil de los códigos RS utilizando esta forma de notación. El primer código RS[0] es un RS(781,765) sobre $m = 10$, y por tanto es necesario introducir 765×10 bits en los primeros 765 dectetos de este código. Entonces los bits odu[0] ... odu[9] forman el primer decteto del primer código RS, y los bits odu[10] ... odu[19] forman el segundo decteto de RS[0]. Los bits se introducen de forma repetida en los 765 dectetos de RS[0] hasta obtener un total de 7650 bits, es decir odu[0] ... odu[7649]. Entonces se codifican los datos utilizando el código RS sobre $m = 10$ y $T = 8$, y se añaden al código 2T símbolos de paridad. Por consiguiente, los siguientes 16×10 bits son de paridad RS.

Considérense ahora los datos de salida de la OTU: $16 \times 255 \times 4 \times 8$ bits o 130560 bits, que se van a enumerar otu[0]...otu[130559]. La correspondencia entre el primer código RS y la otu de salida es la siguiente: odu[0]...odu[7649] \rightarrow otu[0]...otu[7649]. La correspondencia entre los siguientes 160 bits de paridad RS y la otu es la siguiente: rsparity[0]...rsparity[159] \rightarrow otu[7650]...otu[7809].

Habiendo terminado el primer código RS, se establece una correspondencia entre los siguientes 7650 bits de odu y la otu: odu[7650]...odu[15299] \rightarrow otu[7810]...otu[15459]. Estos 765 dectetos tienen una codificación RS, y los 160 bits de paridad RS se introducen en la otu de salida: rsparity[0]...rsparity[159] \rightarrow otu[15460]...otu[15619].

Este proceso se repite de la misma forma para los 15 códigos RS. Para el 16º código (el último) hay $122368 - 15 \times 765 \times 10 = 7618$ bits de odu restantes. Estos bits se colocan en 762 dectetos y los últimos 2 bits restantes se rellenan con 0 y se colocan en el último decteto. Estos 762 dectetos se codifican con el código RS(778,762) y se añaden, como antes, 160 bits de paridad a la otu de salida: odu[114749]...odu[122367] \rightarrow otu[117149]...otu[124767]. Los últimos 2 bits se rellenan con 0 a los fines de la codificación RS, pero no se transmiten efectivamente en la otu de salida. Los 160 bits de paridad se añaden así: rsparity[0]...rsparity[159] \rightarrow otu[124768]...otu[124927].

Después de completar el código RS exterior se añade el código BCH interior a la otu. Los 124928 bits otu serán reflejados en 64 códigos idénticos de BCH(2047,1952) con $m = 11$ y $T = 8$, véase más arriba el código primario. Para ello será necesario reunir los 124928 bits en 64 particiones de 1952 bits. La relación de correspondencia BCH es: otu[0] es el primer bit para

BCH[0], otu[1] es el primer bit para BCH[1] y así sucesivamente hasta otu[63] que es el primer bit para BCH[63]. A continuación, otu[64] es el segundo bit para BCH[0], otu[65] es el segundo bit para BCH[1], y este proceso se repite hasta consumir todos los 124928 bits otu para los 64 códigos BCH.

Para cada uno de los 64 códigos BCH los 1952 bits de cabida útil se codifican y se añaden 88 bits de paridad al resultado. Estos 88 bits se obtienen aplicando $T = 8$ y $m = 11$ para los códigos BCH. La paridad BCH se añade a la salida de esta forma:

BCH[0] bchparity[0] \rightarrow otu[124928], BCH[1] bchparity[0] \rightarrow otu[124929] y así sucesivamente hasta BCH[63] bchparity[0] \rightarrow otu[124992]. Entonces se añade el siguiente bit de cada código BCH a la otu de salida: BCH[0] bchparity[1] \rightarrow otu[124993], y así sucesivamente hasta que los 64 códigos BCH utilicen sus 88 bits de paridad, es decir: BCH[63] bchparity[87] \rightarrow otu[130559] es el último bit de la trama otu de salida.

I.4.2.2 Codificador Reed-Solomon

El polinomio binario primitivo es:

$$p(x) = x^{10} + x^3 + 1$$

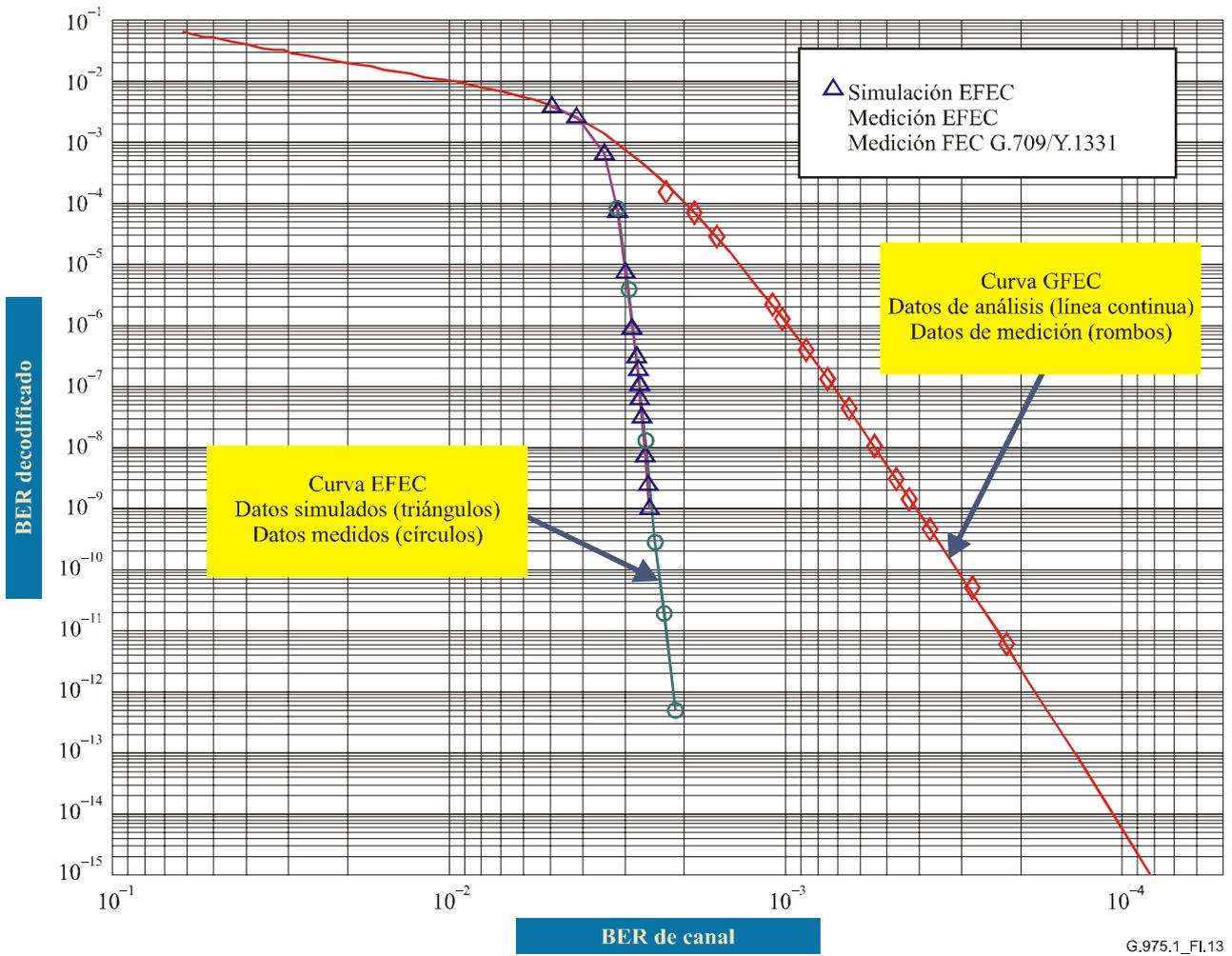
I.4.2.3 Codificador BCH

El polinomio binario primitivo es:

$$p(x) = x^{11} + x^2 + 1$$

I.4.3 Capacidad de corrección de errores

El cuadro I.4 y las figuras I.13 y I.14 indican la capacidad de corrección de errores de este código super FEC.



G.975.1_FI.13

Figura I.13/G.975.1 – Resultados

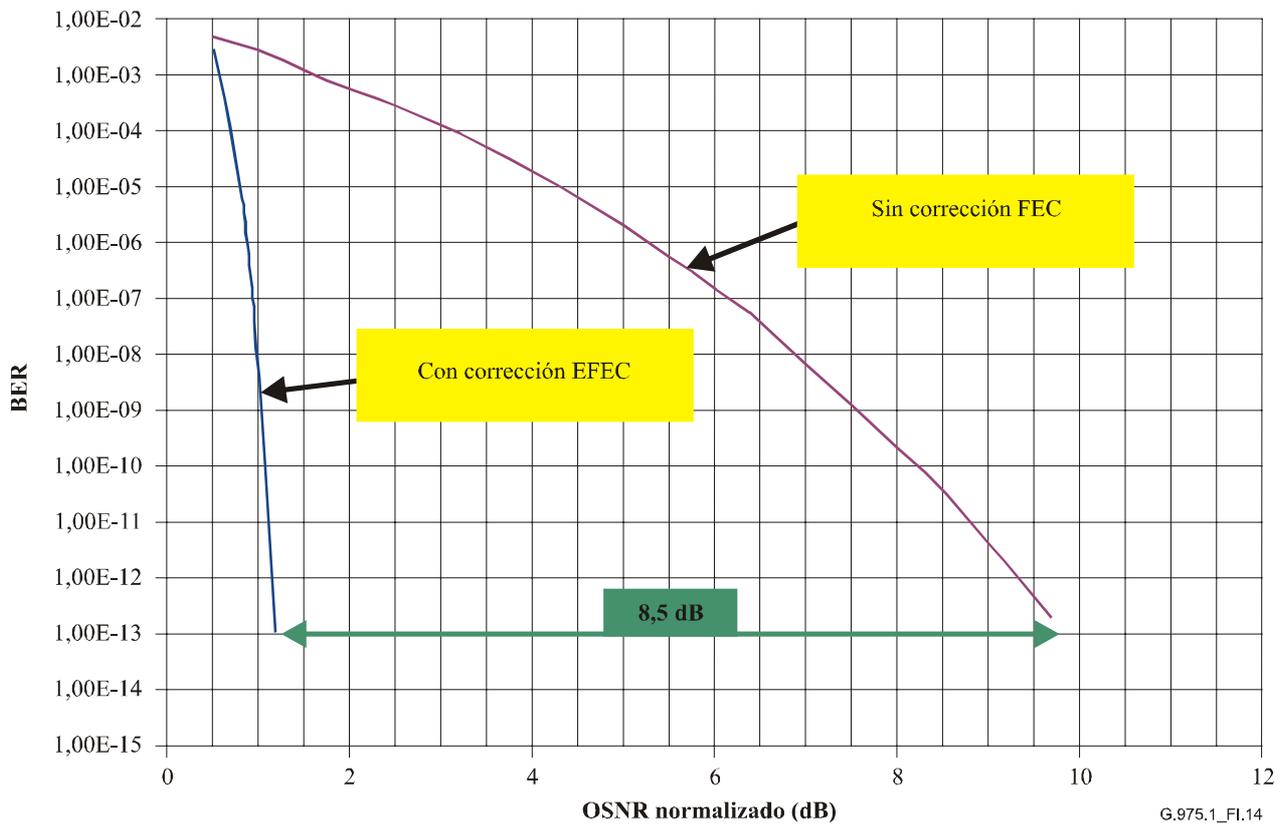


Figura I.14/G.975.1 – Ganancia de codificación neta

Cuadro I.4/G.975.1 – Capacidad de corrección de errores

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
$2,41 \times 10^{-3}$	10^{-9}	6,31	6,59	9,0013
$2,35 \times 10^{-3}$	10^{-10}	6,83	7,11	9,0262
$2,30 \times 10^{-3}$	10^{-11}	7,30	7,58	9,0473
$2,26 \times 10^{-3}$	10^{-12}	7,63	7,91	9,0645
$2,23 \times 10^{-3}$	10^{-13}	8,03	8,31	9,0775
$2,20 \times 10^{-3}$	10^{-14}	8,34	8,62	9,0906
$2,17 \times 10^{-3}$	10^{-15}	8,67	8,95	9,1034

I.4.4 Relación de redundancia

La relación de redundancia del código RS(1023,1007)/BCH (2047,1952) entrelazado es 7%, igual a la relación del sistema FEC RS anterior definido en la Rec. UIT-T G.975.

I.4.5 Latencia

La latencia dependerá de la implementación. En las implementaciones actuales se ha observado poca latencia.

I.4.6 Propiedad particular

Este código tiene gran capacidad de corrección de errores en situaciones de funcionamiento muy diversas y con tasas de errores muy diferentes. Se han elegido estas opciones de códigos interior y exterior porque se obtienen buenos resultados con pocas iteraciones (uno o dos) y la latencia es

inferior a la de muchos códigos que dan resultados similares pero con un número superior de iteraciones. Con estos códigos también se garantiza que no habrá deformación en las curvas de resultados dentro de los límites de funcionamiento considerados (valores BER inferiores a 10^{-20}).

I.5 Esquema super FEC con código RS y código de producto concatenados

I.5.1 Presentación general

Este código FEC tiene mayor capacidad de corrección de errores que el código RS(255,239) exactamente con la misma cantidad de tara, y permite realizar una codificación por decisión programada. La figura I.15 es una representación general de este esquema super FEC de código concatenado, que utiliza un código exterior Reed-Solomon RS(1901,1855) y un código interior de producto Hamming ampliado $(512,502) \times (510,500)$.

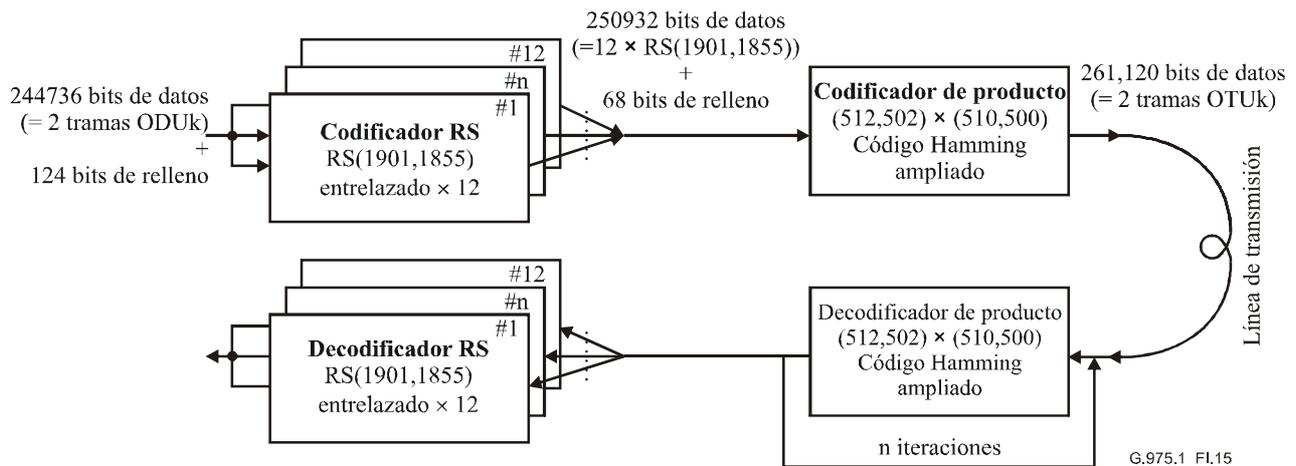


Figura I.15/G.975.1 – Esquema FEC más eficaz

I.5.2 Algoritmo super FEC

I.5.2.1 Codificación RS

El código exterior RS exterior utilizado es RS(1901,1855), y el polinomio generador es:

$$G(z) = \prod_{i=0}^{45} (z - \alpha^{i+1001})$$

siendo α la raíz del polinomio binario primitivo $x^{11} + x^2 + 1$.

Los elementos de $GF(2^{11})$ están representados sobre la base del polinomio. Los bits de un símbolo se transmiten empezando por el más significativo, y los símbolos de una palabra de código se transmiten empezando por el símbolo más significativo. Los primeros 1855 símbolos contienen datos y los siguientes 46 símbolos paridad.

Hay 12 palabras de código RS(1901,1855) entrelazadas: los datos de cabida útil de entrada están repartidos sobre estos entrelazados en un ordenamiento cíclico por símbolo.

Hay 124 bits que se rellenan con ceros:

- 1) Los 3 bits menos significativos del último símbolo de datos del primer entrelazado se rellenan con ceros.
- 2) Los últimos símbolos de datos de los 11 entrelazados restantes se rellenan con ceros.

El número total de bits de datos de entrada para los 12 códigos RS es 244736 ($= 11 \times 12 \times 1855 - 124$). Es exactamente el mismo número de dos tramas ODU.

I.5.2.2 Codificación con código de producto

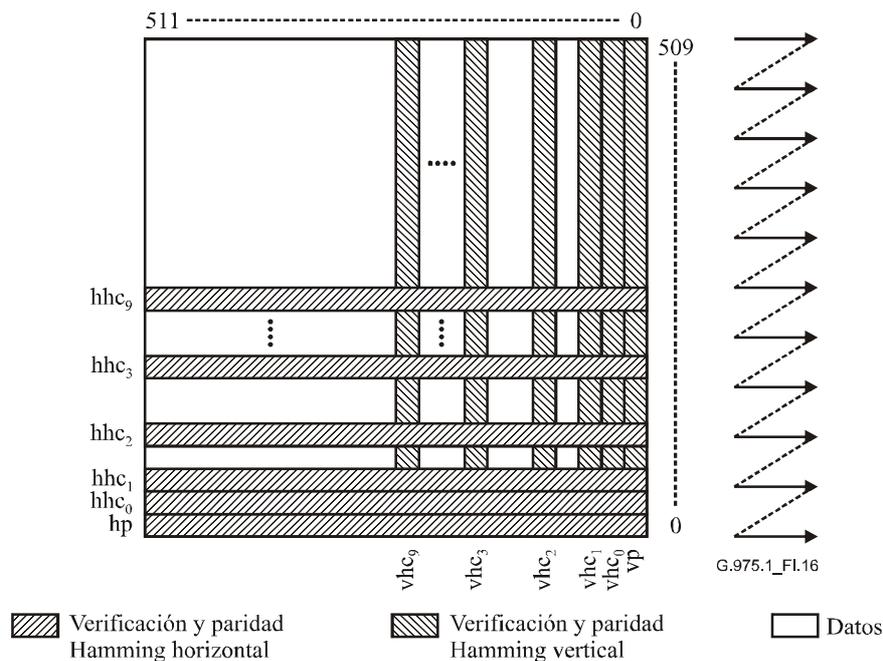


Figura I.16/G.975.1 – Matriz de código de producto

Describimos aquí la disposición de los bits de verificación Hamming en la codificación de una fila con código de producto. Para facilitar la explicación, los bits de cada fila están numerados de 511 hasta 0, con lo que se atribuye un "número de posición" a cada bit. Las posiciones que tienen un número de potencia 2 están ocupadas por bits de verificación Hamming. La posición 0 está ocupada por el bit de paridad, y las otras 502 posiciones de la fila se utilizan para los datos.

Los bits de verificación Hamming se calculan por bits mediante una suma módulo-2 de los números de posición de todos los bits de datos cuyo valor es "1". El bit de verificación Hamming 0 se encuentra en la posición 1, el bit de verificación Hamming 1 en la posición 2, el bit de verificación Hamming 2 en la posición 4, etc., y los siguientes bits de verificación Hamming en las posiciones 8, 16, 32, 64, 128 y 256.

Por último, se calcula el bit de paridad haciendo una suma módulo 2 de todos los 511 bits de palabra de código Hamming, y el resultado se asigna a la posición 0.

La codificación de columnas se realiza por el mismo principio, pero el código es más corto porque se retiran los bits de las posiciones 511 y 510.

Entonces, la longitud del código de producto resultante será $512 \times 510 = 261120$ bits codificados, que es exactamente la longitud de dos tramas OTU.

Después de codificar así los datos, la matriz de código de producto se transmite por filas. Primero se transmite el bit de la fila 509 y la columna 511.

I.5.3 Capacidad de corrección de errores

La capacidad de corrección de errores de este código super FEC dependerá del método de decodificación del código de producto interior (por ejemplo, función del número de bits de cuantificación utilizados por un decodificador por decisión programable). En el cuadro I.5 se indica la capacidad de corrección de errores de un decodificador con una cuantificación de dos bits en el receptor (cuatro niveles) y que realiza 8 iteraciones con decisión programable en la entrada y la

salida (SISO)¹. En el cuadro I.6 se indica la capacidad de corrección de errores del mismo decodificador cuando se utiliza con un cuantificador de un solo bit (dos niveles)¹.

Cuadro I.5/G.975.1 – Capacidad de corrección de errores

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
4,7E-03	1,00E-09	7,0	7,3	8,3
4,7E-03	1,00E-10	7,5	7,8	8,3
4,7E-03	1,00E-11	7,9	8,2	8,3
4,6E-03	1,00E-12	8,4	8,6	8,3
4,6E-03	1,00E-13	8,7	9,0	8,3
4,6E-03	1,00E-14	9,1	9,3	8,3
4,5E-03	1,00E-15	9,4	9,7	8,3

Cuadro I.6/G.975.1 – Capacidad de corrección de errores

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
2,0E-03	1,00E-09	6,1	6,4	9,2
2,0E-03	1,00E-10	6,6	6,9	9,2
2,0E-03	1,00E-11	7,0	7,3	9,2
1,9E-03	1,00E-12	7,5	7,7	9,2
1,9E-03	1,00E-13	7,8	8,1	9,2
1,9E-03	1,00E-14	8,2	8,4	9,2
1,9E-03	1,00E-15	8,5	8,8	9,2

La capacidad de corrección de errores en ráfaga de este código super FEC dependerá del método de decodificación del código de producto interior, pero no será inferior a 1024 bits.

I.5.4 Relación de redundancia

La relación de redundancia de este código super FEC es 6,69%, exactamente la misma redundancia del código RS(255,239).

I.5.5 Latencia

La latencia resultante de la codificación y la decodificación de este código super FEC dependerá de la implementación.

I.5.6 Propiedades particulares

La decodificación iterativa se puede aplicar a los códigos de producto. El código Hamming ampliado también permite una decodificación por decisión programable que mejora la ganancia de codificación. Este código de producto permitirá pues hacer una decodificación iterativa programable en la entrada y la salida (SISO, *soft-in-soft-out*). Además el código Hamming ampliado también permite una decodificación por decisión programable poco compleja (dispación

¹ Se indican valores de ganancia de codificación obtenidos por simulación y por análisis.

de capacidad razonable). Los receptores por decisión programable utilizan una cuantificación de 2 o más bits (el proveedor determina el número de bits a utilizar).

I.6 Código super FEC de tipo LDPC

I.6.1 Presentación general

Se describe aquí un código de baja densidad y verificación de paridad (LDPC), binario y sistemático, con una longitud de 32640 (30592 bits que transportan información), que es idéntico en longitud y dimensiones al código estándar entrelazado RS(255,239). Este código LDPC es apropiado para las actuales tecnologías de microcircuito de sistemas ópticos 10G y 40G, y se ha observado que permite obtener una ganancia de codificación sensiblemente superior a la que se obtiene con el código RS normalizado. Esta ganancia adicional permite, por ejemplo, mejorar los parámetros de línea, aumentar la longitud de trama máxima, utilizar especificaciones de fibra menos rigurosas para el componente óptico y la línea, o mejorar la calidad general de la comunicación en condiciones de funcionamiento degradadas.

I.6.2 Algoritmo super FEC

Se trata de un código FEC del tipo de baja densidad y verificación de paridad (LDPC, *low-density parity-check*) binario y sistemático con una longitud de 32640, especificado mediante una matriz binaria bidimensional M de 112 filas y 293 columnas, cuyos elementos se identifican mediante las coordenadas (a,b) , siendo $0 \leq a \leq 111$ y $0 \leq b \leq 292$ como se indica en la figura I.17. Esta matriz, que tiene 32816 bits en total, se rellena con 30592 bits que transportan información y que corresponden a la cabida útil de una trama FEC estándar $239 \times 16 \times 8$ conforme a las siguientes indicaciones. El bit de información número j , siendo $1 \leq j \leq 30592$, se encuentra en la coordenada $(r, 293r + 292 - q)$ en M , siendo $q = j + 172$ y $r = \lfloor q / 293 \rfloor$. Los 173 elementos $(0, 292 - d)$, siendo $0 \leq d \leq 172$, se ponen a 'cero' y no se transmiten. Siendo así, los 30592 bits que transportan información se encuentran en las primeras 105 filas, de la fila 0 hasta la fila 104 ($105 \times 293 - 173 = 30592$ bits). Un total de 2051 ecuaciones de verificación de paridad determinan los valores de las últimas siete filas de M ($7 \times 293 = 2051$ bits) conforme a las siguientes indicaciones. Considérese que las coordenadas de la matriz M forman una cuadrícula de 112×293 puntos. Una línea que no sea horizontal y que pase por la coordenada $(0,c)$ con una pendiente s_i , siendo $0 \leq c \leq 292$ y $0 \leq s_i \leq 292$, constituirá un conjunto de coordenadas $\{(a,b) \mid 0 \leq a \leq 111, b = (as_i + c) \bmod 293\}$; lo anterior significa que cualquier línea no horizontal tiene exactamente 112 puntos, de los cuales siete son posiciones de verificación de paridad. Dicho lo anterior, el código se define seleccionando siete pendientes diferentes s_1, \dots, s_7 , que a su vez especifican siete conjuntos de 293 líneas paralelas a través de cada punto $(0,c)$, siendo $0 \leq c \leq 292$. Esto significa que cada coordenada (a,b) de M , siendo $0 \leq a \leq 111$ y $0 \leq b \leq 292$, es un elemento de siete líneas de 112 elementos cada una que se cruzan en la coordenada (a,b) . Todas las palabras de código del código LDPC cumplen una condición: la suma de verificación de paridad de los 112 bits especificados por cada una de las $(7 \times 293) = 2051$ líneas es igual a 'cero' (se realiza una suma binaria módulo 2). Así están definidos enteramente los valores de bits de verificación situados en las últimas siete filas de M . El sistema de 2051 ecuaciones de verificación de paridad se puede resolver con $2051 - 6 = 2045$ bits de verificación de paridad, y los 6 bits de verificación redundantes se colocan en las posiciones $(v, 292)$, siendo $105 \leq v \leq 110$, conforme a la figura I.17. Estas 6 posiciones se ponen a 'cero' y no se transmiten: sólo se utilizan y se transmiten 2045 bits de los 2048 bits de verificación disponibles por trama. En la figura I.17 se representa la estructura de correspondencia del código LDPC sistemático propuesto de longitud 32640, con 30592 bits que transportan información y 2048 bits de verificación. El formato de las palabras de código LDPC es idéntico al formato de los códigos RS estándar entrelazados. La cabida útil ocupa los primeros $239 \times 16 \times 8$ bits, y está seguida de tres 'ceros' y los 2045 bits de verificación. La secuencia de bits de verificación corresponde a la secuencia de elementos $(105,291), \dots, (105,0), (106,291), \dots, (106,0), (107,291), \dots, (107,0)$,

(108,291), ..., (108,0), (109,291), ..., (109,0), (110,291), ..., (110,0), (111,292), ..., (111,0), es decir, una concatenación de los (6×292) bits de las filas 105 a 110, seguidos por los 293 bits de verificación de la fila 111. Como ya se ha dicho, los primeros elementos de la izquierda ($v, 292$), siendo $105 \leq v \leq 110$, corresponden a los bits de verificación redundantes puestos a 'cero', que no se transmiten y serán regenerados automáticamente en el decodificador.

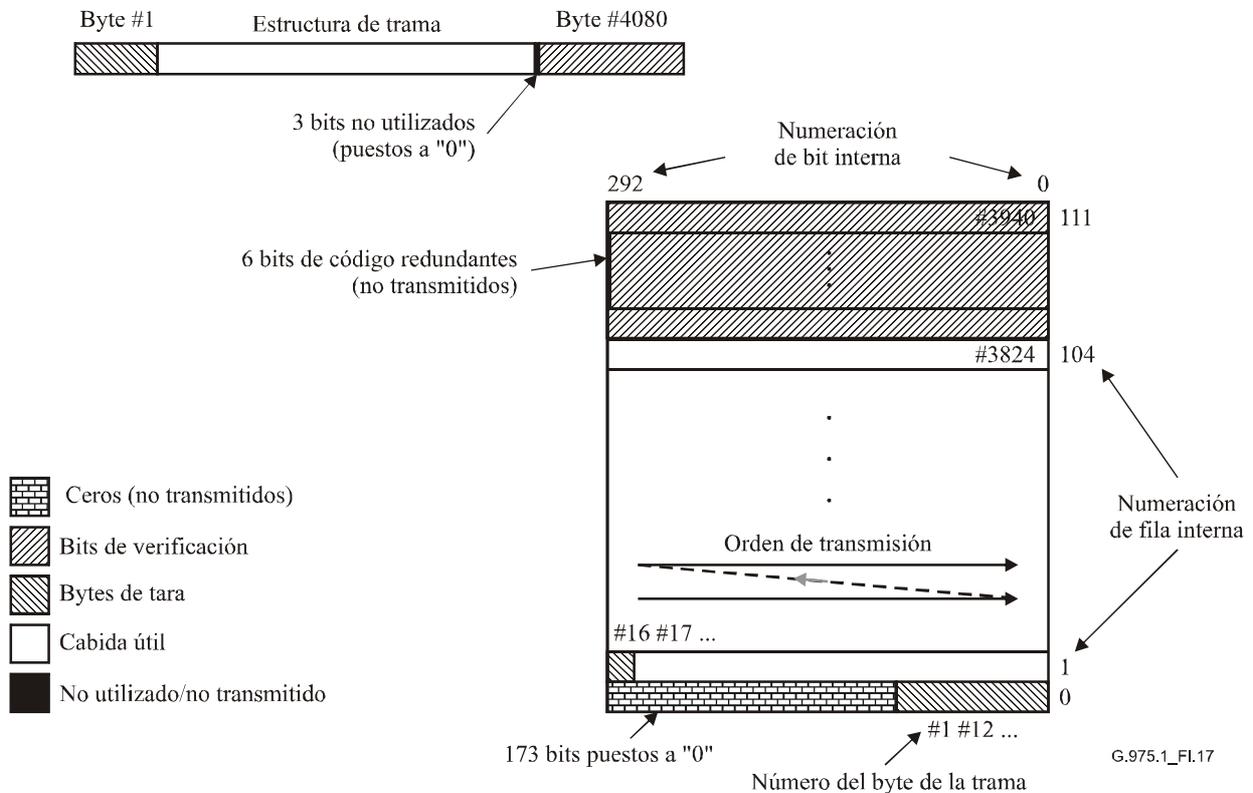


Figura I.17/G.975.1 – Estructura de correspondencia para el código LDPC

Este código se puede implementar de forma eficiente con reducida disipación de potencia, lo que tiene especial importancia en las aplicaciones 40G. Por otra parte, existen algoritmos muy eficaces que permiten utilizarlo para el tratamiento de la información por decisión programable, en su caso.

I.6.3 Capacidad de corrección de errores

Las figuras I.18 y I.19 indican la capacidad del código LDPC. Estos gráficos resultan de una serie de técnicas de simulación y análisis combinadas que permiten evaluar precisamente la capacidad de corrección de errores con una tasa de errores de entrada baja o alta. Las mediciones efectuadas en una implementación de código LDPC confirman las simulaciones y la exactitud de los métodos de evaluación.

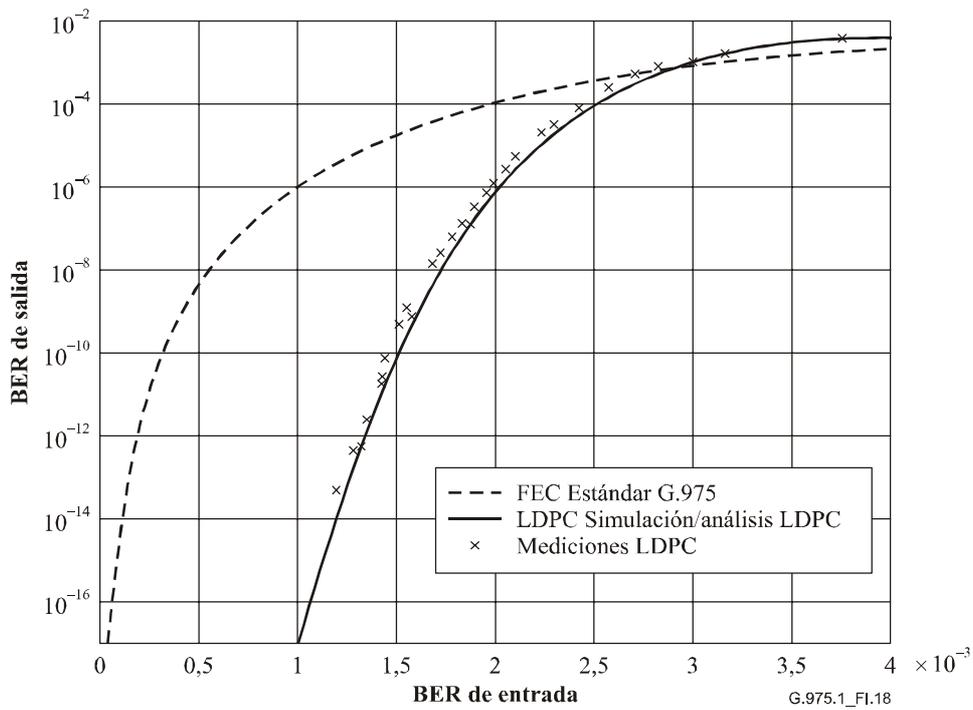


Figura I.18/G.975.1 – BER de salida y BER de entrada, con el código LDPC y el código FEC RS estándar G.975

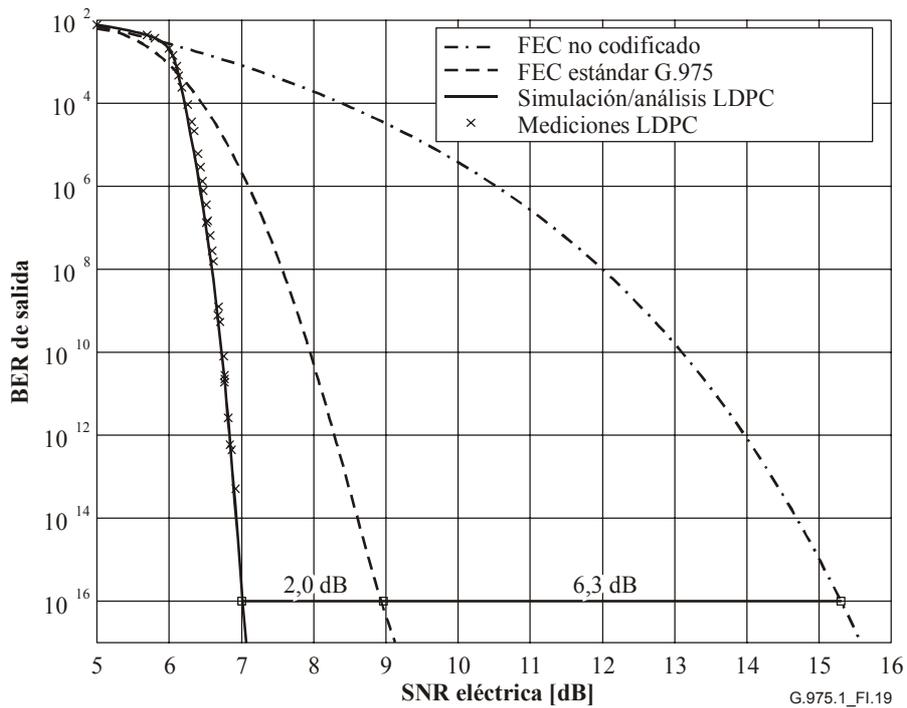


Figura I.19/G.975.1 – BER de salida y relación señal ruido (SNR) eléctrica, con el código LDPC y el actual código FEC RS estándar

Cuadro I.7/G.975.1 – Capacidad de corrección de errores

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
$1,61 \times 10^{-3}$	10^{-9}	5,90	6,18	9,38
$1,51 \times 10^{-3}$	10^{-10}	6,35	6,63	9,44
$1,42 \times 10^{-3}$	10^{-11}	6,75	7,03	9,50
$1,33 \times 10^{-3}$	10^{-12}	7,10	7,39	9,56
$1,25 \times 10^{-3}$	10^{-13}	7,43	7,72	9,61
$1,18 \times 10^{-3}$	10^{-14}	7,73	8,02	9,66
$1,12 \times 10^{-3}$	10^{-15}	8,02	8,30	9,70

I.6.4 Relación de redundancia

La relación de redundancia del código FEC de tipo LDPC es 7%, la misma del código FEC RS definido en la Rec. UIT-T G.975, que corresponde a la relación de un total de 32640 bits transmitidos y 30592 bits de información.

I.6.5 Latencia

Este código LDPC se puede implementar con un valor de latencia reducido, similar a la latencia del código RS (véase el cuadro I.8).

Cuadro I.8/G.975.1 – Latencia de decodificación del código LDPC

Gbit/s	Latencia [μs]
42,7	< 3
10,7	~3
2,7	~12

I.6.6 Propiedades particulares

Se trata de un código de baja densidad y verificación de paridad (LDPC) sistemático y binario, con longitud de 32640 bits con 30592 bits que transportan información, es decir, igual en longitud y dimensiones al código RS(255,239) estándar especificado en las Recomendaciones UIT-T G.709/Y.1331 y G.975. Este código LDPC se puede implementar en las actuales tecnologías de microcircuito para los sistemas ópticos 10G y 40G, con ventajas de baja latencia y reducido consumo de energía en el caso de las implementaciones 40G, y permite mejorarse de forma significativa la ganancia de codificación comparado con el código RS estándar.

I.7 Código super FEC con dos códigos de tipo BCH concatenados ortogonalmente

I.7.1 Presentación general

Este esquema FEC contiene tres parametrizaciones del mismo esquema de dos códigos de bloque (BCH) entrelazados de forma ortogonal. Este código combinado se deberá decodificar de forma interactiva para conseguir los resultados previstos. Por motivos prácticos será necesario implementar algoritmos de corrección de errores por decisión firme. La primera opción corresponde al caso especial de tramas G.709/Y.1331 (7% de tara), y las otras dos opciones permiten obtener mejores resultados con 11% y 25% de tara FEC.

Los resultados de los algoritmos FEC de tara reducida, especialmente con una baja tasa de errores en la salida, dependen en buena parte de la longitud de la palabra de código. En general, la

Rec. UIT-T G.975 permite todas las opciones de entrelazado y, por tanto, cualquier tamaño de trama. Ahora bien, habrá realmente un problema si la longitud de la palabra de código del algoritmo FEC utilizado es igual al tamaño de la trama, especialmente en el caso de tramas de la Rec. UIT-T G.709/Y.1331 (longitud de 130560 bits).

Por ello y en oposición a otros conceptos, la formación de trama de transmisión en este esquema no está ligada a la estructura que se utiliza para la codificación FEC, y se utilizan esquemas particulares de recreación de correspondencia para convertir de una a otra (véase la figura I.20). En este esquema, los datos entrantes se ponen en formato de la Rec. UIT-T G.975 en el codificador (incluida la aleatorización) y se deja en blanco el espacio de tara FEC. Esto permite utilizar el mismo sistema de código básico para una tara de 25%, 11% y 7% con excelentes resultados en todos los casos.

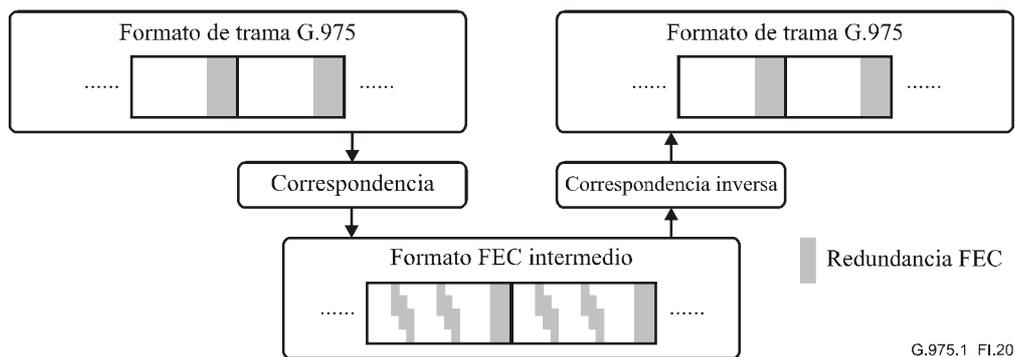


Figura I.20/G.975.1 – Esquema básico de recreación de correspondencia

En las siguientes subcláusulas se describe el sistema de codificación subyacente, el formato FEC intermedio y la correspondencia con tramas G.975.

I.7.2 Algoritmo super FEC

En la primera parte de esta cláusula se describe la construcción del sistema de código subyacente de dos códigos BCH entrelazados, y más adelante se define el procedimiento de correspondencia que se utiliza para aplicar este esquema de codificación al tren de transmisión.

I.7.2.1 Sistema de código básico

El sistema de código subyacente consiste en dos códigos BCH concatenados ortogonalmente: "codificación de filas" y "codificación de columnas". Véanse los correspondientes parámetros del código en el cuadro I.9.

Cuadro I.9/G.975.1 – Construcción del código básico

Codificación de las filas	
Polinomios generadores para el código de corrección de errores t_r :	$G(x) = \prod_{i=1}^{2t_r-1} G_{2i-1}(x)$ $G_1(x) = x^{10} + x^3 + 1$ $G_3(x) = x^{10} + x^3 + x^2 + x + 1$ $G_5(x) = x^{10} + x^8 + x^3 + x^2 + 1$ $G_7(x) = x^{10} + x^9 + x^8 + x^7 + x^6 + x^5 + x^4 + x^3 + 1$ $G_9(x) = x^{10} + x^7 + x^5 + x^3 + x^2 + x + 1$ $G_{11}(x) = x^{10} + x^5 + x^4 + x^2 + 1$ $G_{13}(x) = x^{10} + x^6 + x^5 + x^3 + x^2 + x + 1$ $G_{15}(x) = x^{10} + x^8 + x^7 + x^5 + x^3 + x + 1$ $G_{17}(x) = x^{10} + x^9 + x^8 + x^6 + x^3 + x^2 + 1$ $G_{19}(x) = x^{10} + x^8 + x^7 + x^6 + x^5 + x^4 + x^3 + x + 1$ $G_{21}(x) = x^{10} + x^9 + x^8 + x^7 + x^6 + x^5 + x^3 + x + 1$
Codificación de las columnas	
Polinomios generadores para el código de corrección de errores t_c :	$G(x) = \prod_{i=1}^{2t_c-1} G_{2i-1}(x)$ $G_1(x) = x^9 + x^4 + 1$ $G_3(x) = x^9 + x^6 + x^4 + x^3 + 1$ $G_5(x) = x^9 + x^8 + x^5 + x^4 + 1$ $G_7(x) = x^9 + x^7 + x^4 + x^3 + 1$

El tratamiento de las palabras de código se hace en el orden natural, empezando con el exponente más alto si se consideran como polinomios. Al acortar la longitud de la palabra de código, se hace un relleno con ceros empezando con el exponente más alto.

I.7.2.2 Formato FEC intermedio

En cuanto a la estructura, se utilizan palabras de código BCH básicas para crear una matriz de $x \times y$ bits (véase la figura I.21 a la izquierda). Cada fila está formada por una sola palabra de código de x bits, y cada columna representa una palabra de código de y bits. Entre cualquier palabra de código de fila y cualquier palabra de código de columna sólo puede haber intersección en un bit.

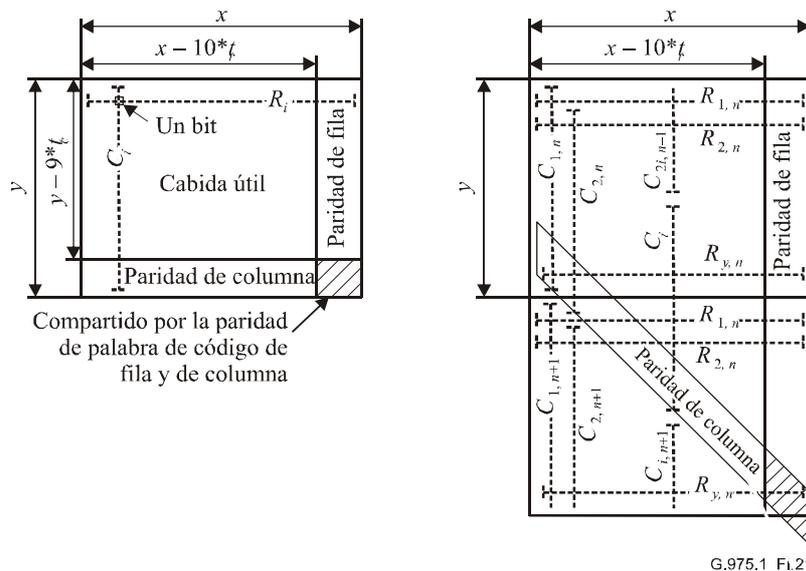


Figura I.21/G.975.1 – Concepto de palabras de código entrelazadas de forma ortogonal como matriz o estructura de tren

El cuadrante a la derecha y abajo (R/C) lo comparten las dos clases de códigos. Su contenido es la paridad de palabras de código de columna calculada sobre la paridad de fila. Como son códigos algebraicos lineales, es igual a la paridad de las palabras de código de fila calculada sobre la paridad de la palabra de código de la columna. Por tanto, en esta representación matricial sólo sería necesario calcularla y transmitirla una vez. El tamaño de la matriz dependerá del valor efectivo de los parámetros del código. En las configuraciones descritas es del orden de ~ 500 kbit/s.

Para facilitar la implementación, la estructura de matriz se convierte en una estructura de tren de transmisión cuyo concepto se ha representado en la parte derecha de la figura I.21. En esta representación, las palabras de columna ya no son paralelas a los bordes de la matriz, sino que se han desplazado sobre más de dos matrices en caso de $y' < y$. La matriz modificada tiene un ancho lógico fijo de 32 bits ($y' = 32$).

En la figura I.22 se representa la atribución de palabras de código de fila ($R_{i,m}$) en el tren de transmisión de matrices modificadas. Se han reflejado 32 palabras de código independientes de longitud X en un conjunto de 32 bits adyacentes, con lo que se ha hecho un entrelazado por bits. Forman un grupo palabra de código R_m , y todas las 32 palabras de código están alineadas con el mismo conjunto de 32 bits adyacentes.

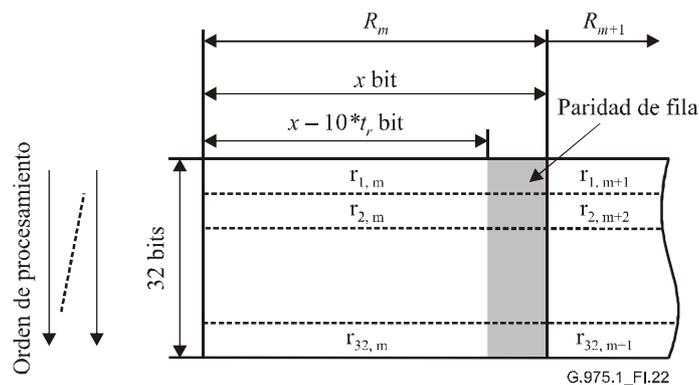


Figura I.22/G.975.1 – Atribución de código de fila

En la figura I.23 se representan las palabras de código de columna reflejadas verticalmente sobre esta estructura.

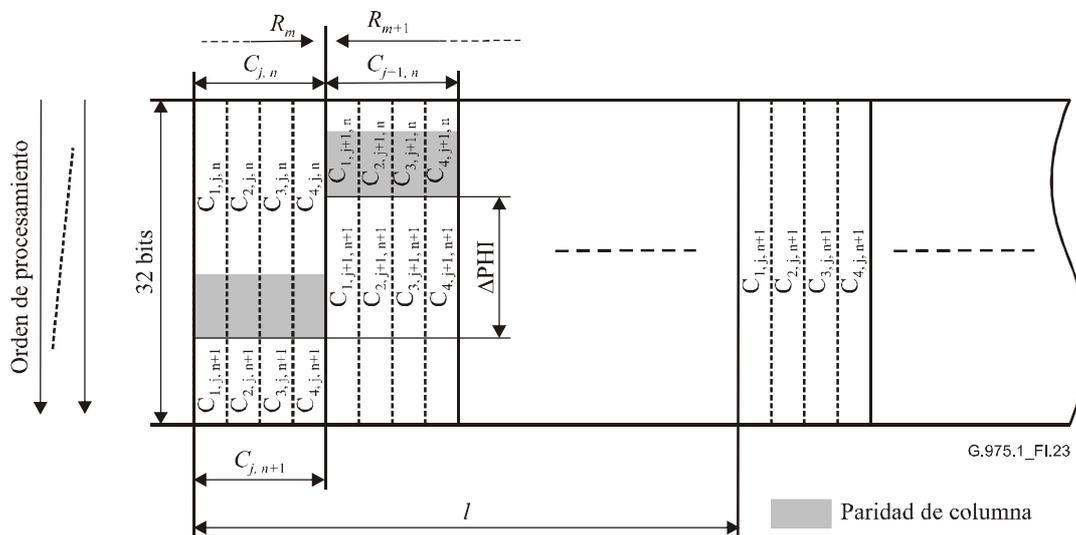


Figura I.23/G.975.1 – Correspondencia general de las palabras de código de columna sobre el tren de datos

Cada columna de 32 bits pertenece a una sola palabra de código de columna $c_{a,b,d}$ (a : índice dentro de un grupo de columna, b : índice del grupo de columna, d : índice de orden temporal) o pertenece a las dos palabras de código de columna $c_{a,b,d}$ y $c_{a,b,d+1}$, si se trata de una frontera de palabras de código dentro de una columna de 32 bits. Cuatro columnas adyacentes forman un grupo columna ($C_{b,d}$). Todas las palabras de código de este grupo empiezan con el mismo índice de bit $\text{PHI}_{b,d}$ en la fila uno. Por tanto, las fronteras entre las palabras de código de columna de un grupo están alineadas con el mismo índice de fila. El siguiente grupo de palabra de código (sea $C_{b+1,d}$ o $C_{1,d+1}$) se sitúa con una diferencia de ΔPHI bits ($\text{PHI}_{1,d+1}, \text{PHI}_{b+1,d} = (\text{PHI}_{b,d} + \Delta\text{PHI}) \bmod y$). Un grupo no puede abarcar dos grupos de palabra de código de fila ($R_{i,m}, R_{i,m+1}$), lo que significa que la longitud de la palabra de código de fila debe ser un múltiplo de cuatro. El índice de bit de la palabra de código de columna aumenta en d por cada grupo consecutivo. En total hay l grupos de columna ($0 < b \leq l; 4 \times l \geq x$).

La correspondencia de palabra de código de columna resultante no tiene relación con la atribución de la palabra de código de fila; la única relación es que un grupo de palabra de código de columna no abarca nunca dos grupos de palabra de código de fila adyacentes ($R_{i,m}, R_{i,m+1}$). Entonces, la

redundancia de algunos grupos palabra de código de columna podría coincidir con la redundancia del grupo palabra de código de fila R_m . Es la situación de colisión en el cuadrante R/C de la matriz representada en la figura I.21. Dado que la correspondencia ya no es algebraica, la solución tiene que ser una transmisión separada de la paridad de código de columna. Se consigue retirando el conjunto de n grupos de palabra de código de columna $C_{j(i),d}$ ($j(i) < j(i + 1)$), $0 < j(i) \leq l$, $0 < i \leq n$), que ocasionan esta situación de colisión: en la secuencia de grupos de palabra de código de columna se desplazan las fronteras a una distancia ΔPHI . Los grupos de palabra de código de columna retirados serán reintroducidos al principio del siguiente grupo de palabra de código de fila R_{m+1} en el mismo orden en que fueron retirados. En la figura I.24 se representa el ejemplo de los cuatro grupos de palabra de código de columna cambiados.

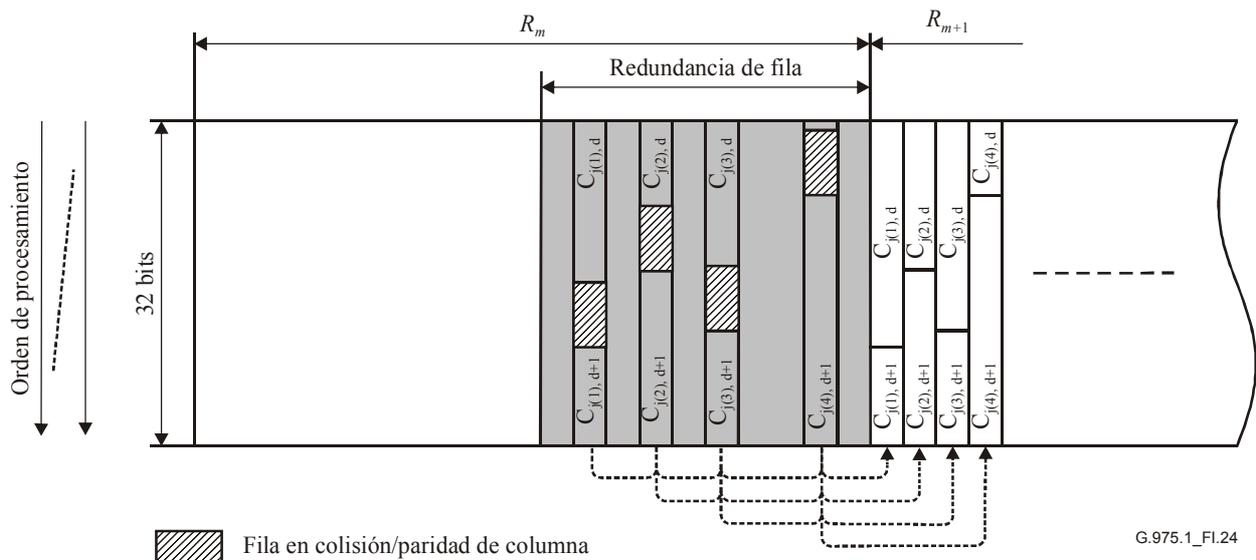


Figura I.24/G.975.1 – Ejemplo de desplazamiento de cuatro grupos de palabra de código de columna

Después de reintroducir los grupos de palabra de código de columna retirados, la disposición de la palabra de código seguirá el modelo de la secuencia original sin modificaciones.

Como la estructura no es algebraica, también será necesario definir el orden de codificación apropiado. Primero se aplica la codificación de palabra de código de columna al tren de datos, y luego la codificación de fila.

I.7.2.3 Reflejar las tramas conformes a G.975 en una representación interna

La misma estructura de tramas conforme a G.975 representada en la figura I.25 se utilizará con todas las tasas de tara.

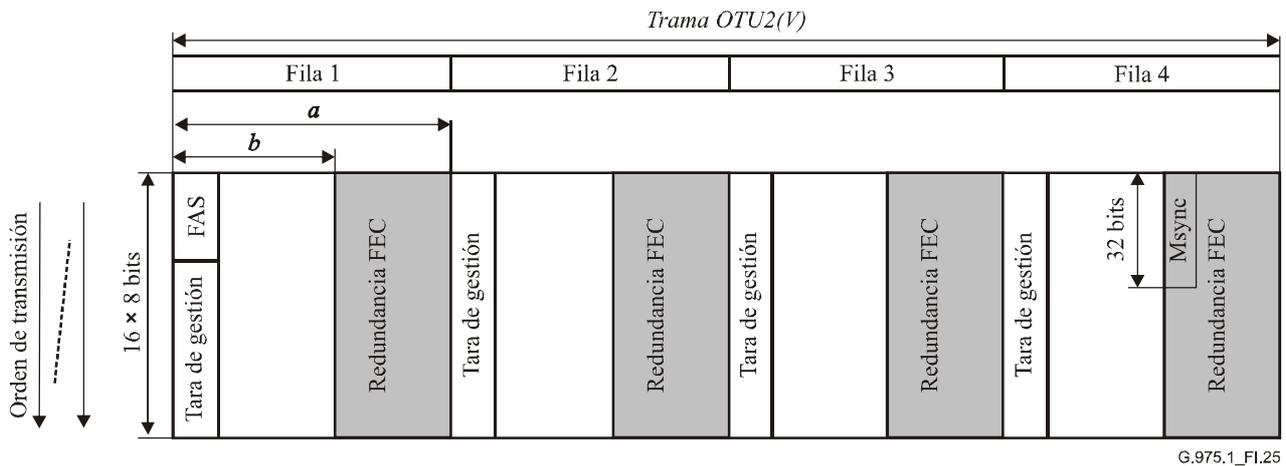


Figura I.25/G.975.1 – La trama Rec. UIT-T G.975 utilizada

Está formada por 128 filas de 1 bit de ancho y a bits de largo cada una, de los cuales b bits se utilizan para cabida útil y tara de gestión, y $(a-b)$ bits como espacio de redundancia FEC. La trama OTU2(v) resulta de la concatenación de cuatro de estas tramas, cada una de las cuales representa una fila de la trama OTU2(v). Véase la parametrización pormenorizada en el cuadro I.10.

Cuadro I.10/G.975.1 – Parametrización de las tramas de transmisión

	a	b	Relación de codificación D_f
Tramas OTU k de UIT-T G.709/Y.1331	32640 bits	30592 bits	239/255
Tramas OTU k V de UIT-T G.709/Y.1331 (modo 11%)	33536 bits	30592 bits	239/262
Tramas OTU k V de UIT-T G.709/Y.1331 (modo 25%)	38016 bits	30592 bits	239/297

La trama que representa la cuarta fila de OTU2(V) también contiene un campo de 32 bits de ancho al principio de la porción de redundancia FEC que se utiliza para sincronizar el siguiente procedimiento de correspondencia.

I.7.2.3.1 Procedimiento de correspondencia

El procedimiento de correspondencia comprende dos funciones. Inicialmente se separa la información de cabida útil [que incluye la tara de gestión OTU k (V)] y los bits de redundancia FEC de la trama G.975. Los dos elementos se registran en bases según el orden cronológico de recepción (FIFO) (véase la figura I.26) excepto el diagrama MSync que se retira del tren de datos.

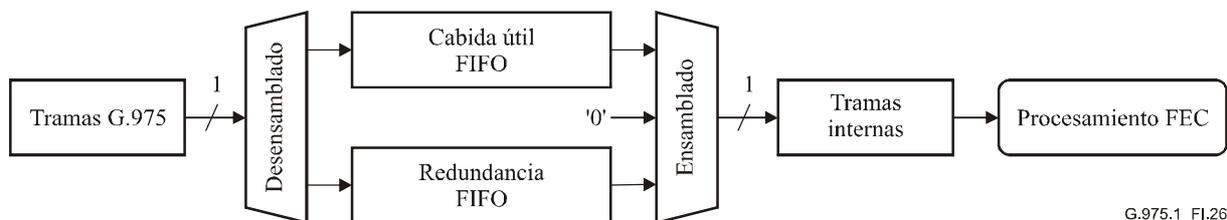


Figura I.26/G.975.1 – Flujo de recomposición en tramas básico

La segunda etapa consiste en la lectura de los registros FIFO para formar las tramas internas. Primero se posicionan en orden los primeros bits de fila de cada palabra de código de columna de

un grupo y luego se rellena la siguiente fila. Los grupos de palabra de código de columna se van completando uno tras otro según el proceso representado en la figura I.27. El número en la posición de un bit indica el orden temporal de composición.

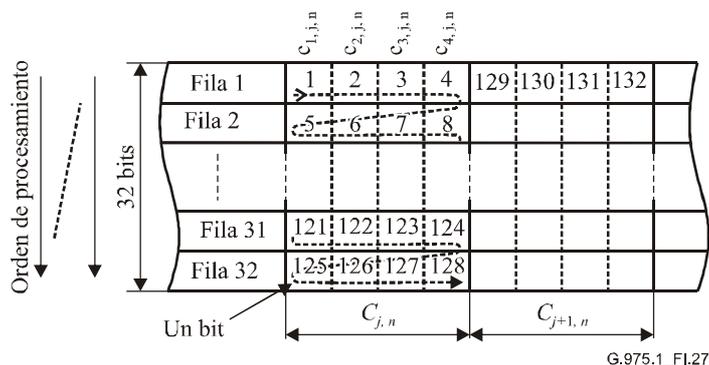


Figura I.27/G.975.1 – Correspondencia básica a las tramas internas

En el modo de tara 25%, el grupo de palabra de código de columna ($C_{k,n}$) se rellena a la mitad con paridad de fila (véase la figura I.28). El orden de ensamblado de este grupo será diferente, formándose completamente cada palabra de código de columna antes de hacer la siguiente.

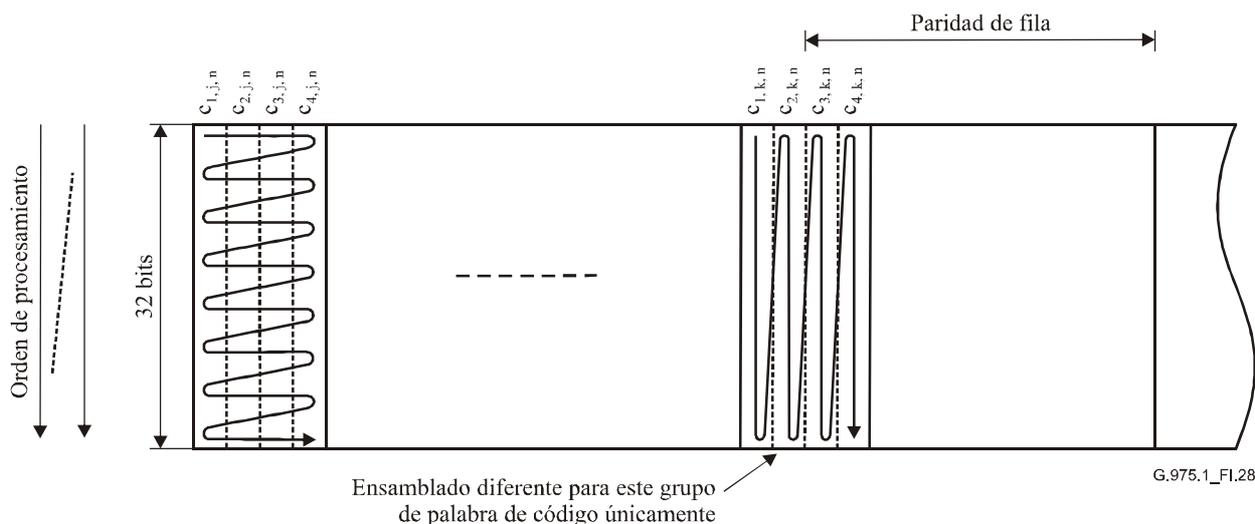


Figura I.28/G.975.1 – Correspondencia para el modo 25%

Según el tipo de información necesaria, las posiciones de bits se rellenarán a partir del registro FIFO de datos de cabida útil o de redundancia. De otra parte, el diagrama de sincronización para correspondencia de 32 bits de ancho (MSync) será reemplazado por una cadena de ceros.

I.7.2.3.2 Adaptación de la relación de tara

Para calcular la relación FEC interna D_f , se supone que el entrelazado de las palabras de código de columna y de fila es diferente y resulta en una superposición total de las dos palabras de código. Para ello es necesario adaptar la palabra de código de columna aplicando una escala x/y como se indica en la figura I.29.

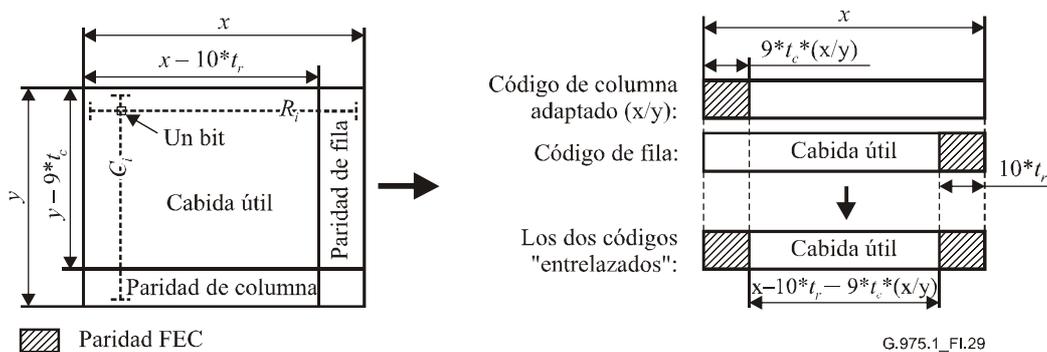


Figura I.29/G.975.1 – Simplificación del entrelazado para soportar el cálculo de la relación

La relación de tara FEC interna resultante D_f viene dada por la siguiente fórmula:

$$D_f = \frac{x - 10t_r - 9\frac{x}{y}t_c}{x} = 1 - 10\frac{t_r}{x} - 9\frac{t_c}{y}$$

Para poder realizar una correspondencia es necesario que D_f sea superior a la relación de código D_c determinada por la correspondencia de OTU k (V) según el cuadro I.11.

Cuadro I.11/G.975.1 – Comparación entre la relación FEC bruta y la relación OTU(V)

	D_f	D_c	D_c'
Tramas OTU k de Rec. UIT-T G.709/Y.1331	4219/4500≈0,9375	239/255≈0,9372	≈0,9381
Tramas OTU k V de Rec. UIT-T G.709/Y.1331 (modo 11%)	7447/8160≈0,91262	239/262≈0,91221	≈0,91308
Tramas OTU k V de Rec. UIT-T G.709/Y.1331 (modo 25%)	3588/4420≈0,8049	239/297≈0,8047	≈0,8053

El primer paso de esta adaptación es elevar D_c a D_c' , retirando los 32 bits del diagrama MSync al colocar los datos OTU k V en los registros FIFO de correspondencia.

Después, en cada grupo de palabra de código de fila interno R_m se selecciona un grupo de palabra de código de columna dedicado C_a para adaptar la relación. La opción predeterminada es elegir el décimo grupo palabra de código de columna contando desde el inicio de R_m . Si este grupo palabra de código de columna tiene paridad de columna, se seleccionará el noveno grupo.

Al principio del tercer grupo palabra de código de columna antes de C_a (el 7° ó 6° grupo palabra de código de columna de R_m), los valores tomados del registro FIFO de datos (DFILL) y del registro FIFO de paridad (PFILL) se comparan con unos límites fijos (véanse los cuadros I.12 a I.14). Según los resultados de esta comparación se ensambla C_a con porciones de bits variables de los registros FIFO de datos y de paridad. Los espacios no utilizados se rellenan con ceros. Téngase en cuenta que los datos que se extraen del registro FIFO de paridad también serán considerados como datos por el decodificador FEC más adelante.

El ensamblado de C_a se realiza numerando los bits en el grupo palabra de código de columna conforme a la definición de la figura I.27 y siguiendo el procedimiento descrito en la figura I.30.

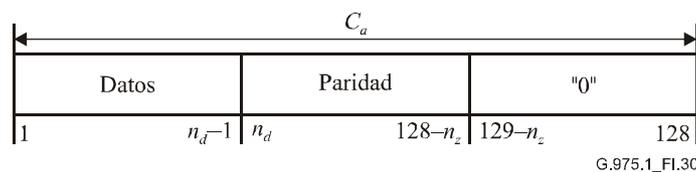


Figura I.30/G.975.1 – Atribución de datos dentro de C_a

Cuadro I.12/G.975.1 – Normas de adaptación de la relación en un sistema de tara 7% (tramas OTUk)

Condición		n_d	n_z
DFILL > 7168	PFILL ≤ 896	104	24
DFILL > 7168	PFILL > 896	96	24
DFILL ≤ 7168	PFILL ≤ 896	88	40
DFILL ≤ 7168	PFILL > 896	80	40

Cuadro I.13/G.975.1 – Normas de adaptación de la relación para un sistema de tara 11% (tramas OTUkV)

Condición		n_d	n_z
DFILL > 6272	PFILL ≤ 2048	88	24
DFILL > 6272	PFILL > 2048	80	24
DFILL ≤ 6272	PFILL ≤ 2048	72	40
DFILL ≤ 6272	PFILL > 2048	64	40

Cuadro I.14/G.975.1 – Normas de adaptación de la relación para un sistema de tara 25% (tramas OTUkV)

Condición		n_d	n_z
DFILL > 11136	PFILL ≤ 4736	112	16
DFILL > 11136	PFILL > 4736	104	16
DFILL ≤ 11136	PFILL ≤ 4736	96	32
DFILL ≤ 11136	PFILL > 4736	88	32

I.7.2.3.3 Sincronización de la correspondencia

Un diagrama de 32 bits de ancho (MSync, véase la figura I.25) permite sincronizar el formato interno entre el codificador de emisión y el decodificador en recepción. Este diagrama será reemplazado por una cadena de ceros antes de establecer la correspondencia. Dos diagramas MSync introducidos alternativamente transportan la siguiente información (véase la figura I.31):

Cuadro I.15/G.975.1 – Información de sincronización transmitida

Nombre	Tamaño	Latencia de inicialización μ en bits (véase la figura I.32)			Función
		Tara 7%	Tara 25%	Tara 11%	
IX	9 bits	2400	7776	3040	Hace que el código de fila procese el IX bit de la palabra de código (inicializa la asignación de palabra de código de fila representada en la figura I.22)
PHI	9 bits	2400	7776	3040	Pone el bit de palabra de código de columna en PHI (inicializa la atribución de palabra de código de columna como se representa en la figura I.23)
PHIS	3 bits	2400	7776	3040	El número de palabras de código de columna retiradas actualmente, antes de inicializar la palabra de código de columna por PHI
DFILL	14 bits	2656	8032	3296	Establece DFILL para tomar los valores del registro FIFO de datos
PFILL	14 bits	2656	8032	3296	Establece PFILL para tomar los valores del registro FIFO de paridad

Los cinco valores se dividen en dos diagramas MSync transmitidos alternativamente en dos tramas OTU $k(v)$ consecutivas, conforme a las asignaciones representadas en la figura I.31.

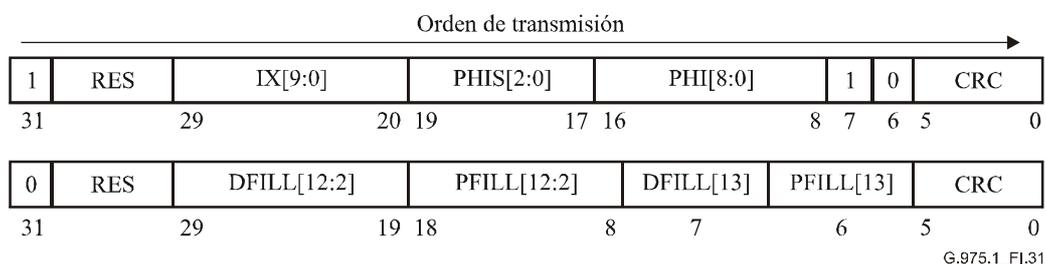


Figura I.31/G.975.1 – Estructura del diagrama de sincronización de correspondencia

Los dos diagramas se protegen mediante un código de redundancia cíclica (CRC) de 6 bits que se añade al MSync[29:6] de 24 bits de información. Estructura de la matriz de verificación:

$$\text{CRC}[5:0] = \begin{bmatrix} 1 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 1 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 1 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 1 \\ 1 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \text{MSync}[29:6]$$

La información extraída será ejecutada tras un espacio de μ bits después de recibir el último bit del diagrama de sincronización que contiene los valores tomados de los registros FIFO (PFILL, DFILL).

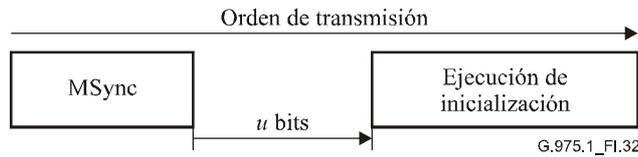


Figura I.32/G.975.1 – Latencia de inicialización

I.7.2.3.4 Configuraciones de modo

El cuadro I.16 es un resumen de la parametrización de los dos modos definidos.

Cuadro I.16/G.975.1 – Resumen de configuración

Descripción		Símbolo	Modo 7%	Modo 11%	Modo 25%
Longitud de filas de trama de transporte		a	32640 bits	33536 bits	38016 bits
Longitud de cabida útil		b	30592 bits	30592 bits	30592 bits
Relación de código		–	239/255	239/262	239/297
OTU1(V)/STM-16		–	255/238 $\approx 1,0714$	262/238 $\approx 1,1001$	297/238 $\approx 1,2479$
OTU2(V)/STM-64		–	255/237 $\approx 1,0759$	262/237 $\approx 1,1054$	297/237 $\approx 1,2531$
OTU3(V)/STM-256		–	255/236 $\approx 1,0805$	262/236 $\approx 1,1101$	297/236 $\approx 1,2584$
Código de fila:	Longitud de palabra de código	x	900	960	884
	Bits que se pueden corregir en cada palabra de código	t_r	4	5	11
Código de columna:	Longitud de palabra de código	y	500	510	510
	Bits que se pueden corregir en cada palabra de código	t_c	1	2	4
Número de grupos de palabra de código de columna		l	286	262	262
Posición relativa de palabra de código de columna		ΔPHI	286	296	296

I.7.3 Capacidad de corrección de errores

A partir de los términos y las definiciones de la cláusula 7, en los cuadros I.17 a I.19, se han representado los resultados de tres configuraciones diferentes. En las filas no sombreadas se consignan datos de mediciones, y en las filas sombreadas los datos extrapolados basados en simulaciones. Se supone que el tren se decodifica de forma iterativa en cinco etapas, cada una con un decodificador BCH por decisión firme según la figura I.33. Los resultados serán diferentes según la estrategia de codificación.



Figura I.33/G.975.1 – Decodificación iterativa en cinco etapas

Cuadro I.17/G.975.1 – Capacidad de corrección de errores del sistema de tara 7%

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
$2,700 \times 10^{-3}$	10^{-9}	6,35	6,67	8,89
$2,550 \times 10^{-3}$	10^{-10}	6,80	7,12	8,95
$2,400 \times 10^{-3}$	10^{-11}	7,20	7,52	9,01
$2,200 \times 10^{-3}$	10^{-12}	7,53	7,85	9,09
$2,000 \times 10^{-3}$	10^{-13}	7,82	8,14	9,18
$1,62 \times 10^{-3}$	10^{-14}	7,98	8,29	9,38
$1,30 \times 10^{-3}$	10^{-15}	8,09	8,41	9,58

Cuadro I.18/G.975.1 – Capacidad de corrección de errores del sistema de tara 11%

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
$4,920 \times 10^{-3}$	10^{-9}	6,89	7,32	8,24
$4,850 \times 10^{-3}$	10^{-10}	7,38	7,81	8,26
$4,740 \times 10^{-3}$	10^{-11}	7,81	8,25	8,28
$4,630 \times 10^{-3}$	10^{-12}	8,20	8,64	8,31
$4,580 \times 10^{-3}$	10^{-13}	8,57	9,01	8,32
$4,50 \times 10^{-3}$	10^{-14}	8,90	9,33	8,34
$4,44 \times 10^{-3}$	10^{-15}	9,19	9,63	8,36

Cuadro I.19/G.975.1 – Capacidad de corrección de errores del sistema de tara 25%

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
$1,340 \times 10^{-2}$	10^{-9}	7,68	8,66	6,90
$1,330 \times 10^{-2}$	10^{-10}	8,17	9,15	6,91
$1,323 \times 10^{-2}$	10^{-11}	8,63	9,61	6,92
$1,320 \times 10^{-2}$	10^{-12}	9,04	10,02	6,93
$1,312 \times 10^{-2}$	10^{-13}	9,41	10,39	6,93
$1,307 \times 10^{-2}$	10^{-14}	9,75	10,73	6,94
$1,302 \times 10^{-2}$	10^{-15}	10,06	11,04	6,95

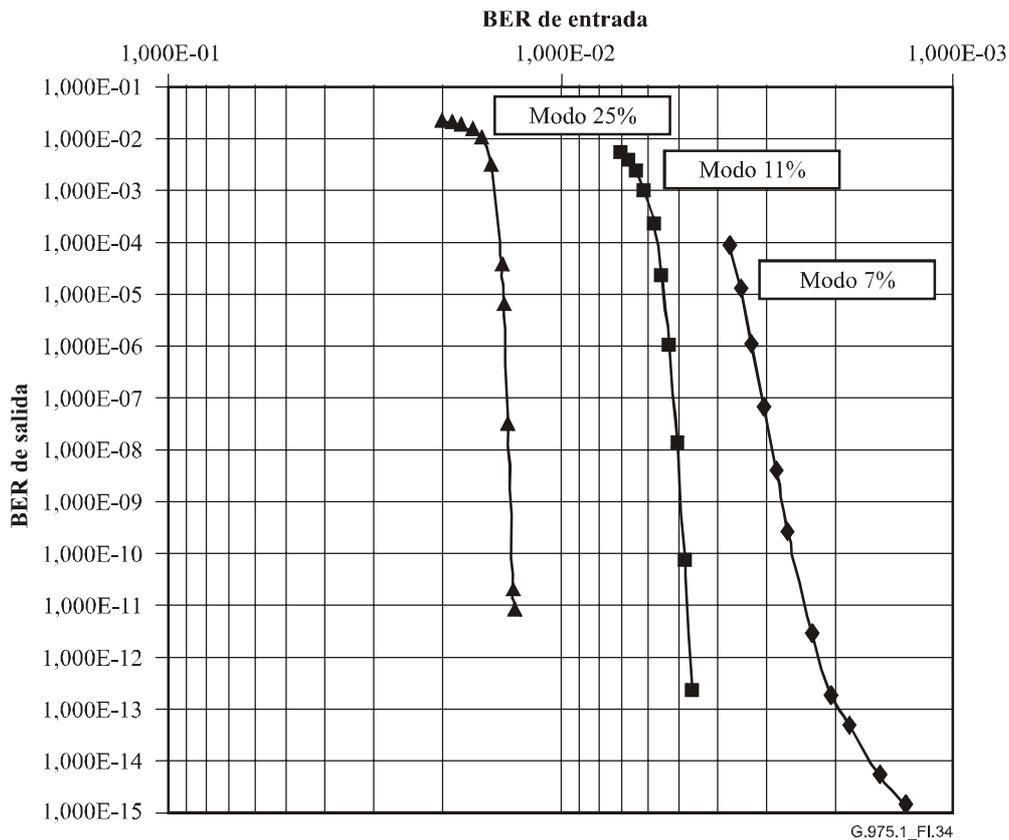


Figura I.34/G.975.1 – Capacidad de corrección de errores, comparando los valores BER de entrada y de salida

I.7.4 Relación de redundancia

En el cuadro I.20 se representan las relaciones de redundancia FEC y las relaciones de transmisión netas para las distintas opciones de correspondencia conforme a la Rec. UIT-T G.709/Y.1331. Téngase en cuenta que la correspondencia STM-64 a OTU2(V) y STM-256 a OTU3(V) supone la introducción de columnas de relleno fijas no utilizadas que contribuyen a elevar la relación.

Cuadro I.20/G.975.1 – Relaciones de redundancia para diferentes correspondencias

	Modo tara 7%	Modo tara 11%	Modo tara 25%
Relación de redundancia	255/239 ≈ 1,066	262/239 ≈ 1,096	297/239 ≈ 1,2426
OTU _k (V)/CBR	255/238 ≈ 1,0714	262/238 ≈ 1,1001	297/238 ≈ 1,2479
OTU1(V)/STM-16	255/238 ≈ 1,0714	262/238 ≈ 1,1001	297/238 ≈ 1,2479
OTU2(V)/STM-64	255/237 ≈ 1,0759	262/237 ≈ 1,1054	297/237 ≈ 1,2531
OTU3(V)/STM-256	255/236 ≈ 1,0805	262/236 ≈ 1,1101	297/236 ≈ 1,2584

I.7.5 Latencia

La latencia depende de la implementación seleccionada y del número de iteraciones en la decodificación, pero hay un límite inferior de ~500 kbit/s en cada etapa de procesamiento de

palabra de código de columna. Por tanto, la estrategia de decodificación descrita en I.7.3 producirá una latencia de ~1 Mbit que se traduce en un retardo de 100 μ s en el caso de una cabida útil de 10 Gbit/s (STM-64, ODU2).

I.7.6 Propiedades particulares

Este esquema tiene una gran capacidad de corrección de errores para relaciones de código muy diferentes, y no presenta deformación o muy poca. No se utilizan algoritmos por decisión programable para decodificación y se introduce poca latencia.

I.8 Código super FEC con el código Reed Solomon (2720,2550)

I.8.1 Presentación general

En los actuales sistemas de transmisión óptica de alta velocidad es indispensable utilizar la corrección de errores en recepción (FEC) para realizar transmisiones prácticamente libres de errores sobre canales ópticos. En la Rec. UIT-T G.975 se especifican códigos estándar RS(255,239) con símbolos de 8-bits y un nivel de entrelazado 16 como opción por defecto para la corrección de errores (FEC) en sistemas de transmisión óptica. Consideremos ahora un código FEC entrelazado constituido por un código de bloque sistemático de 32640 bits de longitud, con 30592 bits que transportan información. Puede corregir hasta ocho errores de símbolos en cada uno de los 16 trenes entrelazados de 2040 bits.

I.8.2 Algoritmo super FEC

Un código Reed-Solomon de longitud N sobre un campo Galois $GF(q)$ es un código cíclico con el siguiente polinomio generador.

$$g(x) = (x - \alpha^b)(x - \alpha^{b+1}) \dots (x - \alpha^{b+D-2})$$

siendo α un elemento primitivo de $GF(q)$, D la distancia mínima, $k = N - D + 1$ la dimensión, y b una traslación arbitraria. Este código, denominado RS(N,K), puede corregir hasta $t = \lfloor (D-1)/2 \rfloor = \lfloor (N-K)/2 \rfloor$ errores de símbolos, siendo $\lfloor a \rfloor$ el entero más grande que es inferior o igual a a . Para mayor facilidad consideramos la clase de códigos RS sobre $GF(2^m)$, cuyos elementos se pueden representar mediante tuplas m binarias que constituyen un código RS ($n = mN, k = mK$) sobre $GF(2)$.

Considérese que n_b es la longitud total del bloque de la trama. Siendo $n_b > mN$, se acostumbra entrelazar los símbolos de los códigos RS(N,K) para conseguir una alta capacidad de corrección de ráfagas de errores o, aún mejor, conseguir un parámetro de corrección de errores t más alto sin aumento de la tara, aumentando la longitud de bloque n (como $n \leq m(2^m - 1)$), también se aumenta m . Entonces, el grado de entrelazado se reduce a $u \leq \lfloor n_b / m(2^m - 1) \rfloor$ y $N = \lceil n_b / mu \rceil$, siendo $\lceil a \rceil$ el entero más pequeño que es igual a a o mayor.

Considérese que $B_{\text{máx}}$ es la longitud de errores en ráfaga máxima que siempre será posible corregir. Es fácil comprobar que la capacidad de corrección de ráfagas de errores de un código RS(N,K) sobre $GF(2^m)$ con un grado de entrelazado u viene dada por la fórmula $B_{\text{máx}} = u \cdot t$. Ahora bien, la capacidad de corrección de errores en ráfaga con errores aleatorios será un parámetro más significativo. La longitud de errores en ráfaga máxima $B_{\text{máx}}^{(v)}$ cuando hay v errores aleatorios viene dada por la siguiente fórmula:

$$B_{\text{máx}}^{(v)} = \text{máx}(0, t - v) \cdot u \text{ [símbolos de } m \text{ bits]}$$

Por tanto, la longitud de errores en ráfaga expresada en bits, $b_{\text{máx}}^{(v)}$, viene dada por:

$$b_{\text{máx}}^{(v)} = \text{máx}(0, mB_{\text{máx}}^{(v)} - (m-1)) [\text{bits}]$$

En esta fórmula se tiene en cuenta que el principio y el final de las ráfagas de errores y los símbolos de m bits no están alineados.

La capacidad de corrección de errores de un decodificador de distancia condicionada será insuficiente si hay un número de errores en símbolos $e > t$. La probabilidad de errores en palabras $P_w^{(n)}$ en la salida de un decodificador RS ($n = mN, k = mk$) de distancia condicionada, al final de la transmisión sobre un canal simétrico binario con una probabilidad de errores en los bits p_b , viene dada por la siguiente fórmula:

$$P_w^{(n)} = \sum_{e=t+1}^N \binom{N}{e} p_s^e (1-p_s)^{N-e}$$

siendo $p_s = 1 - (1 - p_b)^m$ la probabilidad de errores en los símbolos. En el caso de un código RS (N, K) entrelazado, la probabilidad de errores en palabras es:

$$P_w^{(u \cdot n)} = 1 - (1 - P_w^{(n)})^u$$

Si la palabra de código transmitida tiene $e > t$ errores en los símbolos, el codificador no encontrará ninguna palabra de código (fallo del decodificador) o encontrará una palabra de código diferente de la palabra de código transmitida (error del decodificador). Se ha demostrado que la probabilidad de errores del decodificador es inferior a $1/(t!)$. En el caso de fallo del decodificador no se modifica la palabra recibida, lo que significa que el número de errores en los símbolos es igual a e y la media de errores en los bits es $e \cdot mp_b / p_s$. Cuando hay error del decodificador, se añadirán hasta t errores aleatorios adicionales y la media de errores en los bits será $e \cdot mp_b / p_s + t \cdot m / 2$. Entonces, la probabilidad de errores en los bits P_b podrá calcularse aproximadamente por la siguiente fórmula:

$$P_b \cong \frac{1}{N} \sum_{e=t+1}^N \left(\frac{p_b}{p_s} \cdot e + \frac{1}{2(t-1)!} \right) \binom{N}{e} p_s^e (1-p_s)^{N-e}$$

En el siguiente párrafo se indican los parámetros del código RS y sus resultados, utilizando implícitamente las expresiones derivadas.

Se considera la utilización de un código FEC RS(2720,2550) con símbolos de 12 bits y una longitud total de 32640 bits. El polinomio que genera los elementos sobre el campo de Galois $GF(2^{12})$ es:

$$p(x) = x^{12} + x^9 + x^8 + x^6 + x^3 + x^2 + 1$$

Este código soporta hasta 30600 bits que transportan información. Los primeros 30588 bits de la cabida útil en la trama FEC estándar $239 \times 16 \times 8$ serán reflejados en los primeros 2549 símbolos. Los últimos 4 bits de la cabida útil serán los 4 bits más significativos del símbolo colocado en la posición 2550, y los 8 bits restantes de este símbolo no serán utilizados: se pueden especificar o poner a cero.

1.8.3 Capacidad de corrección de errores

El código RS(2720,2550) puede corregir hasta 85 errores en los símbolos, con lo que se puede determinar fácilmente la tasa de errores en los bits en la salida del decodificador. Los resultados están representados en las figuras I.35 e I.36, y en el cuadro I.21. Es evidente que la reducida distancia mínima del código RS(255,239), que sólo puede corregir hasta 8 símbolos en uno de los bloques de 2040 bits entrelazados, afecta notablemente la capacidad de corrección de errores del

código FEC estándar. La máxima capacidad de corrección de errores en ráfagas $b_{\text{máx}}^{(v)}$ del código RS(2720,2550) viene dada por la fórmula $\text{máx}(0, 12 \cdot (8 - v) - 11)$, con v errores aleatorios adicionales. Compárese con la capacidad de corrección $\text{máx}(0, 128 \cdot (8 - v) - 7)$ del código RS(255,239) entrelazado. Como puede verse, la capacidad de corrección de errores de este último depende mucho más de los errores aleatorios.

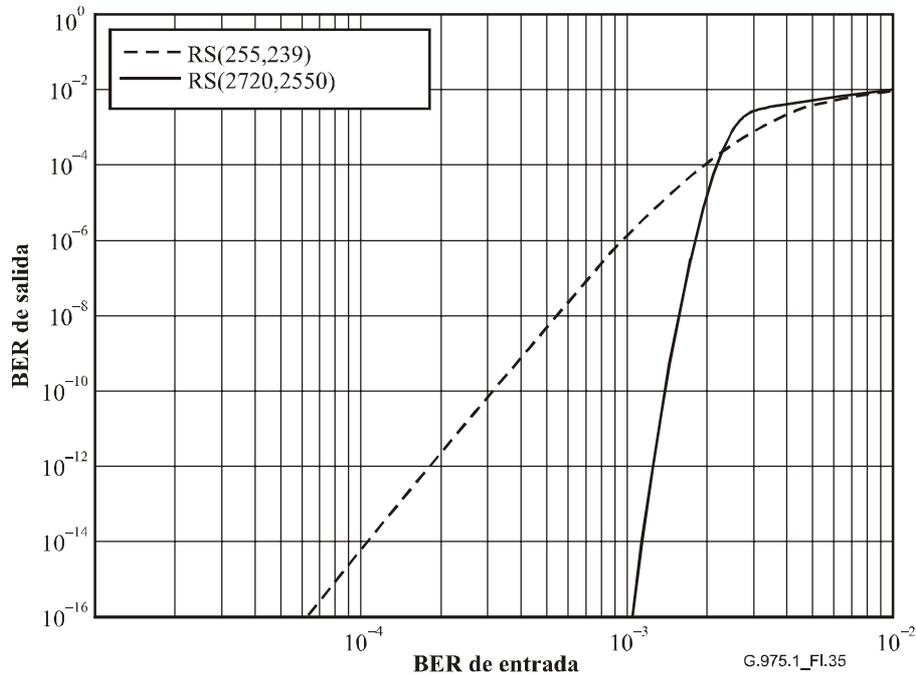


Figura I.35/G.975.1 –Valores BER de salida y entrada para el código RS(2720,2550) y el código FEC estándar

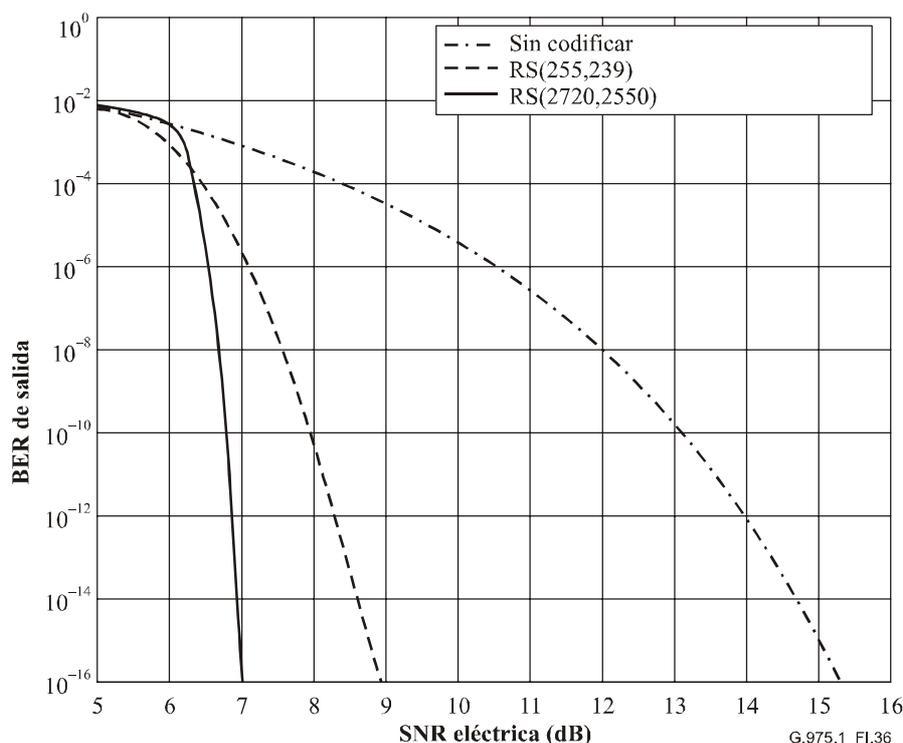


Figura I.36/G.975.1 – BER de salida y relación E_b/N_0 de entrada para el código RS(2720,2550) y el código FEC estándar

Cuadro I.21/G.975.1 – Capacidad de corrección de errores

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Límite Q (dB)
$1,48 \times 10^{-3}$	10^{-9}	5,82	6,10	9,46
$1,40 \times 10^{-3}$	10^{-10}	6,28	6,56	9,51
$1,33 \times 10^{-3}$	10^{-11}	6,70	6,98	9,56
$1,26 \times 10^{-3}$	10^{-12}	7,06	7,35	9,60
$1,20 \times 10^{-3}$	10^{-13}	7,40	7,69	9,65
$1,15 \times 10^{-3}$	10^{-14}	7,71	8,00	9,68
$1,10 \times 10^{-3}$	10^{-15}	8,00	8,28	9,72

I.8.4 Relación de redundancia

El código Reed-Solomon entrelazado (2720,2550) tiene la misma relación de redundancia 7% que el código RS anterior para FEC definido en la Rec. UIT-T G.975.

I.8.5 Latencia

La latencia de este código RS(2720,2550) con símbolos de 12 bits y bloques de 32640 bits de longitud, con 30592 bits de información, es reducida y similar a la latencia del código RS(255,239) entrelazado.

I.8.6 Propiedad particular

Este código RS(2720,2550) que corrige 85 errores, con símbolos de 12 bits, tiene una longitud de bloque de 32640 bits y una cabida útil de 30592 bits, como el código RS(255,239) estándar. Se ha

demostrado que mejora notablemente la ganancia de codificación y que su capacidad de corrección de ráfagas es superior. El codificador y el decodificador se pueden implementar eficientemente en las actuales tecnologías de microcircuito para aplicaciones 2,5G, 10G y 40G, y se ha demostrado que la latencia es reducida y comparable a la del código RS(255,239) entrelazado.

I.9 Código super FEC con dos códigos BCH(1020,988) ampliados y entrelazados

I.9.1 Presentación general

Este sistema FEC consiste en dos códigos BCH(1020,988) ampliados entrelazados con bloques de la misma longitud. Los valores de longitud de bloque y longitud de cabida útil (522240,489472) corresponden a las condiciones de relación de tara definidas en las Recomendaciones UIT-T G.975 o G.709/Y.1331. Este código permite obtener una ganancia de codificación neta superior a 8,5 dB con BER 10^{-13} y una decodificación en 10 iteraciones.

I.9.2 Algoritmo super FEC

En este esquema FEC mejorado descrito a continuación, se utilizan dos códigos BCH(1020,988) ampliados y entrelazados que tienen bloques de la misma longitud.

I.9.2.1 BCH(1020,988)

El polinomio de campo es:

$$p(x) = x^{10} + x^3 + 1$$

Los polinomios generadores de los códigos de lectura horizontal e inclinada son:

$$g_H(x) = m_1(x) m_3(x) m_5(x) (x^2 + 1)$$

$$g_s(x) = x^{30} m_1(x^{-1}) m_3(x^{-1}) m_5(x^{-1}) (x^2 + x + 1)$$

donde:

$$m_1(x) = x^{10} + x^3 + 1$$

$$m_3(x) = x^{10} + x^3 + x^2 + x + 1$$

$$m_5(x) = x^{10} + x^8 + x^3 + x^2 + 1$$

I.9.2.2 Estructura de tramas

Reuniendo la cabida útil de 16 ODU G.709/Y.1331 se construye una super trama BCH, con lo que hay 3824 vectores de bits que contienen 128 bits cada uno, identificados con un índice que indica el orden de transmisión y que forma la siguiente matriz de 512×956 bits.

0	4	8				24					3800				3816	3820
1	5	9				25					3801				3817	3821
2	6	10				26					3802				3818	3822
3	7	11				27					3803				3819	3823

La trama completa (matriz de 512×1020) se obtiene añadiendo 512×64 bits de paridad, es decir, 64 columnas a la derecha.

Se mantiene el orden de transmisión de los bits de datos.

I.9.2.3 Función de entrelazado

La trama completa, que está formada por 512×1020 bits, está dividida en 16×32 subbloques. Las filas se rellenan con cuatro bits puestos a cero, que añaden cuatro columnas a la izquierda de la estructura (naturalmente, estos bits no se transmiten).

Cada subbloque es un cuadrado que contiene 32×32 bits.

Los bloques de las columnas 2,3...31 contienen los bits de cabida útil, y los bloques de las columnas 0-1 contienen los bits de paridad.

0,31	0,30	0,29	0,28	0,27		0,4	0,3	0,2	0,1	0,0
1,31	1,30	1,29	1,28	1,27						
2,31										
14,31	14,30	14,29	14,28	14,27						14,0
15,31	15,30	15,29	15,28	15,27		15,4	15,3	15,2	15,1	15,0

La función de entrelazado desplaza los bloques dentro de cada columna para producir la siguiente matriz:

15,31	15,30	14,29	14,28	13,27		2,4	1,3	1,2	0,1	0,0
0,31	0,30	15,29	15,28	14,27		3,4	2,3	2,2	1,1	1,0
1,31	1,30	0,29	0,28	15,27		4,4	3,3	3,2	2,1	2,0
2,31	2,30	1,29	1,28	0,27		5,4				
				1,27		6,4				
				2,27		7,4				
				3,27		8,4				
				4,27		9,4				
				5,27		10,4				
8,31	8,30	7,29	7,28	6,27		11,4	10,3	10,2	9,1	9,0
				7,27		12,4				
				8,27		13,4				
				9,27		14,4	13,3	13,2	12,1	12,0
				10,27		15,4	14,3	14,2	13,1	13,0
13,31	13,30	12,29	12,28	11,27		0,4	15,3	15,2	14,1	14,0
14,31	14,30	13,29	13,28	12,27		1,4	0,3	0,2	15,1	15,0

Esta función de entrelazado también desplaza los bits dentro de las columnas de cada bloque. De esta forma, el siguiente bloque:

0,31	0,30	0,29	0,2	0,1	0,0
1,31	1,30	1,29			1,0
2,31	2,30	2,29			2,0
					29,0
					30,0
31,31	31,30	31,29	31,2	31,1	31,0

se convierte en:

0,31	31,30	30,29	3,2	2,1	1,0
1,31	0,30	31,29	4,2	3,1	2,0
2,31	1,30	0,29	5,2	4,1	3,0
29,31	28,30	27,29	0,2	31,1	30,0
30,31	29,30	28,29	1,2	0,1	31,0
31,31	30,30	29,29	2,2	1,1	0,0

La función de entrelazado se puede expresar mediante una fórmula sencilla; el bit colocado en la posición [I,J], (siendo $0 \leq I \leq 511$, $0 \leq J \leq 1023$) pasa a la posición:

$(((I-J-1 \text{ MOD } 32) + 32 (I/32 - J/64) \text{ MOD } 512), J)$, en la que "/" representa una división de enteros.

Para el cálculo de los bits de paridad hay que tener en cuenta que cada fila (hay 512 filas) de la trama completa es una palabra de código BCH(1020,988), y que cada fila (hay 512 filas) de la trama completa entrelazada también es una palabra de código BCH(1020,988). Así pues, todos los bits transmitidos están protegidos por dos códigos BCH.

Una característica esencial de esa función de entrelazado es que el índice de columna no se modifica, lo que permite procesar los mismos bits de datos entrantes en paralelo en los codificadores BCH de lectura horizontal e inclinada, sin almacenamiento intermedio.

Las columnas 0 a 63 contienen los bits de paridad y se transmiten entrelazadas con datos para mantener la estructura de datos estándar: después de cada ODU vienen 2048 bits que pertenecen a la misma trama general.

Orden de transmisión de los bits de paridad:

Para $T = 0$ a 32767

Fila = $T \text{ MOD } 64 + 64 (T/4096)$

Columna = $63 - (T \text{ MOD } 4096)/64$

Enviar_bit(fila, columna)

Fin

1.9.2.4 Codificador

Con este proceso se pretende que cada fila sea una palabra de código BCH antes y después de la función de entrelazado, lo que se consigue superponiendo efectos.

Considérense los bloques de paridad (0,1) y (0,0) (el mismo proceso se repite en las otras 15 filas de bloque)

Considérese primero el código horizontal: el bloque (0,1) se pone a cero (1024 ceros) y se transfieren los residuos de $g_H(x)$ para cada una de las 32 filas. Este resultado de 1024 bits constituye el vector p_H .

El código de línea inclinada funciona sobre las filas de la trama entrelazada. Obsérvese que los bloques de paridad tienen la misma posición. El bloque (0,1) se pone a cero y se transfieren los residuos de $g_S(x)$ para cada una de las 32 filas. Este resultado de 1024 bits constituye el vector p_S .

De otra parte, los bits internos del bloque (0,1), que constituyen el vector q , se determinan para obtener la misma paridad para los dos códigos.

Siendo M_H y M_T los operadores lineales que representan la operación con residuo desde el bloque (0,1) hasta el bloque (0,0), y T la matriz de entrelazado, entonces:

$$T(M_H q + p_H) = M_S T q + p_S \Rightarrow q = (T M_H - M_S T)^{-1} (p_S - T p_H)$$

Por último, se establece que el contenido de los bloques (0,1) y (0,0) es q y $M_H q + p_H$ respectivamente.

1.9.2.5 Decodificación iterativa

Es evidente que el número de iteraciones aumenta la capacidad de corrección de errores. Este número lo puede determinar el proveedor, pero la función de entrelazado sencilla y la utilización de polinomios BCH de un grado bajo permiten hacer fácilmente entre 12 y 20 iteraciones.

También es posible, y se recomienda, hacer una decodificación por reparación de supresiones. Por ejemplo, el tipo de error que más probablemente no pueden corregir los decodificadores BCH es un error de 8 bits que pertenece a dos palabras de código horizontales y dos palabras de código de una línea inclinada; es un tipo de error que se puede reconocer y corregir fácilmente. Otros errores similares de poca importancia también pueden corregirse con un algoritmo poco complejo para reparación de supresiones.

1.9.3 Capacidad de corrección de errores

La capacidad de corrección de errores de este esquema FEC mejorado depende del número de iteraciones en el proceso de decodificación. En el cuadro I.22 se resumen los resultados del código con un proceso de decodificación en 10 iteraciones (resultados obtenidos en simulaciones).

Cuadro I.22/G.975.1 – Capacidad de corrección de errores

BER de entrada	BER de salida	Ganancia de codificación neta (dB)	Ganancia de codificación (dB)	Factor Q (dB)
5,00E-03	3,07E-03	0,25	0,54	8,22
4,70E-03	8,87E-04	1,33	1,61	8,29
4,50E-03	4,42E-05	3,25	3,53	8,34
4,30E-03	9,30E-08	5,67	5,95	8,39
4,00E-03	7,00E-14	8,63	8,91	8,47
3,50E-03	2,10E-14	8,67	8,95	8,62

La utilización sugerida de un algoritmo para supresiones mejora los resultados y permite obtener, por ejemplo, una BER de salida inferior a 10E-16 para una BER de entrada de 4,00E-03.

En las figuras I.37 y I.38 se representan los resultados de este sistema FEC mejorado, comparando la BER con el factor Q, y la BER de salida con la BER de entrada.

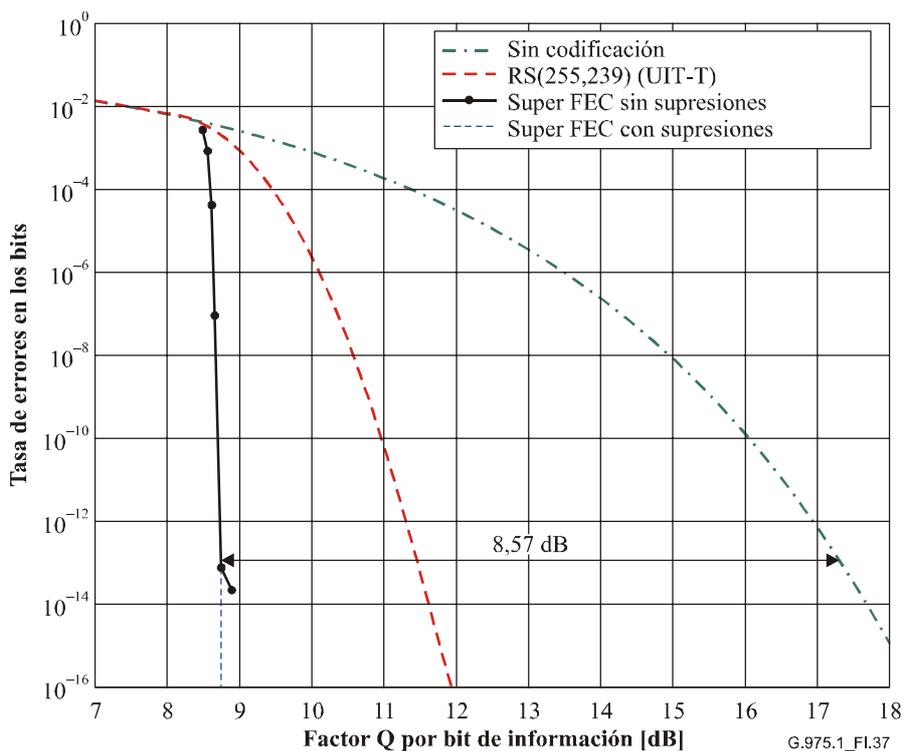


Figura I.37/G.975.1 – Ganancia de codificación

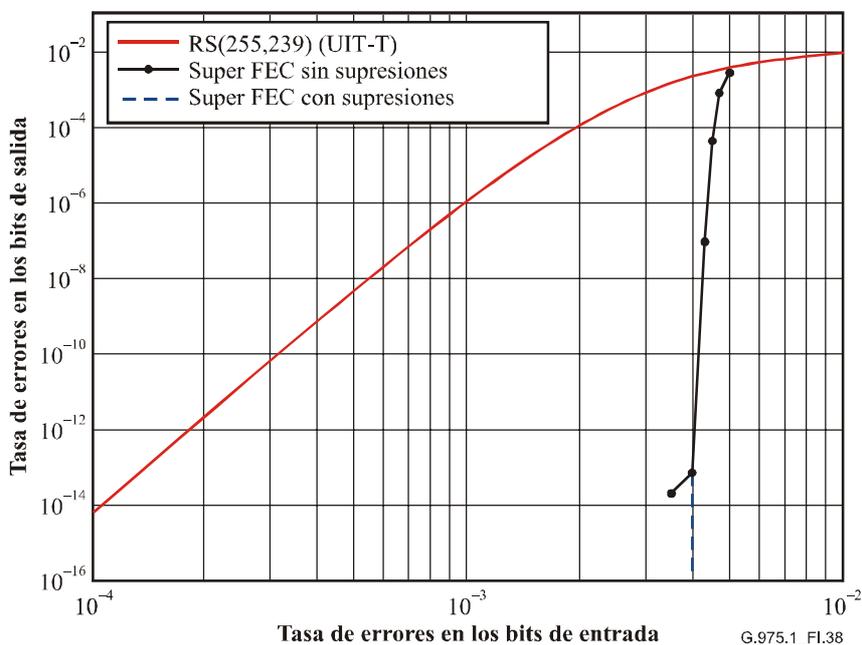


Figura I.38/G.975.1 – Resultados de la FEC

I.9.4 Relación de redundancia

El esquema de codificación descrito tiene una relación de redundancia de 6,69%, igual a la relación del código RS(255,239) estándar de la Rec. UIT-T G.709/Y.1331.

I.9.5 Latencia

Con una cabida útil de 10 Gbit/s, se observa una latencia de 50 μ s aproximadamente para el codificador, y 100 μ s para el decodificador.

I.9.6 Propiedad particular

El esquema FEC mejorado genera la señal codificada a una velocidad binaria igual a la definida por la Rec. UIT-T G.709/Y.1331. De otra parte, la máquina de decodificación se puede implementar con muy pocos elementos de circuito, aunque los bloques son muy largos.

SERIES DE RECOMENDACIONES DEL UIT-T

Serie A	Organización del trabajo del UIT-T
Serie D	Principios generales de tarificación
Serie E	Explotación general de la red, servicio telefónico, explotación del servicio y factores humanos
Serie F	Servicios de telecomunicación no telefónicos
Serie G	Sistemas y medios de transmisión, sistemas y redes digitales
Serie H	Sistemas audiovisuales y multimedios
Serie I	Red digital de servicios integrados
Serie J	Redes de cable y transmisión de programas radiofónicos y televisivos, y de otras señales multimedios
Serie K	Protección contra las interferencias
Serie L	Construcción, instalación y protección de los cables y otros elementos de planta exterior
Serie M	Gestión de las telecomunicaciones, incluida la RGT y el mantenimiento de redes
Serie N	Mantenimiento: circuitos internacionales para transmisiones radiofónicas y de televisión
Serie O	Especificaciones de los aparatos de medida
Serie P	Calidad de transmisión telefónica, instalaciones telefónicas y redes locales
Serie Q	Conmutación y señalización
Serie R	Transmisión telegráfica
Serie S	Equipos terminales para servicios de telegrafía
Serie T	Terminales para servicios de telemática
Serie U	Conmutación telegráfica
Serie V	Comunicación de datos por la red telefónica
Serie X	Redes de datos, comunicaciones de sistemas abiertos y seguridad
Serie Y	Infraestructura mundial de la información, aspectos del protocolo Internet y Redes de la próxima generación
Serie Z	Lenguajes y aspectos generales de soporte lógico para sistemas de telecomunicación