

Union internationale des télécommunications

**UIT-T**

SECTEUR DE LA NORMALISATION  
DES TÉLÉCOMMUNICATIONS  
DE L'UIT

**G.975.1**

(02/2004)

SÉRIE G: SYSTÈMES ET SUPPORTS DE  
TRANSMISSION, SYSTÈMES ET RÉSEAUX  
NUMÉRIQUES

Sections numériques et systèmes de lignes numériques –  
Systèmes de câbles optiques sous-marins

---

**Correction directe d'erreur pour les systèmes  
sous-marins à haut débit et à multiplexage par  
répartition dense en longueurs d'onde**

Recommandation UIT-T G.975.1



RECOMMANDATIONS UIT-T DE LA SÉRIE G  
**SYSTÈMES ET SUPPORTS DE TRANSMISSION, SYSTÈMES ET RÉSEAUX NUMÉRIQUES**

CONNEXIONS ET CIRCUITS TÉLÉPHONIQUES INTERNATIONAUX	G.100–G.199
CARACTÉRISTIQUES GÉNÉRALES COMMUNES À TOUS LES SYSTÈMES ANALOGIQUES À COURANTS PORTEURS	G.200–G.299
CARACTÉRISTIQUES INDIVIDUELLES DES SYSTÈMES TÉLÉPHONIQUES INTERNATIONAUX À COURANTS PORTEURS SUR LIGNES MÉTALLIQUES	G.300–G.399
CARACTÉRISTIQUES GÉNÉRALES DES SYSTÈMES TÉLÉPHONIQUES INTERNATIONAUX HERTZIENS OU À SATELLITES ET INTERCONNEXION AVEC LES SYSTÈMES SUR LIGNES MÉTALLIQUES	G.400–G.449
COORDINATION DE LA RADIOTÉLÉPHONIE ET DE LA TÉLÉPHONIE SUR LIGNES	G.450–G.499
CARACTÉRISTIQUES DES SUPPORTS DE TRANSMISSION	G.600–G.699
EQUIPEMENTS TERMINAUX NUMÉRIQUES	G.700–G.799
RÉSEAUX NUMÉRIQUES	G.800–G.899
SECTIONS NUMÉRIQUES ET SYSTÈMES DE LIGNES NUMÉRIQUES	G.900–G.999
Généralités	G.900–G.909
Paramètres pour les systèmes à câbles optiques	G.910–G.919
Sections numériques à débits hiérarchisés multiples de 2048 kbit/s	G.920–G.929
Systèmes numériques de transmission par ligne à débits non hiérarchisés	G.930–G.939
Systèmes de transmission numérique par ligne à supports MRF	G.940–G.949
Systèmes numériques de transmission par ligne	G.950–G.959
Section numérique et systèmes de transmission numériques pour l'accès usager du RNIS	G.960–G.969
<b>Systèmes de câbles optiques sous-marins</b>	<b>G.970–G.979</b>
Systèmes de transmission par ligne optique pour les réseaux locaux et les réseaux d'accès	G.980–G.989
QUALITÉ DE SERVICE ET DE TRANSMISSION – ASPECTS GÉNÉRIQUES ET ASPECTS LIÉS À L'UTILISATEUR	G.1000–G.1999
CARACTÉRISTIQUES DES SUPPORTS DE TRANSMISSION	G.6000–G.6999
EQUIPEMENTS TERMINAUX NUMÉRIQUES	G.7000–G.7999
RÉSEAUX NUMÉRIQUES	G.8000–G.8999

*Pour plus de détails, voir la Liste des Recommandations de l'UIT-T.*

## **Recommandation UIT-T G.975.1**

### **Correction directe d'erreur pour les systèmes sous-marins à haut débit et à multiplexage par répartition dense en longueurs d'onde**

#### **Résumé**

La présente Recommandation décrit les fonctions de correction d'erreur directe (FEC, *forward error correction*) dotées d'une capacité de correction supérieure à celle du code RS(255,239) défini dans la Rec. UIT-T G.975 pour les systèmes sous-marins sur câbles DWDM à haut débit. L'Appendice I décrit en outre les schémas de codage super FEC, dont la capacité de correction est supérieure à celle des codes RS(255,239). L'utilisation de cette fonction super FEC dans l'équipement terminal de transmission sous-marin (TTE, *terminal transmission equipment*) ne doit pas être considérée comme obligatoire.

#### **Source**

La Recommandation UIT-T G.975.1 a été approuvée le 22 février 2004 par la Commission d'études 15 (2001-2004) de l'UIT-T selon la procédure définie dans la Recommandation UIT-T A.8.

## AVANT-PROPOS

L'UIT (Union internationale des télécommunications) est une institution spécialisée des Nations Unies dans le domaine des télécommunications. L'UIT-T (Secteur de la normalisation des télécommunications) est un organe permanent de l'UIT. Il est chargé de l'étude des questions techniques, d'exploitation et de tarification, et émet à ce sujet des Recommandations en vue de la normalisation des télécommunications à l'échelle mondiale.

L'Assemblée mondiale de normalisation des télécommunications (AMNT), qui se réunit tous les quatre ans, détermine les thèmes d'étude à traiter par les Commissions d'études de l'UIT-T, lesquelles élaborent en retour des Recommandations sur ces thèmes.

L'approbation des Recommandations par les Membres de l'UIT-T s'effectue selon la procédure définie dans la Résolution 1 de l'AMNT.

Dans certains secteurs des technologies de l'information qui correspondent à la sphère de compétence de l'UIT-T, les normes nécessaires se préparent en collaboration avec l'ISO et la CEI.

## NOTE

Dans la présente Recommandation, l'expression "Administration" est utilisée pour désigner de façon abrégée aussi bien une administration de télécommunications qu'une exploitation reconnue.

Le respect de cette Recommandation se fait à titre volontaire. Cependant, il se peut que la Recommandation contienne certaines dispositions obligatoires (pour assurer, par exemple, l'interopérabilité et l'applicabilité) et considère que la Recommandation est respectée lorsque toutes ces dispositions sont observées. Le futur d'obligation et les autres moyens d'expression de l'obligation comme le verbe "devoir" ainsi que leurs formes négatives servent à énoncer des prescriptions. L'utilisation de ces formes ne signifie pas qu'il est obligatoire de respecter la Recommandation.

## DROITS DE PROPRIÉTÉ INTELLECTUELLE

L'UIT attire l'attention sur la possibilité que l'application ou la mise en œuvre de la présente Recommandation puisse donner lieu à l'utilisation d'un droit de propriété intellectuelle. L'UIT ne prend pas position en ce qui concerne l'existence, la validité ou l'applicabilité des droits de propriété intellectuelle, qu'ils soient revendiqués par un Membre de l'UIT ou par une tierce partie étrangère à la procédure d'élaboration des Recommandations.

A la date d'approbation de la présente Recommandation, l'UIT n'avait pas été avisée de l'existence d'une propriété intellectuelle protégée par des brevets à acquérir pour mettre en œuvre la présente Recommandation. Toutefois, comme il ne s'agit peut-être pas de renseignements les plus récents, il est vivement recommandé aux responsables de la mise en œuvre de consulter la base de données des brevets du TSB.

© UIT 2005

Tous droits réservés. Aucune partie de cette publication ne peut être reproduite, par quelque procédé que ce soit, sans l'accord écrit préalable de l'UIT.

## TABLE DES MATIÈRES

		Page
1	Domaine d'application .....	1
2	Références normatives.....	1
3	Termes et définitions .....	2
3.1	Termes définis dans d'autres Recommandations.....	2
3.2	Définitions.....	3
4	Abréviations.....	3
5	Caractéristiques de la fonction super FEC.....	3
5.1	Principes généraux de la fonction super FEC.....	3
5.2	Schéma de codage super FEC .....	4
6	Définition de la fonction de codage super FEC.....	4
6.1	Définition.....	4
6.2	Algorithme de codage super FEC.....	5
6.3	Propriétés relatives au code super FEC .....	5
6.4	Structure de trame super FEC.....	5
7	Paramètres relatifs au codage super FEC .....	5
7.1	Capacité de correction .....	5
7.2	Taux de redondance.....	7
7.3	Latence .....	7
8	Supervision .....	7
8.1	Supervision de la qualité du signal.....	7
8.2	Supervision de la connectivité.....	7
Appendice I – Schémas de codage super FEC.....		8
I.1	Aperçu général.....	8
I.2	Code super FEC RS(255,239)/CSOC ( $n_0/k_0 = 7/6$ , $J = 8$ ).....	8
I.3	Super FEC à codes BCH concaténés.....	14
I.4	Code super FEC RS(1023,1007)/BCH(2047,1952).....	20
I.5	Schéma de codage super FEC RS & code produit concaténés.....	24
I.6	Code super FEC LDPC .....	27
I.7	Code super FEC – Deux codes BCH orthogonaux concaténés.....	30
I.8	Code super FEC Reed-Solomon (2720,2550).....	43
I.9	Code super FEC à deux codes BCH(1020,988) étendus entrelacés.....	47



# Recommandation UIT-T G.975.1

## Correction directe d'erreur pour les systèmes sous-marins à haut débit et à multiplexage par répartition dense en longueurs d'onde

### 1 Domaine d'application

La présente Recommandation décrit les fonctions FEC dont la capacité de correction est supérieure à celle du code RS(255,239) défini dans la Rec. UIT-T G.975 dans les systèmes sous-marins à câbles optiques; elle décrit en outre les spécifications en ce qui concerne le contrôle des systèmes sous-marins à câbles. La présente Recommandation traite d'applications constituées aussi bien de systèmes à répéteur à amplification optique (Rec. UIT-T G.977) que de systèmes optiques sans répéteur (Rec. UIT-T G.973). L'utilisation de cette fonction super FEC dans l'équipement de transmission terminal sous-marin ne doit pas être considérée comme obligatoire.

La présente Recommandation n'a pas pour objet de chercher à obtenir la compatibilité transversale du système. Par conséquent, la sélection des structures de trames FEC qui y sont décrites est un sujet d'ingénierie en commun.

Les signaux de transmission considérés peuvent être de type STM-16, STM-64, STM-256, ODU1, ODU2 et ODU3 étant donné que le système sous-marin peut être conçu comme l'une des applications IaDI définies dans la Rec. UIT-T G.872. Cela ne signifie cependant pas une limitation du débit binaire aux valeurs correspondant aux signaux susmentionnés.

### 2 Références normatives

La présente Recommandation se réfère à certaines dispositions des Recommandations UIT-T et textes suivants qui, de ce fait, en sont partie intégrante. Les versions indiquées étaient en vigueur au moment de la publication de la présente Recommandation. Toute Recommandation ou tout texte étant sujet à révision, les utilisateurs de la présente Recommandation sont invités à se reporter, si possible, aux versions les plus récentes des références normatives suivantes. La liste des Recommandations de l'UIT-T en vigueur est régulièrement publiée. La référence à un document figurant dans la présente Recommandation ne donne pas à ce document, en tant que tel, le statut d'une Recommandation.

- Recommandation UIT-T G.691 (2003), *Interfaces optiques pour les systèmes STM-64 et autres systèmes SDH monocanaux à amplificateurs optiques.*
- Recommandation UIT-T G.693 (2003), *Interfaces optiques pour les connexions locales.*
- Recommandation UIT-T G.707/Y.1322 (2003), *Interface de nœud de réseau pour la hiérarchie numérique synchrone.*
- Recommandation UIT-T G.709/Y.1331 (2003), *Interfaces pour le réseau de transport optique.*
- Recommandation UIT-T G.798 (2002), *Caractéristiques des blocs fonctionnels des équipements à hiérarchie numérique du réseau de transport optique.*
- Recommandation UIT-T G.805 (2000), *Architecture fonctionnelle générale des réseaux de transport.*
- Recommandation UIT-T G.872 (2001), *Architecture des réseaux de transport optiques.*
- Recommandation UIT-T G.957 (1999), *Interfaces optiques pour les équipements et les systèmes relatifs à la hiérarchie numérique synchrone.*

- Recommandation UIT-T G.959.1 (2003), *Interfaces de couche Physique du réseau optique de transport.*
- Recommandation UIT-T G.972 (2000), *Définition des termes relatifs aux systèmes de câbles optiques sous-marins.*
- Recommandation UIT-T G.973 (2003), *Caractéristiques des systèmes en câbles sous-marins à fibres optiques sans répéteurs.*
- Recommandation UIT-T G.975 (2000), *Correction directe d'erreur pour les systèmes sous-marins.*
- Recommandation UIT-T G.977 (2000), *Caractéristiques des systèmes de câbles sous-marins à amplification optique.*
- IEEE Standard 802.3-2002, *Information Technology – Telecommunication and Information Exchange between Systems – LAN/MAN – Specific Requirements – Part 3: Carrier sense multiple access with collision detection (CSMA/CD) access method and physical layer specifications.*

### **3 Termes et définitions**

#### **3.1 Termes définis dans d'autres Recommandations**

La présente Recommandation utilise les termes suivants définis dans d'autres Recommandations:

hiérarchie numérique synchrone (SDH, *synchronous digital hierarchy*): voir la Rec. UIT-T G.707/Y.1322;

module de transport synchrone (STM, *synchronous transport module*): voir la Rec. UIT-T G.707/Y.1322;

système sur câble sous-marin à fibres optiques: voir la Rec. UIT-T G.972;

équipement terminal de transmission (TTE): voir la Rec. UIT-T G.972;

bilan de puissance optique: voir la Rec. UIT-T G.972;

canal de service: voir la Rec. UIT-T G.972;

canal de liaison entre opérateurs: voir la Rec. UIT-T G.972;

taux d'erreur en ligne: voir la Rec. UIT-T G.972;

correction d'erreur directe (FEC): voir la Rec. UIT-T G.972;

trame FEC: voir la Rec. UIT-T G.972;

codeur FEC: voir la Rec. UIT-T G.972;

décodeur FEC: voir la Rec. UIT-T G.972;

code bloc: voir la Rec. UIT-T G.975;

code cyclique: voir la Rec. UIT-T G.975;

code systématique: voir la Rec. UIT-T G.975;

mot d'information: voir la Rec. UIT-T G.975;

mot de code: voir la Rec. UIT-T G.975.

## 3.2 Définitions

La présente Recommandation définit les termes suivants:

**3.2.1 gain de codage:** le gain de codage désigne l'accroissement de sensibilité optique du codage FEC, sans tenir compte de la pénalité due à l'augmentation du débit binaire.

**3.2.2 gain de codage net:** le gain de codage net désigne l'accroissement de sensibilité optique du codage FEC, compte tenu de la pénalité due à l'augmentation du débit binaire.

## 4 Abréviations

La présente Recommandation utilise les abréviations suivantes:

BCH Bose-Chaudhuri-Hocquengham

BER taux d'erreur sur les bits (*bit error ratio*)

DWDM multiplexage par répartition dense en longueurs d'onde (*dense wavelength division multiplexing*)

EDFA amplificateur à fibre dopée à l'erbium (*erbium-doped fibre amplifier*)

FEC correction d'erreur directe (*forward error correction*)

GF champ de Galois (*Galois field*)

NCG gain de codage net (*net coding gain*)

RS Reed-Solomon

TTE équipement terminal de transmission (*terminal transmission equipment*)

TTI identificateur de trace de chemin (*trail trace identifier*)

## 5 Caractéristiques de la fonction super FEC

### 5.1 Principes généraux de la fonction super FEC

Afin d'augmenter le débit binaire de transmission, ainsi que la distance et la capacité mises en œuvre dans la technologie DWDM, l'adoption de la fonction super FEC dont la capacité de correction d'erreur effective est supérieure à celle du codage RS(255,239) pourrait s'avérer indispensable dans les systèmes sous-marins à fibres optiques.

La Figure 1 illustre le fait que les procédures de codage et de décodage sont réalisées uniquement au niveau de l'équipement terminal de transmission (TTE), sur des signaux électriques, et profitent à l'ensemble du système sous-marin à fibres optiques qui comprend la fibre optique et éventuellement des modules optiques tels que des amplificateurs optiques utilisant la technologie EDFA.

La fonction super FEC comprend essentiellement:

- un codeur super FEC dans l'équipement terminal de transmission (TTE) émetteur qui accepte les bits d'information et ajoute des symboles redondants calculés, produisant ainsi des données codées à un débit supérieur;
- un décodeur super FEC dans l'équipement terminal de transmission TTE répéteur qui effectue la correction d'erreur tout en extrayant la redondance pour régénérer les données qui ont été codées par le codeur FEC.

Le signal de transmission considéré pourrait être de type STM-16, STM-64, STM-256, ODU1, ODU2 et ODU3. L'interface des équipements terminaux de transmission sous-marins peut exiger des cartes GbE et/ou 10GbE. Toutefois, cela ne signifie pas la limitation du débit binaire aux valeurs correspondant aux signaux susmentionnés.

L'Appendice I décrit plusieurs systèmes de codage super FEC, ainsi que leurs caractéristiques et leur capacité de correction.

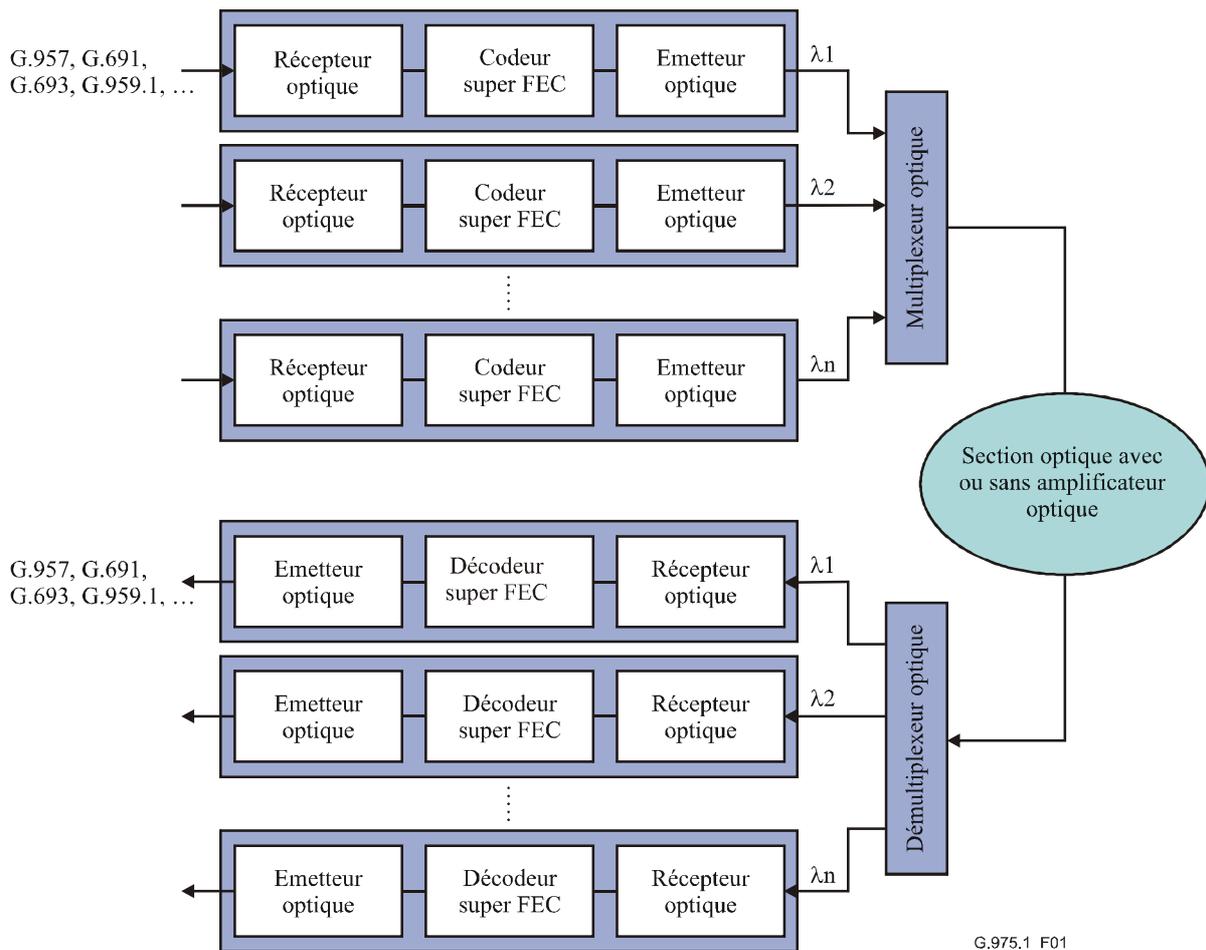


Figure 1/G.975.1 – Schéma de principe du système sous-marin à fibre optique DWDM

## 5.2 Schéma de codage super FEC

Un schéma de codage à correction d'erreur directe (FEC) est utilisé communément pour les systèmes à fibre optique tant sous-marins que terrestres, définis respectivement dans les Recommandations UIT-T G.975 et G.709/Y.1331. Dans ces Recommandations, le code Reed-Solomon (255,239) constitue par définition le schéma de codage FEC.

Plusieurs schémas super FEC sont envisagés afin d'obtenir une capacité de correction accrue. Par exemple, un schéma super FEC utilisant une combinaison de deux codes FEC est une solution bien connue de type [RS code + RS code], [BCH code + BCH code], [RS code + BCH code], etc.

Un schéma de codage super FEC utilisant une longueur de mot plus importante est également bien connu parmi les autres techniques envisageables.

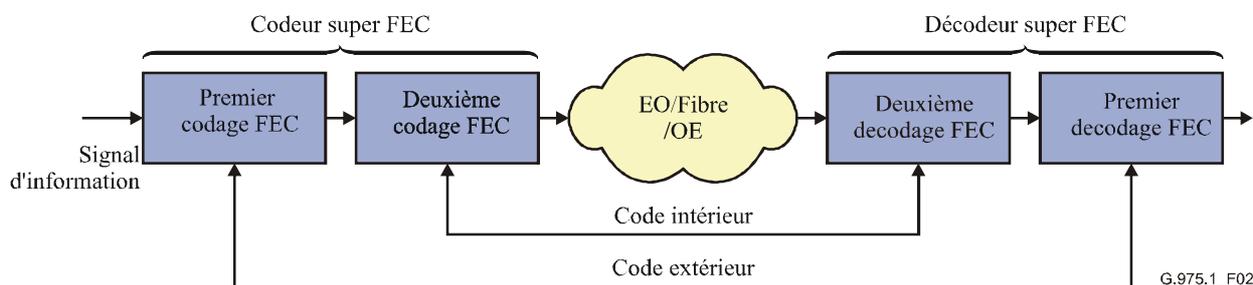
## 6 Définition de la fonction de codage super FEC

### 6.1 Définition

**6.1.1 code super FEC:** différents codes super FEC sont envisagés. Le code RS(255,239) dont la définition figure dans les Recommandations UIT-T G.975 et G.709/Y.1331 comporte un gain net de codage de 5,6 dB pour un BER de sortie du décodeur de  $10^{-12}$ . La présente Recommandation définit le code super FEC dont la capacité de correction est supérieure à celle du code RS(255,239). Le

niveau d'amélioration du codage super FEC par rapport au codage RS(255,239) doit faire l'objet d'un complément d'étude.

**6.1.2 code extérieur/code intérieur:** la Figure 2 représente le code extérieur et le code intérieur relatif au schéma de codage super FEC fondé sur l'utilisation de deux codes FEC concaténés.



**Figure 2/G.975.1 – Code extérieur et code intérieur**

**6.1.3 décodage à décision dure:** le décodage à décision dure désigne l'utilisation d'un niveau de quantification unique lors de l'échantillonnage binaire, les données binaires en question faisant ensuite l'objet du processus de décodage.

**6.1.4 décodage à décision pondérée:** pour la même forme d'onde reçue, les décodeurs à décision pondérée utilisent des niveaux multiples de quantification (normalement trois ou plus).

## 6.2 Algorithme de codage super FEC

Un algorithme de codage super FEC est fonction des caractéristiques cibles, telles que la capacité de correction, la latence, etc. L'Appendice I donne une description détaillée de différents algorithmes de codage super FEC.

## 6.3 Propriétés relatives au code super FEC

Les propriétés super FEC dépendent du schéma de codage FEC correspondant. Un schéma de codage super FEC peut se flatter d'avoir une capacité de correction accrue, tandis que d'autres sont susceptibles de présenter une latence plus faible. Les propriétés détaillées des codes super FEC sont présentées à l'Appendice I.

## 6.4 Structure de trame super FEC

Les structures de trame sont décrites à l'Appendice I.

## 7 Paramètres relatifs au codage super FEC

Un code super FEC est défini par différents aspects, notamment la faisabilité de la vitesse de fonctionnement du circuit, la spécification liée au retard de transaction du système et le taux de redondance optimum théorique. Le présent paragraphe décrit chacun de ces aspects. Les paramètres ainsi définis sont examinés à nouveau à l'Appendice I.

### 7.1 Capacité de correction

La capacité de correction d'erreur est indiquée par différents paramètres, notamment le BER, le gain de codage net, etc. Bien que tous ces paramètres soient étroitement liés, chaque indication contribue utilement à l'évaluation du code super FEC. Les paramètres suivants doivent être définis pour chaque code super FEC présenté à l'Appendice I.

### 7.1.1 Caractéristiques du BER

Le BER d'un codage FEC est indiqué en fonction du BER du signal d'entrée du décodeur et du BER du signal de sortie corrigé. De plus, cette amélioration du BER grâce au codage FEC constitue la caractéristique la plus intéressante et reflète la capacité de correction du codage FEC.

### 7.1.2 Gain de codage

Dans le cas d'erreurs à répartition aléatoire à l'intérieur du signal de ligne codé, un décodeur FEC réduit le BERin ( $B_{in}$ ) de ligne ou brut à une valeur de référence prescrite BER( $B_{ref}$ ) à l'intérieur du signal de charge utile. Le gain de codage pourrait donc être considéré comme la relation entre ces différents taux d'erreur binaire. Pour définir un paramètre de gain de codage davantage lié au système, la réduction du BER par le codage FEC est généralement transformée en une valeur exprimée en dB, rapportée à un système de référence théorique. Une pratique courante consiste à définir le gain de codage comme la réduction du rapport signal-bruit pour un BER de référence.

$$Coding\_Gain = 20 \log_{10} \left[ \operatorname{erfc}^{-1}(2B_{ref}) \right] - 20 \log_{10} \left[ \operatorname{erfc}^{-1}(2B_{in}) \right] \quad (\text{dB})$$

### 7.1.3 Gain net de codage

Le gain net de codage (NCG) se caractérise d'une part par le débit de codage R ( $R < 1$ , le débit de codage R est le rapport au débit binaire sans codage FEC au débit binaire avec codage FEC) et d'autre part, par le BERin ( $B_{in}$ ) maximal admissible ou du signal d'entrée du décodeur FEC, qui peut être réduit à une valeur de référence BERout =  $B_{ref}$ , par application de l'algorithme FEC. De plus, le gain de codage net se rapporte en principe à une voie symétrique binaire, avec ajout de blanc gaussien:

$$Net\_Coding\_Gain = 20 \log_{10} \left[ \operatorname{erfc}^{-1}(2B_{ref}) \right] - 20 \log_{10} \left[ \operatorname{erfc}^{-1}(2B_{in}) \right] + 10 \log_{10} R \quad (\text{dB})$$

Avec  $\operatorname{erfc}^{-1}$  inverse de la fonction d'erreur complémentaire  $\operatorname{erfc}(x) = 1 - \operatorname{erf}(x)$

### 7.1.4 Q limite

Q limite désigne la valeur minimale requise du facteur Q admissible du signal d'entrée, pour que le circuit de décision du récepteur puisse atteindre la valeur de référence du BER ( $B_{ref} \approx \text{BERout}$ ). Le facteur Q est égal au rapport signal-bruit au niveau du circuit de décision, exprimé en unités de tension ou d'intensité, généralement sous la forme:

$$Q = \frac{\mu_1 - \mu_0}{\sigma_1 + \sigma_0}$$

$\mu_{1/0}$  valeur moyenne des tensions ou intensités repères

$\sigma_{1/0}$  écart-type des tensions ou intensités repères

Les relations mathématiques définissant le BER (en cas de fonctionnement sans FEC) lorsque la valeur seuil est fixée à la valeur optimale sont les suivantes:

$$BER = \frac{1}{2} \operatorname{erfc} \left( \frac{Q}{\sqrt{2}} \right)$$

Le Tableau 1 est un tableau récapitulatif permettant de calculer la capacité de correction d'un système de codage super FEC défini par les caractéristiques susmentionnées. Afin de déterminer précisément la capacité de correction, toutes les valeurs doivent être inscrites dans le Tableau. L'Appendice I contient différents tableaux récapitulatifs de calcul de la capacité de correction.

**Tableau 1/G.975.1 – Tableau récapitulatif des capacités de correction**

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
	10 <sup>-9</sup>			
	10 <sup>-10</sup>			
	10 <sup>-11</sup>			
	10 <sup>-12</sup>			
	10 <sup>-13</sup>			
	10 <sup>-14</sup>			
	10 <sup>-15</sup>			

## 7.2 Taux de redondance

Le taux de redondance dépend des méthodes de codage super FEC. Il définit le rapport entre le nombre de bits d'information traité par le codage FEC et le nombre de bits après codage, contenant outre les mêmes informations, les informations de redondance ajoutées. Il ne tient pas du tout compte des bits d'en-tête de gestion ou de bourrage, tel qu'indiqué dans la Rec. UIT-T G.709/Y.1331.

Certaines méthodes se caractérisent par le même taux de redondance que celui indiqué dans les Recommandations UIT-T G.709/Y.1331 ou G.975, bien que leurs capacités de correction soient améliorées.

## 7.3 Latence

La transaction FEC risque d'introduire un retard de transmission relatif au codage, au décodage, à l'entrelacement et au désentrelacement FEC. Ce retard peut être défini comme une valeur temporelle réelle correspondant à un débit de transmission donné. Sinon, elle peut être indiquée sous la forme de nombre de bits d'informations entreposés à titre provisoire pendant le processus de codage/décodage. Dans la plupart des cas, ce deuxième nombre est indépendant du débit de transmission effectif.

## 8 Supervision

La définition des trames super FEC doit comporter la définition des fonctions d'en-tête OH (*over head*) nécessaires à l'exécution de certaines fonctions de maintenance. Les fonctions décrites dans le présent paragraphe servent à mesurer la performance de transmission. La méthode concrètement appliquée doit néanmoins faire l'objet d'un complément d'étude.

### 8.1 Supervision de la qualité du signal

L'évaluation de l'état de la transmission exige le recours à une technique de comptage des erreurs, par exemple le comptage d'erreurs BIP ou le comptage du nombre de bits de correction d'erreurs FEC. La présente Recommandation impose une surveillance de la performance par comptage des erreurs.

### 8.2 Supervision de la connectivité

Pour éviter toute perte de connexion, il est nécessaire de réaliser un repérage de trace, par exemple par identificateur TTI.

## Appendice I

### Schémas de codage super FEC

#### I.1 Aperçu général

Le Tableau I.1 donne un aperçu général des schémas de codage super FEC dont la description figure dans le présent appendice. Chaque schéma super FEC est décrit dans le paragraphe mentionné au Tableau I.1.

Tableau I.1/G.975.1 – Aperçu général des schémas de codage super FEC

Sous- paragraphe	Schéma FEC	
	Concaténé ou non-concaténé	Code FEC utilisé
I.2	FEC concaténé	Code extérieur: RS(255,239) Code intérieur: CSOC ( $n_0/k_0 = 7/6, J = 8$ )
I.3	FEC concaténé	Code extérieur: BCH(3860,3824) Code intérieur: BCH(2040,1930)
I.4	FEC concaténé	Code extérieur: RS(1023,1007) Code intérieur: BCH(2047,1952)
I.5	FEC concaténé (à décision pondérée)	Code extérieur: RS(1901,1855) Code intérieur: Code produit de Hamming étendu (512,502) $\times$ (510,500)
I.6	FEC non-concaténé	Code LDPC
I.7	FEC concaténé	Deux codes BCH orthogonaux concaténés
I.8	FEC non-concaténé	RS(2720,2550)
I.9	FEC concaténé	Deux codes BCH(1020,988) entrelacés étendus

#### I.2 Code super FEC RS(255,239)/CSOC ( $n_0/k_0 = 7/6, J = 8$ )

##### I.2.1 Aperçu général

Le présent paragraphe décrit un schéma de codage super FEC offrant une capacité de correction d'erreur supérieure à celle du code RS(255,239). La Figure I.1 illustre le schéma de codage super FEC. Ce schéma utilise un code RS concaténé et un code convolutionnel auto-orthogonal (CSOC). Le code RS(255,239) est utilisé en tant que code extérieur. Le CSOC ( $n_0/k_0 = 7/6, J = 8$ ) est utilisé en tant que code intérieur avec  $k_0$  nombre de bits à coder,  $n_0$  nombre de bits codés, et  $J$  nombre de jeux de contrôle orthogonaux. L'entrelaceur et le désentrelaceur sont utilisés entre le code intérieur et le code extérieur.

Les codes concaténés permettent d'appliquer un décodage itératif. De plus, les codages CSOC permettent d'appliquer de manière indépendante un décodage itératif. Ces techniques permettent d'améliorer la capacité de correction d'erreur sans augmenter le débit de codage. Le nombre d'itérations est propre à l'équipementier.

Le schéma de codage super FEC réalise un gain net de codage de 7,95 dB, pour un taux BER corrigé de  $10^{-12}$  avec un taux de redondance de 24,48%, au moyen de trois décodages itératifs CSOC.

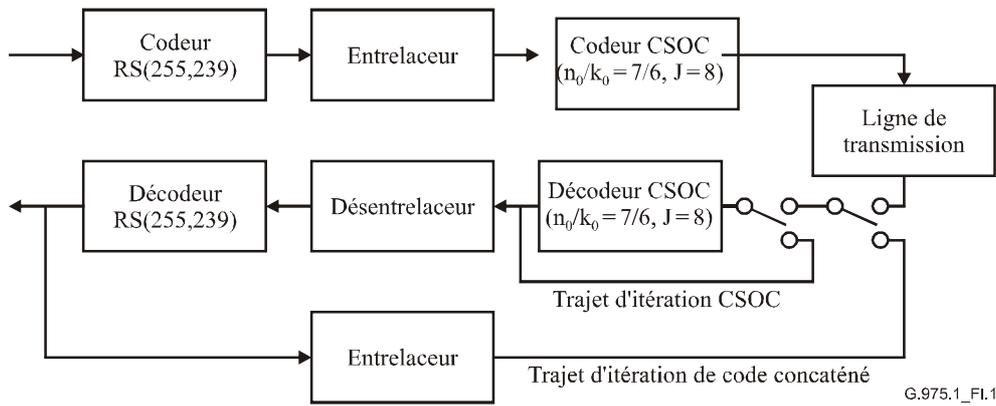


Figure I.1/G.975.1 – Schéma de codage super FEC

## I.2.2 Algorithme FEC

Le schéma de codage super FEC utilise les codes concaténés RS(255,239) et CSOC ( $n_0/k_0 = 7/6$ ,  $J = 8$ ). Le § I.2.2.3 donne la spécification détaillée des codes RS(255,239) et CSOC ( $n_0/k_0 = 7/6$ ,  $J = 8$ ) et de la structure de trame.

### I.2.2.1 Code RS(255,239)

Le code RS(255,239) est un code non binaire (l'algorithme FEC fonctionne sur des symboles de 8 bits) et appartient à une famille des codes de bloc cycliques linéaires systématiques.

Le polynôme générateur du code est donné par la formule:

$$G(D) = \prod_{i=0}^{15} (D - \alpha^i) \quad (I-1)$$

Où  $\alpha$  est la racine du polynôme primitif binaire  $x^8 + x^4 + x^3 + x^2 + 1$ . Un octet de données ( $d_7, d_6, \dots, d_1, d_0$ ) est identifié par l'élément  $d_7 \cdot \alpha^7 + d_6 \cdot \alpha^6 + \dots + d_1 \cdot \alpha^1 + d_0$  dans le champ GF (256), champ fini avec 256 éléments. Le mot de code RS(255,239) est constitué de 239 octets d'information et de 16 octets de parité. Le code RS(255,239) permet de corriger jusqu'à 8 erreurs de symbole dans un seul mot de code.

### I.2.2.2 Code CSOC ( $n_0/k_0 = 7/6$ , $J = 8$ )

Les codes CSOC sont définis par les polynômes générateurs. Le code super FEC applique les polynômes générateurs suivants:

$$\begin{aligned} G^{(5)}(D) &= 1 + D^{35} + D^{80} + D^{119} + D^{161} + D^{193} + D^{209} + D^{269} \\ G^{(4)}(D) &= 1 + D^{87} + D^{173} + D^{192} + D^{197} + D^{217} + D^{251} + D^{258} \\ G^{(3)}(D) &= 1 + D^{31} + D^{82} + D^{93} + D^{94} + D^{96} + D^{200} + D^{218} \\ G^{(2)}(D) &= 1 + D^{91} + D^{99} + D^{114} + D^{120} + D^{166} + D^{170} + D^{297} \\ G^{(1)}(D) &= 1 + D^{13} + D^{22} + D^{49} + D^{77} + D^{348} + D^{385} + D^{418} \\ G^{(0)}(D) &= 1 + D^{69} + D^{95} + D^{112} + D^{142} + D^{152} + D^{210} + D^{263} \end{aligned} \quad (I-2)$$

La Figure I.2 représente les schémas de codage et de décodage CSOC ( $n_0/k_0 = 7/6$ ,  $J = 8$ ). Le codeur CSOC ajoute un bit de parité à chaque groupe de six bits d'information et émet 7 bits codés séquentiellement. La séquence de partie P(D) est exprimée par la relation:

$$P(D) = \sum_{i=0}^5 M^{(i)}(D)G^{(i)}(D) \quad (I-3)$$

avec  $M^{(i)}(D)$  séquence d'information.

Le décodeur CSOC génère une séquence  $S(D)$  de sommes de contrôle de parité au moyen d'une réplique de codeur. La séquence de sommes de contrôle de parité  $S(D)$  est calculée comme suit:

$$\begin{aligned} S(D) &= [P(D) + F(D)] + \sum_{i=0}^5 [M^{(i)}(D) + E^{(i)}(D)] G^{(i)}(D) \\ &= \left[ \sum_{i=0}^5 M^{(i)}(D)G^{(i)}(D) + F(D) \right] + \sum_{i=0}^5 [M^{(i)}(D) + E^{(i)}(D)] G^{(i)}(D) \\ &= \sum_{i=0}^5 E^{(i)}(D)G^{(i)}(D) + F(D) \end{aligned} \quad (I-4)$$

avec  $E^{(i)}(D)$  séquence d'erreur de la séquence d'information  $M^{(i)}(D)$ .  $F(D)$  désigne la séquence d'erreurs sur la séquence de parité.

Le code CSOC ( $n_0/k_0 = 7/6$ ,  $J = 8$ ) fournit six séries de huit sommes de contrôle de parité orthogonales. Une série permet de vérifier un bit d'information. Ce bit d'information est estimé erroné par le décodeur de seuil si le nombre de sommes de contrôle de parité égales à 1 dans la série est égal ou supérieur à la valeur de seuil ( $Th$ ). La valeur de seuil doit être supérieure à  $J/2$ . Les codes CSOC permettent d'appliquer un décodage itératif par des processus indépendants.

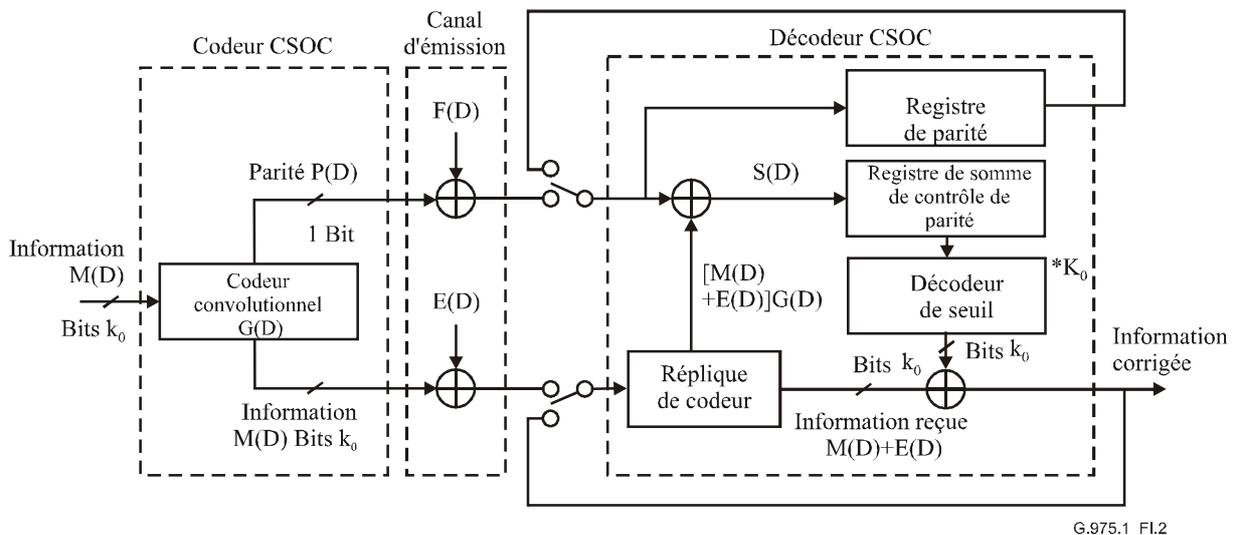


Figure I.2/G.975.1 – Codeur et décodeur CSOC

### I.2.2.3 Structure de trame

La Figure I.3 représente le format de trame appliqué par le codeur RS à l'entrelaceur. Ce format de trame est connu sous le nom de "format de trame RS" à des fins de commodité. Le format de trame RS est constitué de 16 mots de code RS(255,239).

La Figure I.4 représente le format de trame introduit par l'entrelaceur dans le codeur CSOC. Ce format de trame est appelé "format de trame RS entrelacé".

La Figure I.5 représente le format de trame introduit par le codeur CSOC dans la ligne de transmission. Ce format de trame est appelé "format de trame CSOC".  $m^{(i)}_j$  signifie coefficient du terme de degré  $j$  du polynôme de séquence d'information  $M^{(i)}(D)$ .  $p_j$  désigne le coefficient du terme

de degré  $j$  du polynôme de séquence de parité  $P(D)$ . Il convient de signaler que les codeurs CSOC ne traitent pas les bits de terminaison à la limite de trame.

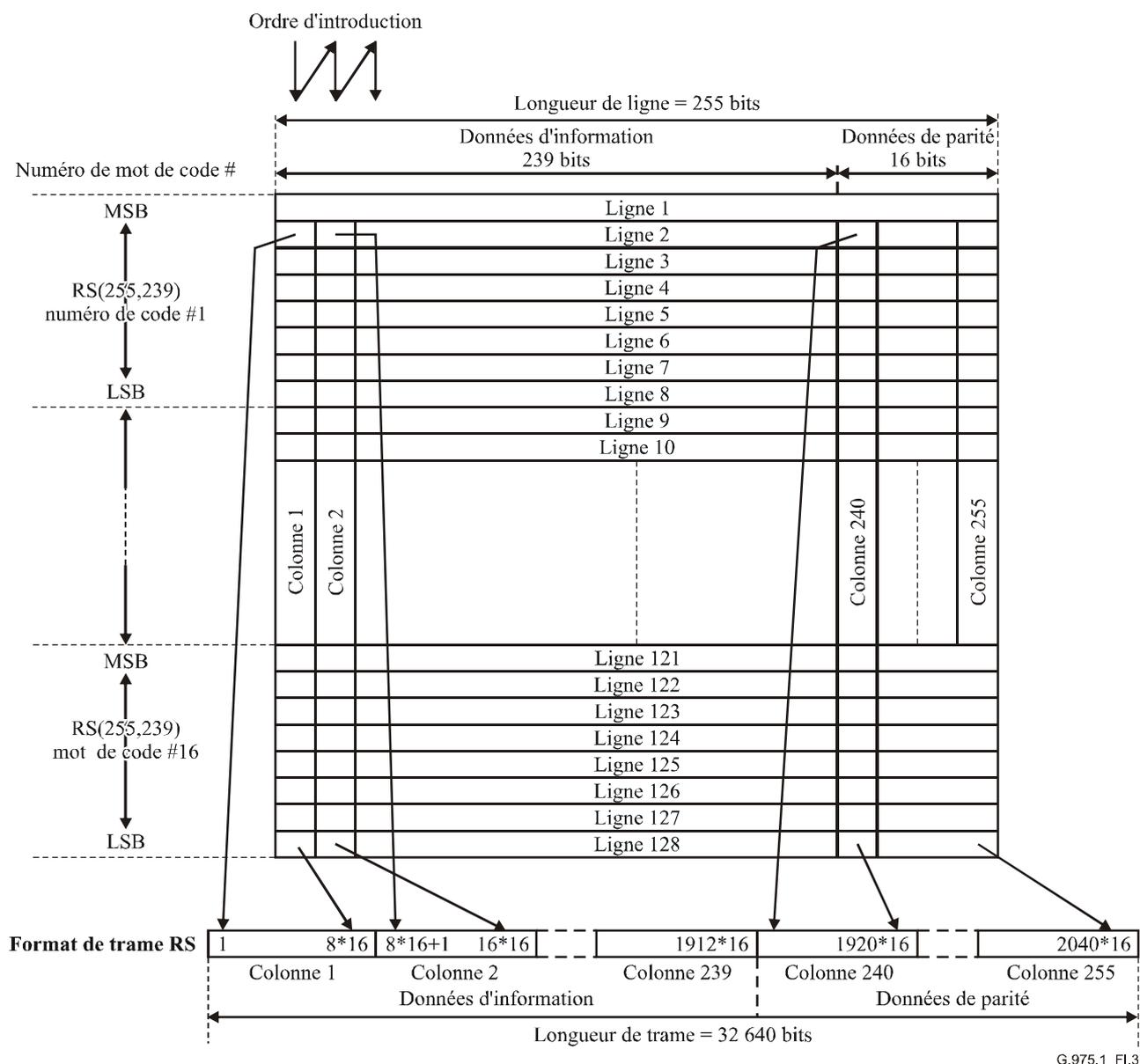
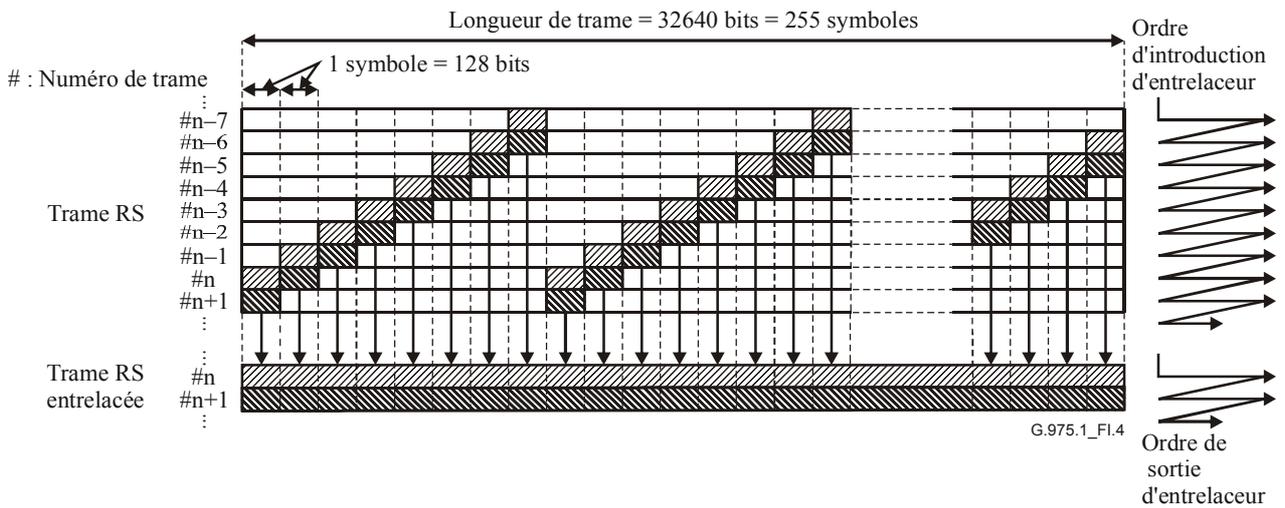
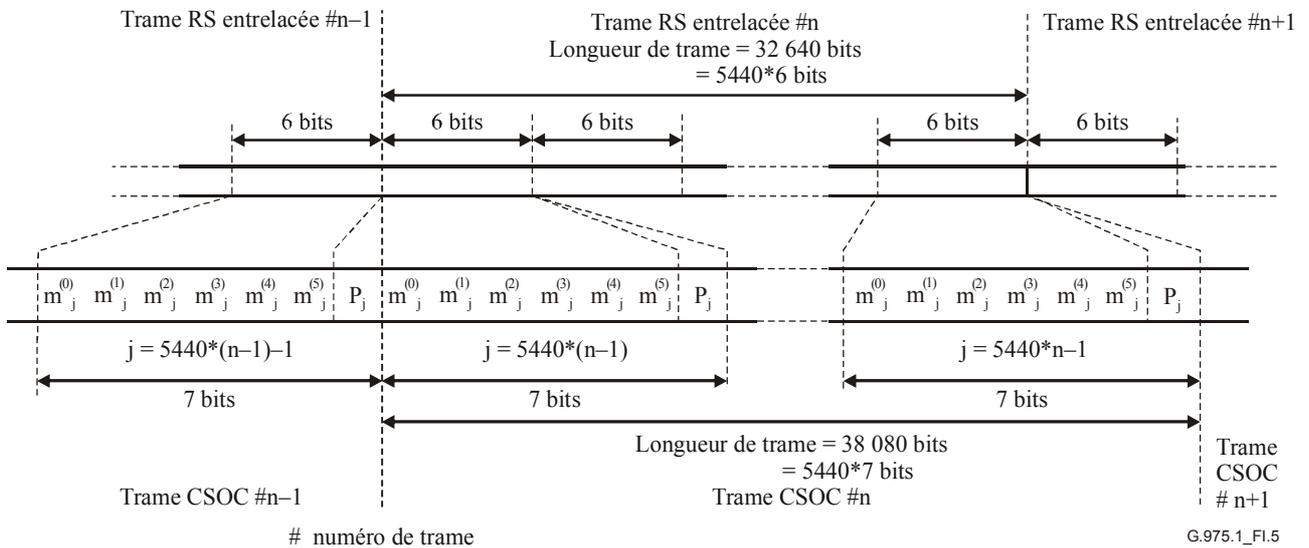


Figure I.3/G.975.1 – Format de trame RS



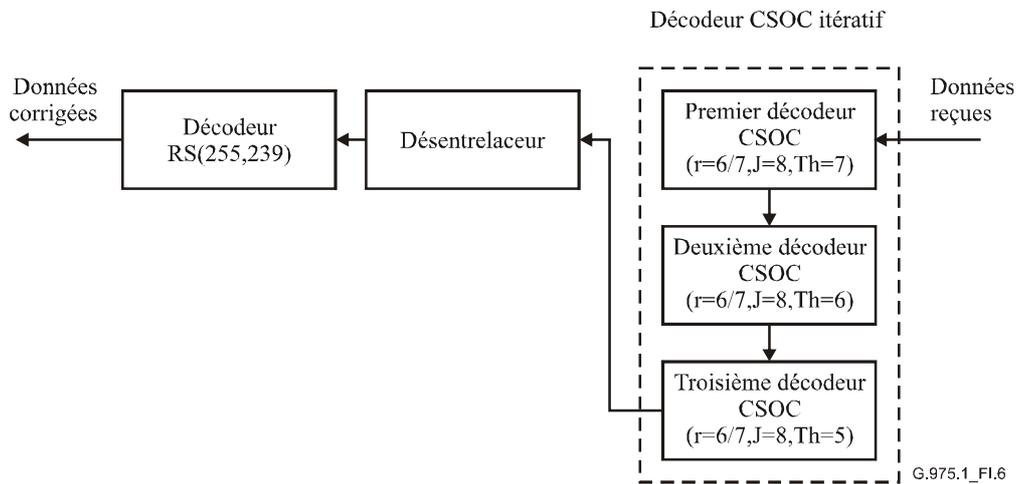
**Figure I.4/G.975.1 – Format de trame RS entrelacé**



**Figure I.5/G.975.1 – Format de trame CSOC**

### I.2.3 Capacité de correction d'erreur

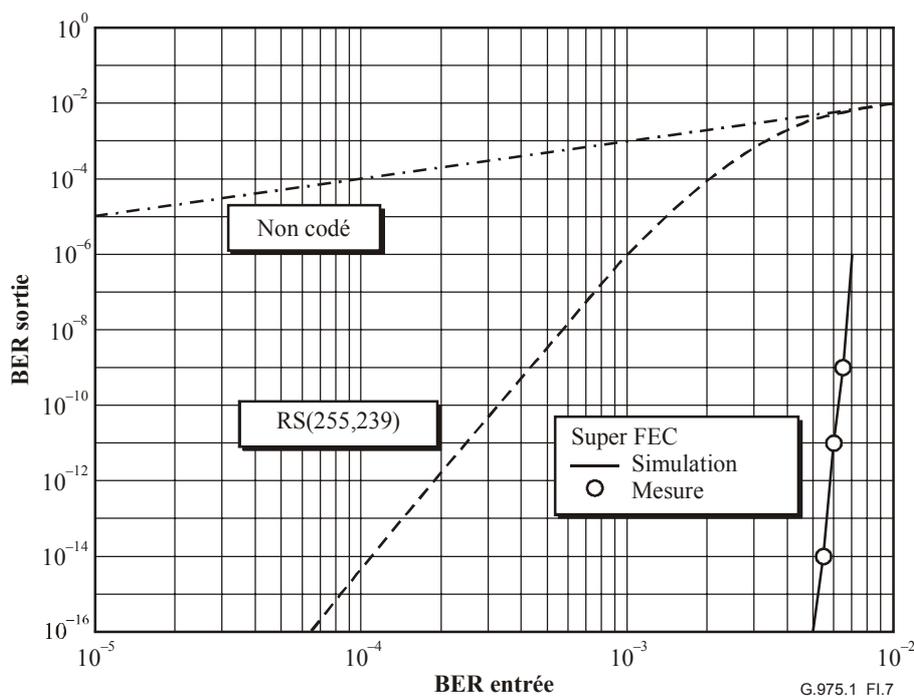
La capacité de correction d'erreur du code super FEC dépend du nombre d'itérations et des valeurs seuils du décodeur CSOC. La Figure I.6 montre un exemple de décodeur super FEC. Ce décodeur opère trois fois le processus de décodage CSOC. Les valeurs seuils du premier, du deuxième et du troisième décodeur CSOC sont respectivement de sept, six et cinq. Le Tableau I.2 et la Figure I.7 récapitulent les capacités de correction d'erreur. La Figure I.7 compare la capacité de correction d'erreur du décodeur RS(255,239) et super FEC.



**Figure I.6/G.975.1 – Exemple de décodeur super FEC**

**Tableau I.2/G.975.1 – Tableau récapitulatif des capacités de correction**

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$6,50 \times 10^{-3}$	$1,00 \times 10^{-9}$	6,70	7,66	7,9022
$6,30 \times 10^{-3}$	$1,00 \times 10^{-10}$	7,19	8,13	7,9410
$6,05 \times 10^{-3}$	$1,00 \times 10^{-11}$	7,59	8,54	7,9908
$5,80 \times 10^{-3}$	$1,00 \times 10^{-12}$	7,95	8,90	8,0421
$5,60 \times 10^{-3}$	$1,00 \times 10^{-13}$	8,29	9,24	8,0843
$5,40 \times 10^{-3}$	$1,00 \times 10^{-14}$	8,60	9,55	8,1278
$5,20 \times 10^{-3}$	$1,00 \times 10^{-15}$	8,88	9,83	8,1724
$5,00 \times 10^{-3}$	$1,00 \times 10^{-16}$	9,12	10,07	8,2183



**Figure I.7/G.975.1 – Caractéristiques BER du décodeur super FEC**

#### **I.2.4 Taux de redondance**

Le taux de redondance du codage super FEC est égal à 24,48%.

#### **I.2.5 Latence**

Le codage super FEC comporte normalement un délai d'environ 25  $\mu$ s pour un débit de charge utile de 10 Gbit/s.

#### **I.2.6 Propriétés**

Le codage super FEC présente l'avantage d'une faible complexité; par ailleurs, le codage CSOC présente celui de la simplicité d'implémentation.

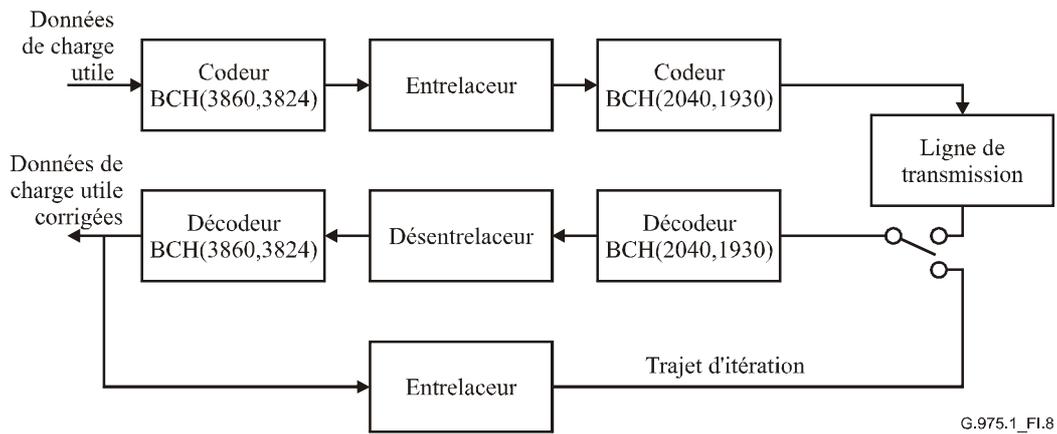
### **I.3 Super FEC à codes BCH concaténés**

#### **I.3.1 Aperçu général**

Le présent paragraphe décrit un schéma de codage super FEC, assurant une capacité de correction d'erreurs supérieure à celle du code RS(255,239). La Figure I.8 représente le schéma de codage super FEC; ce schéma utilise des codes BCH concaténés. Le code BCH(3860,3824) sert de code extérieur, le code BCH(2040,1930) de code intérieur. L'entrelaceur et le désentrelaceur sont utilisés entre les codes intérieurs et extérieurs.

Les codes concaténés peuvent appliquer un décodage itératif. Cette technique permet d'améliorer la capacité de correction d'erreur, sans augmenter le débit de codage. Le nombre d'itérations est propre à l'équipementier considéré.

Le schéma de codage super FEC assure un débit net de codage de 7,98 dB pour un BER corrigé de  $10^{-12}$  avec un taux de redondance de 6,69%, avec un décodage à trois itérations.



G.975.1\_F1.8

**Figure I.8/G.975.1 – Schéma de codage super FEC**

### I.3.2 Algorithme FEC

Le schéma de codage super FEC utilise les codes concaténés BCH(3860,3824) et BCH(2040,1930). Les spécifications détaillées des codes BCH(3860,3824), BCH(2040,1930) et les structures de trame correspondantes figurent au § I.3.2.3.

#### I.3.2.1 Code BCH(3860,3824)

Le code BCH(3860,3824) est un code binaire. Le polynôme générateur du code est donné par la formule:

$$G(x) = M_1(x)M_3(x)M_5(x)$$

$$M_i(x) = \prod_{j=1}^{12} (x - \alpha^{i*j})$$

Avec  $M_i(x)$  polynômes minimaux et  $\alpha$  racine du polynôme primitif binaire  $x^{12} + x^{11} + x^8 + x^6 + 1$ . Le mode de code BCH(3860,3824) est constitué de 3824 bits d'information et 36 bits de parité. Le code BCH(3860,3824) permet de corriger jusqu'à 3 bits d'erreur dans un seul mot de code.

#### I.3.2.2 Code BCH(2040,1930)

Le code BCH(2040,1930) est un code binaire. Le polynôme générateur du code est donné par la formule:

$$G(x) = M_1(x)M_3(x)M_5(x)M_7(x)M_9(x)M_{11}(x)M_{13}(x)M_{15}(x)M_{17}(x)M_{19}(x)$$

$$M_i(x) = \prod_{j=1}^{11} (x - \alpha^{i*j})$$

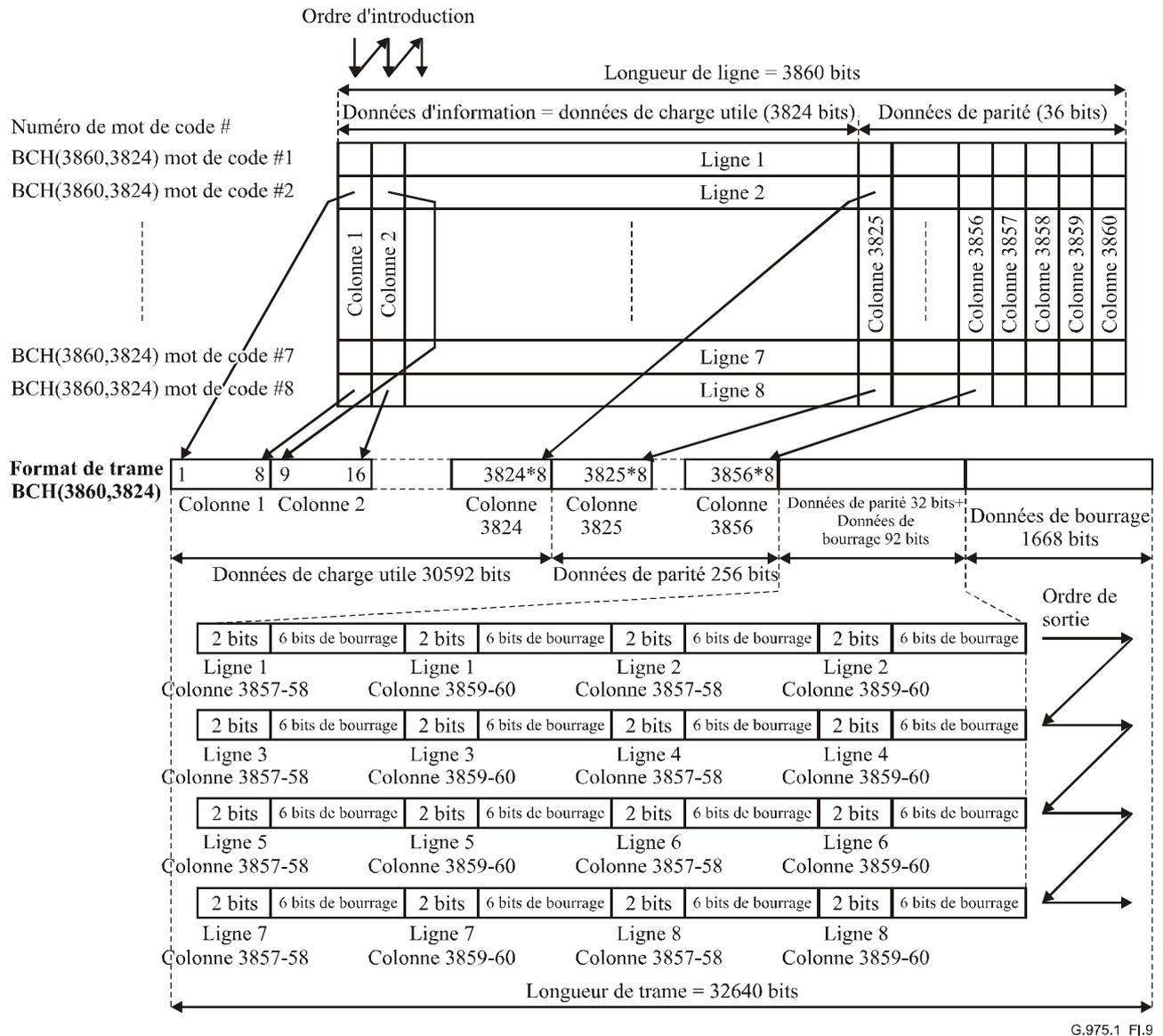
Avec  $M_i(x)$  polynômes minimaux et  $\alpha$  racine du polynôme primitif binaire  $x^{11} + x^2 + 1$ . Le mot de code BCH(2040,1930) est constitué de 1930 bits d'information et 110 bits de parité. Le code BCH(2040,1930) permet de corriger jusqu'à 10 erreurs binaires dans un seul mot de code.

#### I.3.2.3 Structure de trame

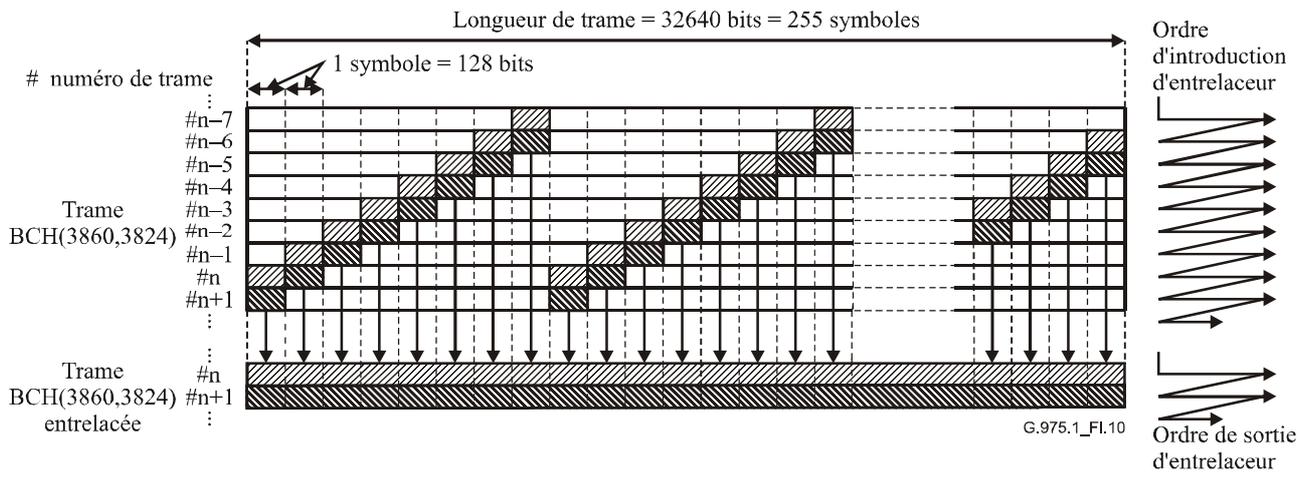
La Figure I.9 représente le format de trame introduit par le codeur BCH(3860,3824) dans l'entrelaceur. Ce format de trame est appelé "format de trame BCH(3860,3824)" à des fins de commodité. Le format de trame BCH(3860,3824) est constitué de huit mots de code BCH(3860,3824). Un mot de code BCH(3860,3824) comprend 3824 bits d'information et 36 bits de parité.

La Figure I.10 représente le format de trame introduit par l'entrelaceur dans le codeur BCH(2040,1930). Ce format de trame s'intitule "format de trame BCH entrelacé (3860,3824)".

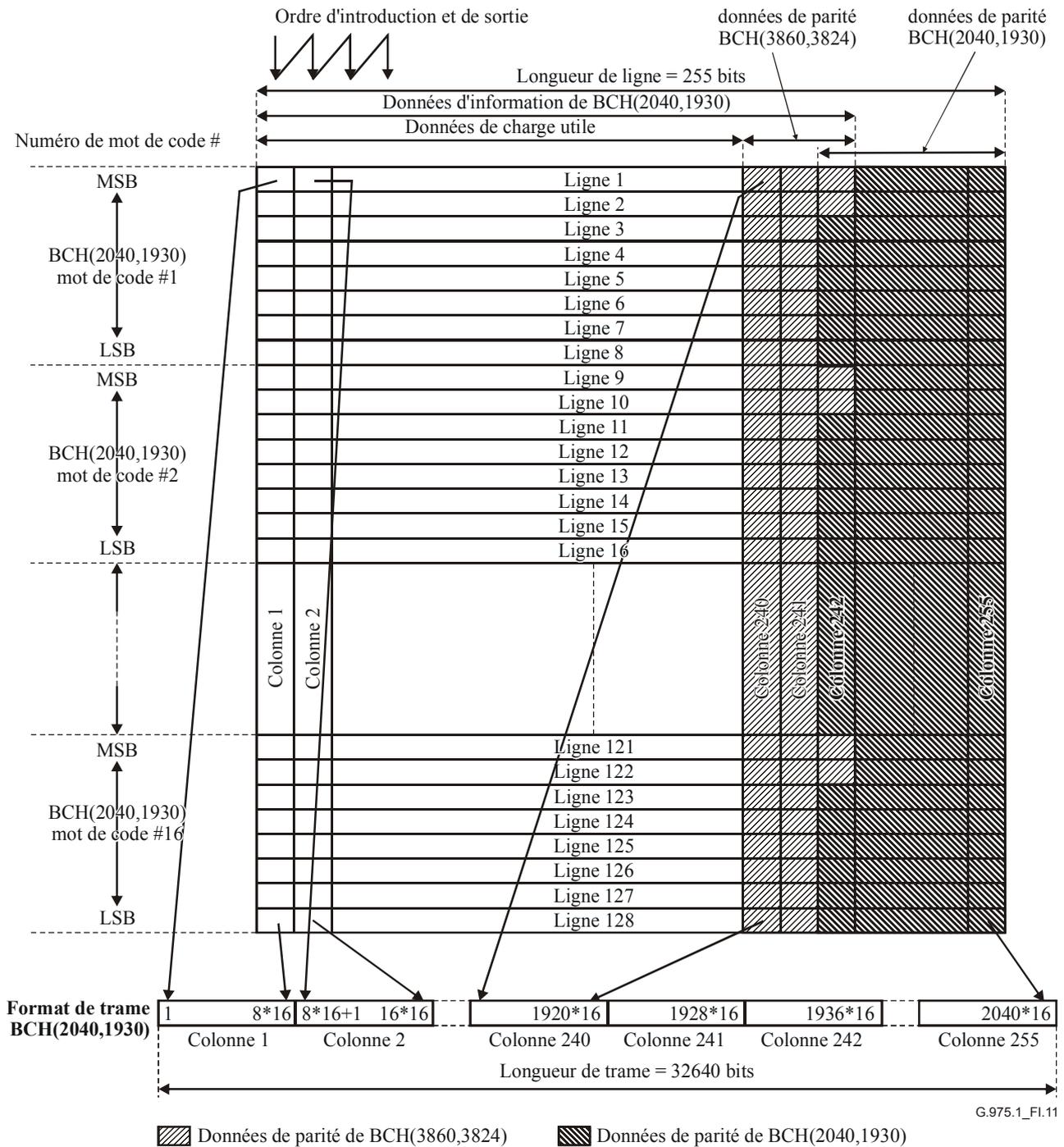
La Figure I.11 représente le format de trame introduit par un codeur BCH(2040,1930) dans la ligne de transmission. Le codeur BCH(2040,1930) remplace les données de bourrage de la trame BCH(3860,3824) par des données de contrôle de parité. Le format de trame BCH(2040,1930) est constitué par 16 mots de code BCH(2040,1930). Un mot de code BCH(2040,1930) est constitué par 1930 bits d'information et 110 bits de parité. Les bits d'information sont constitués de 1912 bits de charge utile et 18 bits de parité du code BCH(3860,3824).



**Figure I.9/G.975.1 – Format de trame BCH(3860,3824)**



**Figure I.10/G.975.1 – Format de trame BCH(3860,3824) entrelacé**



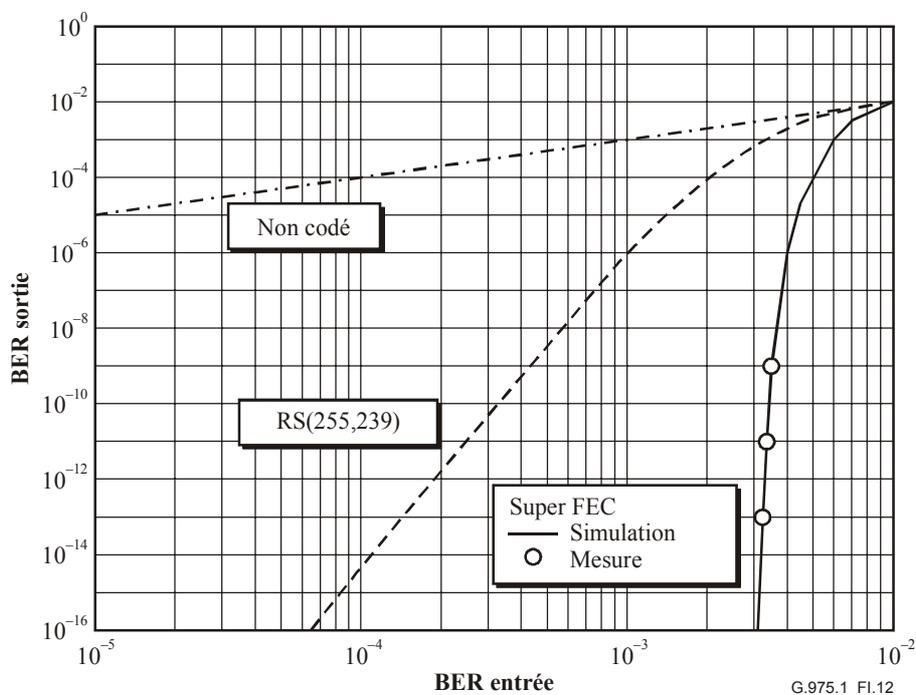
**Figure I.11/G.975.1 – Format de trame BCH(2040,1930)**

### I.3.3 Capacité de correction d'erreur

La capacité de correction d'erreur du code super FEC dépend du nombre d'itérations. Le Tableau I.3 et la Figure I.12 indiquent la capacité de correction d'erreur avec trois itérations de décodage.

**Tableau I.3/G.975.1 – Tableau récapitulatif des capacités de correction**

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$3,50 \times 10^{-3}$	$1,00 \times 10^{-9}$	6,66	6,94	8,6171
$3,44 \times 10^{-3}$	$1,00 \times 10^{-10}$	7,15	7,44	8,6356
$3,37 \times 10^{-3}$	$1,00 \times 10^{-11}$	7,59	7,87	8,6575
$3,30 \times 10^{-3}$	$1,00 \times 10^{-12}$	7,98	8,26	8,6798
$3,25 \times 10^{-3}$	$1,00 \times 10^{-13}$	8,35	8,63	8,6959
$3,20 \times 10^{-3}$	$1,00 \times 10^{-14}$	8,68	8,96	8,7123
$3,15 \times 10^{-3}$	$1,00 \times 10^{-15}$	8,99	9,27	8,7288
$3,10 \times 10^{-3}$	$1,00 \times 10^{-16}$	9,26	9,54	8,7455



**Figure I.12/G.975.1 – Caractéristiques BER du décodeur super FEC**

### I.3.4 Taux de redondance

Le taux de redondance du codage super FEC est de 6,69%.

### I.3.5 Latence

Le code super FEC comporte généralement un délai de 100 µs pour un débit de charge utile de 10 Gbit/s.

### I.3.6 Propriétés

Le schéma de codage super FEC est adapté en termes de débit aux trames G.709/Y.1331 et G.975. Il ne comporte aucun bit d'en-tête par comparaison aux trames G.709/Y.1331 et G.975 avec codage RS(255,239).

## **I.4 Code super FEC RS(1023,1007)/BCH(2047,1952)**

### **I.4.1 Aperçu général**

Ce code super FEC est constitué de deux codes entrelacés:

le code extérieur parent RS(1023,1007),  $m = 10$ ,  $T = 8$ ;

le code intérieur parent BCH(2047,1952),  $m = 11$ ,  $T = 8$ .

Ces deux codes entrelacés sont conçus pour fournir un gain de codage supplémentaire à la charge utile ODU type selon la Rec. UIT-T G.709/Y.1331, tout en conservant les débits de données exacts au niveau de l'unité de transport optique (OTU) G.709/Y.1331, c'est-à-dire un surdébit de 7%.

### **I.4.2 Algorithme super FEC**

#### **I.4.2.1 Entrelacement de code**

La charge utile ODU est constituée de  $16 \times 239 \times 4 \times 8$  bits = 122 368 bits au total. Ces 122 368 bits sont répartis en 16 groupes, lesquels sont codés ensuite par 15 codes RS(781,765) et un code RS(778,762), l'un et l'autre codes abrégés du code parent mentionné plus haut. Il convient de noter que le code parent ci-dessus est appliqué à un champ de Galois  $m = 10$ , de telle sorte que les données sont groupées en dectets et traitées en conséquence. Les bits de la charge utile ODU étant numérotés  $odu[0]$ ,  $odu[1]$  jusqu'à  $odu[122367]$ , l'entrelacement peut être clairement expliqué. Sans oublier que le bit  $odu[0]$  est transmis en premier, suivi du bit  $odu[1]$ , etc. jusqu'au bit  $odu[122367]$ , c'est-à-dire selon la notation G.709/Y.1331,  $\{odu[0], odu[1], odu[2], odu[3], odu[4], odu[5], odu[6], odu[7]\} = 0xf6$ , soit le premier octet OA1 de la trame G.709/Y.1331.

Suivant cette convention, nous allons ensuite bourrer les bits  $odu$  dans la portion de charge utile des codes RS. Ce premier code RS  $RS[0]$  est un code RS(781,765) sur  $m = 10$ . Nous devons donc charger  $765 \times 10$  dans les 765 premiers dectets de ce code. Les bits  $odu[0] \dots odu[9]$  constituent alors le premier "dectet" du premier code RS; les bits  $odu[10] \dots odu[19]$  constituent le second dectet du code  $RS[0]$ . Les bits en question sont bourrés successivement dans 765 dectets du code  $RS[0]$  de façon à constituer un ensemble de 7650 bits, c'est-à-dire  $odu[0] \dots odu[7649]$ . A ce stade, les données font ensuite l'objet d'un codage RS sur  $m = 10$  et  $T = 8$  et  $2T$  symboles de parité sont ajoutés au code. Donc, les  $16 \times 10$  bits suivants sont constitués de bits de parité RS.

Examinons à présent les données de sortie OTU. Elles sont constituées de  $16 \times 255 \times 4 \times 8$  bits soit 130 560 bits. Numérotons ces bits  $otu[0] \dots otu[130559]$ . Le premier code RS est à présent mappé sur les unités de transport optique de sortie, c'est-à-dire  $odu[0] \dots odu[7649] \rightarrow otu[0] \dots otu[7649]$ . Les 160 bits suivants de parité RS sont maintenant mappés sur les unités  $otu$ . C'est-à-dire  $rsparity[0] \dots rsparity[159] \rightarrow otu[7650] \dots otu[7809]$ .

Une fois terminé le premier mot de code RS, les 7650 bits suivants de l'unité  $odu$  sont mappés sur l' $otu$ , c'est-à-dire  $odu[7650] \dots odu[15299] \rightarrow otu[7810] \dots otu[15459]$ . Ces 765 dectets font l'objet d'un codage RS, puis les 160 bits de parité RS sont introduits dans l'unité  $otu$  sortante, c'est-à-dire  $rsparity[0] \dots rsparity[159] \rightarrow otu[15460] \dots otu[15619]$ .

Cette opération est répétée sur les 15 codes RS de la même façon. Quant au 16ème et dernier mot de code, il contient  $122\,368 - 15 \times 765 \times 10 = 7618$  bits de l'unité  $odu$  restante. Ces bits sont bourrés dans 762 dectets. Les deux derniers bits qui sont inoccupés sont remplis par des 0 et placés dans le dernier dectet. Ces 762 dectets font l'objet d'un codage RS au moyen d'un code RS(778,762). 160 bits de parité sont également ajoutés à l'unité  $otu$  sortante. On a donc la correspondance  $odu[114749] \dots odu[122367] \rightarrow otu[117149] \dots otu[124767]$ . Il convient de noter que les deux derniers bits sont remplis par des 0 pour les besoins du codage RS, bien qu'ils ne soient pas effectivement transmis dans l'unité  $otu$  sortante. Les 160 bits de parité sont ajoutés comme suit:  $rsparity[0] \dots rsparity[159] \rightarrow otu[124768] \dots otu[124927]$ .

Une fois terminé le code extérieur RS, le code intérieur BCH est à présent ajouté à l'unité otu. Les 124 928 bits otu sont ensuite mappés sur 64 codes BCH identiques du code BCH(2047,1952) avec  $m = 11$  et  $T = 8$ , codes parents indiqués plus haut. Il faut à cet effet regrouper les 124 928 bits à l'intérieur de 64 partitions de 1952 bits. Le mappage BCH s'effectue comme suit: otu[0] sert de premier bit pour BCH[0]. otu[1] sert de premier bit pour BCH[1] et de la même façon, jusqu'au bit otu[63] utilisé comme premier bit de BCH[63]. Ensuite otu[64] sert de 2<sup>e</sup> bit à BCH[0], et otu[65] de second bit pour BCH[1]. Cette opération est répétée jusqu'à ce que tous les 124 928 bits otu soient utilisés par les 64 codes BCH.

Pour chacun des 64 codes BCH, les 1952 bits de charge utile sont codés et les 88 bits de parité sont ajoutés à la trame de sortie. Les 88 bits de parité sont issus du produit de  $T = 8$  et de  $m = 11$  correspondant au code BCH. Les informations de parité BCH sont ajoutées à la trame de sortie otu comme suit:

BCH[0] bchparity[0] → otu[124928], BCH[1] bchparity[0] → otu[124929] de la même façon jusqu'à BCH[63] bchparity[0] → otu[124992]. Ensuite, le bit suivant de chaque code BCH est ajouté à la trame de sortie otu. Autrement dit, BCH[0] bchparity[1] → otu[124993]. Cette opération est répétée jusqu'à épuisement de 88 bits de parité des 64 codes BCH. Soit: BCH[63] et bchparity[87] → otu[130559] dernier bit de la trame de sortie otu.

#### **I.4.2.2 Codeur Reed-Solomon**

Le polynôme binaire primitif s'écrit comme suit:

$$p(x) = x^{10} + x^3 + 1$$

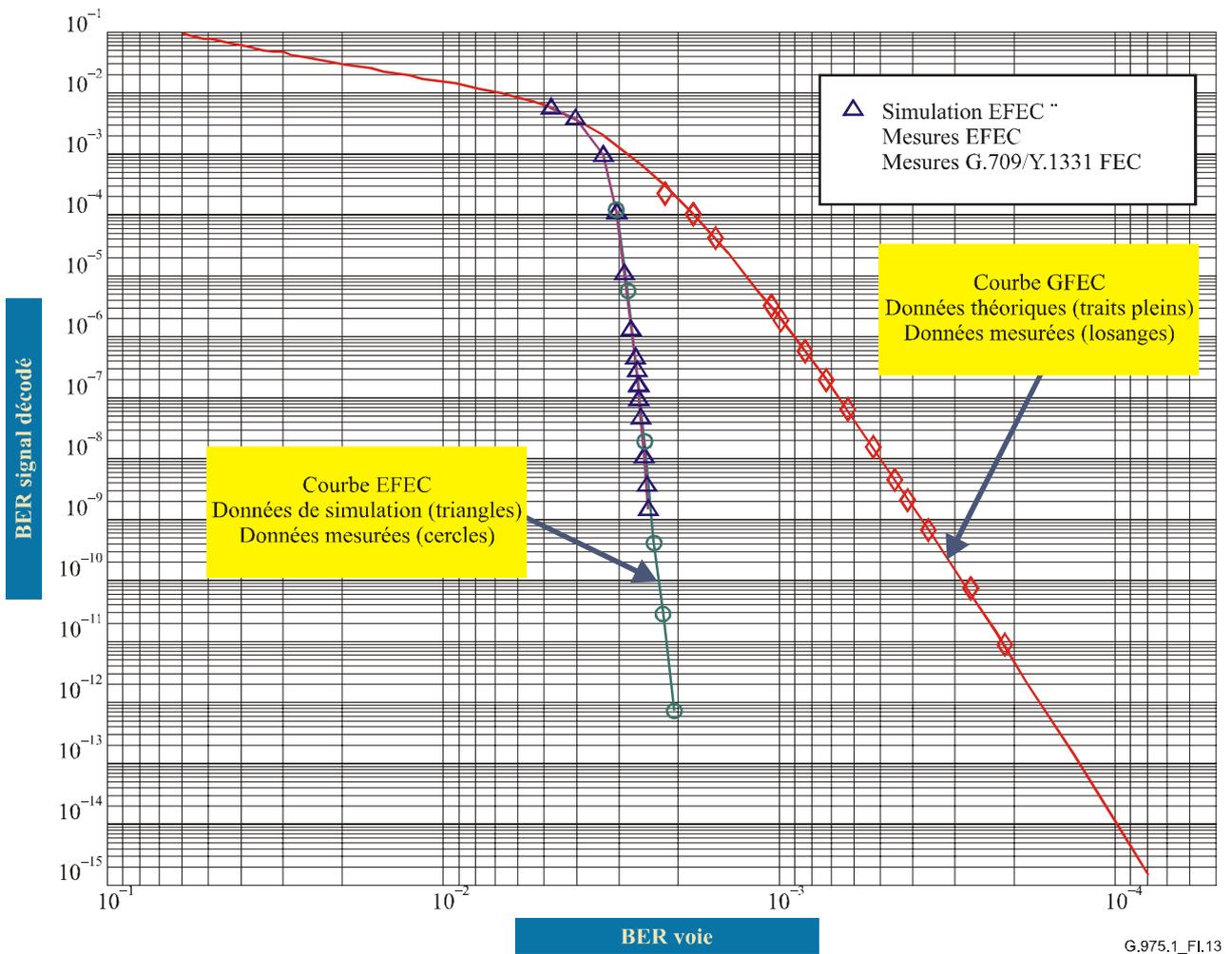
#### **I.4.2.3 Codeur BCH**

Le polynôme binaire primitif s'écrit comme suit:

$$p(x) = x^{11} + x^2 + 1$$

#### **I.4.3 Capacité de correction d'erreur**

Le Tableau I.4 ainsi que les Figures I.13 et I.14 indiquent la capacité de correction d'erreur de ce code super FEC.



G.975.1\_FI.13

Figure I.13/G.975.1 – Résultats

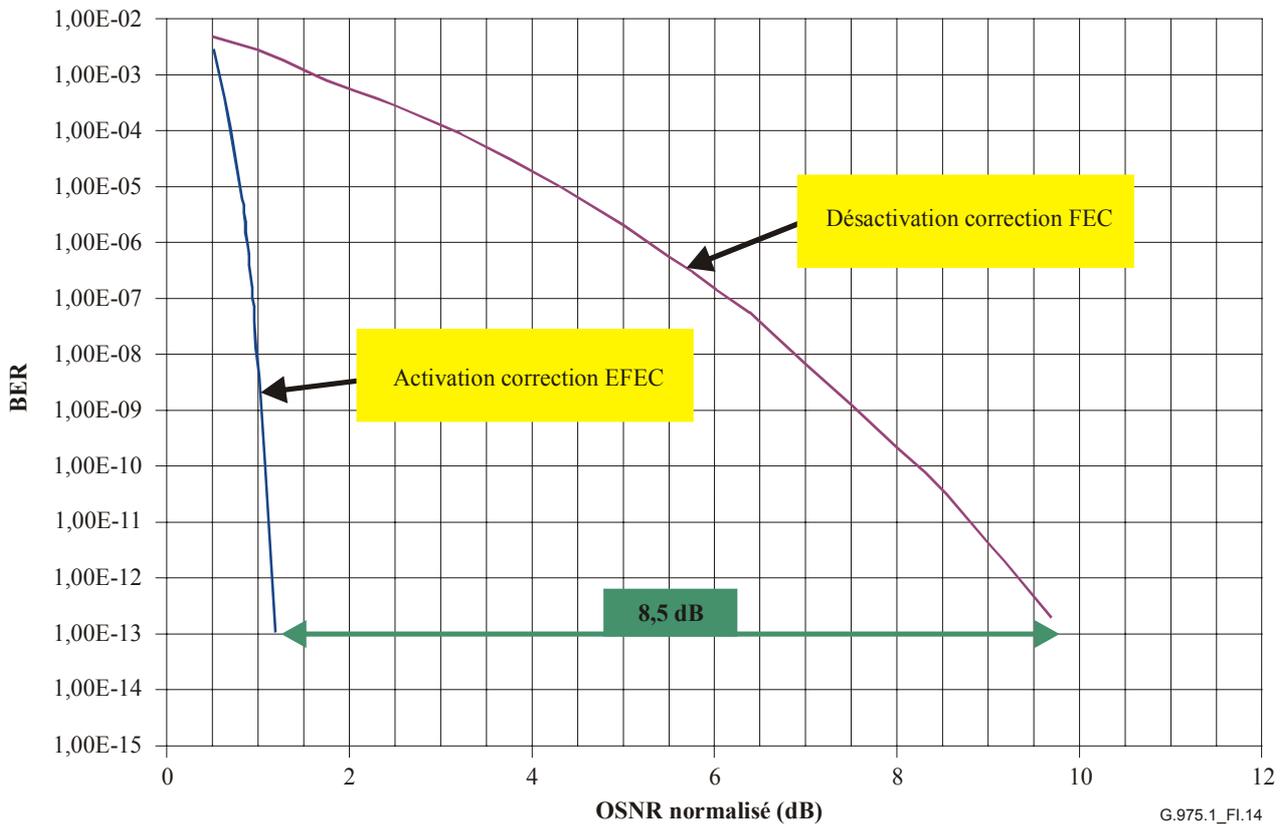


Figure I.14/G.975.1 – Gain net de codage

Tableau I.4/G.975.1 – Tableau récapitulatif des capacités de correction

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$2,41 \times 10^{-3}$	$10^{-9}$	6,31	6,59	9,0013
$2,35 \times 10^{-3}$	$10^{-10}$	6,83	7,11	9,0262
$2,30 \times 10^{-3}$	$10^{-11}$	7,30	7,58	9,0473
$2,26 \times 10^{-3}$	$10^{-12}$	7,63	7,91	9,0645
$2,23 \times 10^{-3}$	$10^{-13}$	8,03	8,31	9,0775
$2,20 \times 10^{-3}$	$10^{-14}$	8,34	8,62	9,0906
$2,17 \times 10^{-3}$	$10^{-15}$	8,67	8,95	9,1034

#### I.4.4 Taux de redondance

Le taux de redondance du code entrelacé RS(1023,1007)/BCH(2047,1952) est de 7%, identique à celui du code RS FEC hérité défini dans la Rec. UIT-T G.975.

#### I.4.5 Latence

La latence est fonction de l'implémentation. Les implémentations actuelles se sont caractérisées par des latences faibles.

#### I.4.6 Propriétés

Le code présenté offre une excellente capacité de correction d'erreur dans une large gamme de conditions de fonctionnement et de débit d'erreurs de voie. Le choix des codes intérieurs et extérieurs particuliers permet d'obtenir une bonne qualité de fonctionnement moyennant un petit

nombre d'itérations (une ou deux) et une latence réduite par comparaison à nombre de codes d'une efficacité comparable qui exigent un nombre élevé d'itérations. Le choix du code garantit en outre la stabilité des courbes de performance dans le domaine de fonctionnement considéré (c'est-à-dire pour des BER inférieur à  $10^{-20}$ ).

## I.5 Schéma de codage super FEC RS & code produit concaténés

### I.5.1 Aperçu général

Le présent appendice décrit un code FEC qui assure une capacité de correction d'erreur supérieure à celle d'un code RS(255,239), pour une longueur d'en-tête strictement identique, et se prêtant spécifiquement à un décodage à décision pondérée. La Figure I.15 donne un aperçu de ce schéma de codage super FEC. Ce schéma utilise un code concaténé constitué d'un code extérieur Reed-Solomon RS(1901,1855) et d'un code produit intérieur de Hamming étendu  $(512,502) \times (510,500)$ .

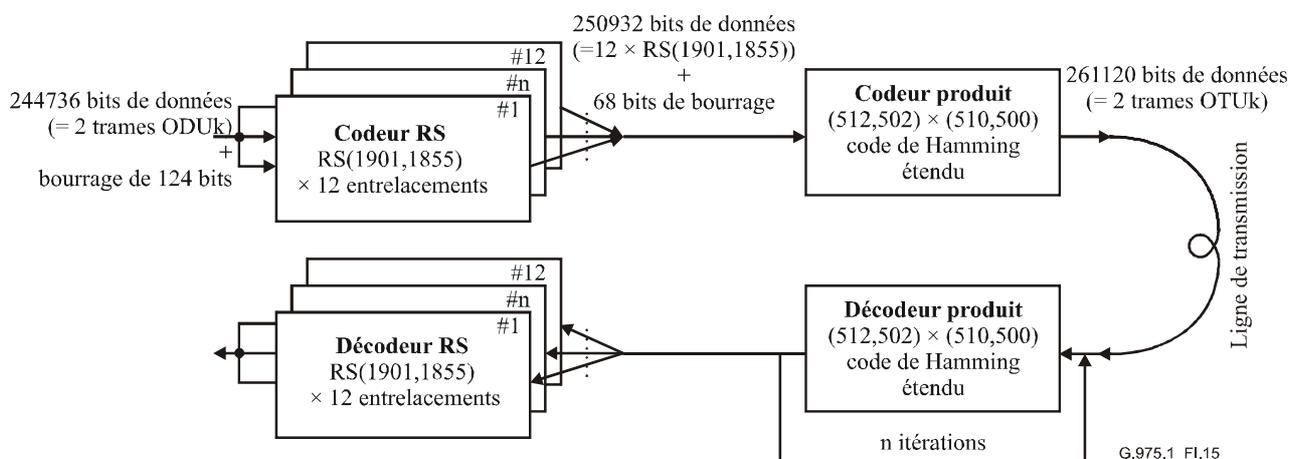


Figure I.15/G.975.1 – Schéma de codage FEC avancé

### I.5.2 Algorithme super FEC

#### I.5.2.1 Codage RS

Le code RS utilisé est de type RS(1901,1855), le polynôme générateur étant donné par la relation:

$$G(z) = \prod_{i=0}^{45} (z - \alpha^{i+1001})$$

avec  $\alpha$  racine du polynôme primitif binaire  $x^{11} + x^2 + 1$ .

Les éléments du champ de Galois  $GF(2^{11})$  sont représentés dans la base polynomiale. L'ordre de transmission des bits dans un symbole commence par le bit de plus fort poids. L'ordre de transmission des symboles dans un mot de code commence également par le symbole de plus fort poids, tandis que les 1855 premiers symboles sont ceux contenant les données et les 46 restants contiennent des données de parité.

Douze mots de code RS(1901,1855) sont entrelacés, les données de la charge utile d'entrée étant réparties sur ces entrelacements, symbole par symbole, par permutation circulaire.

124 bits sont forcés à la valeur 0 comme suit:

- 1) les trois bits du plus faible poids du dernier symbole de donnée du premier entrelacement sont remplacés par le zéro;

- 2) les derniers symboles de données des 11 entrelacements restants sont remplacés par des zéros.

Le nombre total de bits de données d'entrée pour les 12 codes RS, est de 244736 ( $= 11 \times 12 \times 1855 - 124$ ). Ce nombre est strictement identique au nombre obtenu pour les deux trames ODU.

### I.5.2.2 Codage par code produit

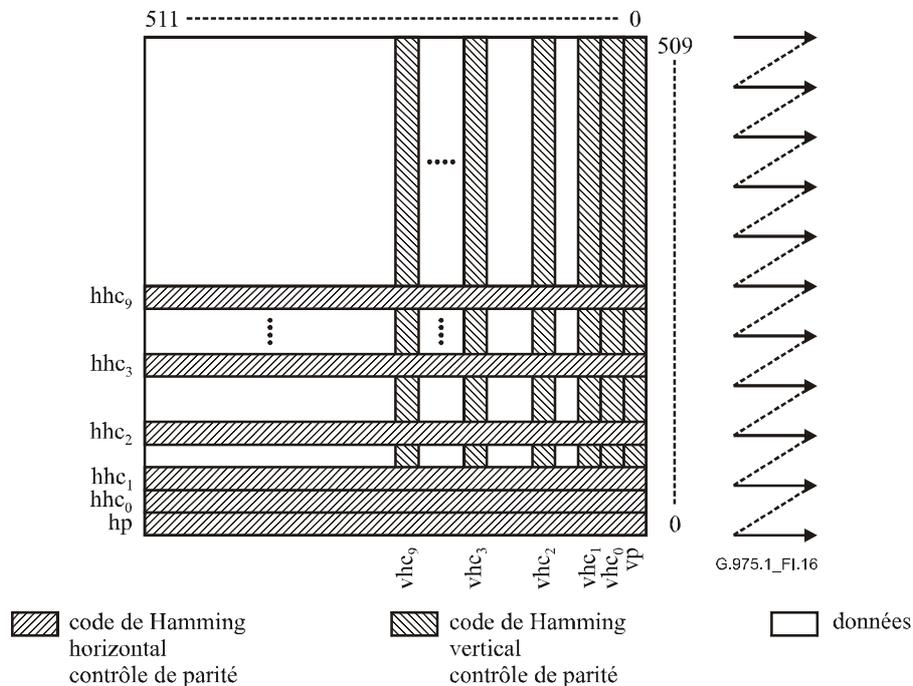


Figure I.16/G.975.1 – Matrice de code produit

Lors du codage d'une ligne de code produit, les bits de contrôle de Hamming sont disposés de la façon suivante: à des fins d'explication, nous classons les bits de chaque ligne de 511 à 0, de façon à indiquer les numéros d'emplacement de chaque bit. Les emplacements dont le numéro correspond à une puissance de 2 sont occupés par les bits de contrôle de Hamming. L'emplacement 0 est occupé par le bit de parité. Les 502 positions de ligne restantes sont utilisées pour les données.

Les bits de contrôle de Hamming sont calculés bit par bit par addition modulo 2 des numéros d'emplacement de tous les bits de données égaux à 1. Le bit de contrôle de Hamming 0 est situé à l'emplacement 1, le bit 1 de contrôle de Hamming à l'emplacement 2, le bit 2 de contrôle de Hamming à l'emplacement 4, etc., et les autres bits de contrôle de Hamming aux emplacements 8, 16, 32, 64, 128 et 256.

Enfin, pour déterminer le bit de parité, il suffit de calculer la somme modulo 2 tous les 511 bits de mots de code de Hamming et d'affecter le résultat à l'emplacement 0.

Le même principe s'applique au codage des colonnes, mais le code est raccourci en éliminant les bits occupant les positions 511 et 510.

Le code produit résultant est donc de longueur  $512 \times 510 = 261\,120$  bits codés, c'est-à-dire exactement la longueur de 2 trames OTU.

Une fois terminé le codage des données tel qu'indiqué, la matrice de code produit est transmise ligne par ligne. Le premier bit transmis est le bit de la ligne 509 et de la colonne 511.

### I.5.3 Capacité de correction d'erreur

La capacité de correction d'erreur propre à ce code super FEC dépendra de la méthode de décodage du code produit intérieur (par exemple, selon le nombre de bits de quantification utilisés par un décodeur à décision pondérée). Le Tableau I.5 indique la capacité de correction d'erreur d'un décodeur qui utilise deux bits de quantification du récepteur (quatre niveaux) et qui réalise 8 itérations SISO<sup>1</sup>. Le Tableau I.6 indique la capacité de correction du même décodeur en cas d'utilisation avec un seul bit de quantification (deux niveaux).<sup>1</sup>

**Tableau I.5/G.975.1 – Tableau récapitulatif des capacités de correction**

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$4,7 \times 10^{-3}$	$1,00 \times 10^{-9}$	7,0	7,3	8,3
$4,7 \times 10^{-3}$	$1,00 \times 10^{-10}$	7,5	7,8	8,3
$4,7 \times 10^{-3}$	$1,00 \times 10^{-11}$	7,9	8,2	8,3
$4,6 \times 10^{-3}$	$1,00 \times 10^{-12}$	8,4	8,6	8,3
$4,6 \times 10^{-3}$	$1,00 \times 10^{-13}$	8,7	9,0	8,3
$4,6 \times 10^{-3}$	$1,00 \times 10^{-14}$	9,1	9,3	8,3
$4,5 \times 10^{-3}$	$1,00 \times 10^{-15}$	9,4	9,7	8,3

**Tableau I.6/G.975.1 – Tableau récapitulatif des capacités de correction**

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$2,0 \times 10^{-3}$	$1,00 \times 10^{-9}$	6,1	6,4	9,2
$2,0 \times 10^{-3}$	$1,00 \times 10^{-10}$	6,6	6,9	9,2
$2,0 \times 10^{-3}$	$1,00 \times 10^{-11}$	7,0	7,3	9,2
$1,9 \times 10^{-3}$	$1,00 \times 10^{-12}$	7,5	7,7	9,2
$1,9 \times 10^{-3}$	$1,00 \times 10^{-13}$	7,8	8,1	9,2
$1,9 \times 10^{-3}$	$1,00 \times 10^{-14}$	8,2	8,4	9,2
$1,9 \times 10^{-3}$	$1,00 \times 10^{-15}$	8,5	8,8	9,2

La capacité de correction de rafales d'erreurs de ce code super FEC dépendra de la méthode de décodage du code produit intérieur, mais sera d'au moins 1024 bits.

### I.5.4 Taux de redondance

Le taux de redondance de ce code super FEC est de 6,69%, valeur précisément identique à celle obtenue avec le code RS(255,239).

### I.5.5 Latence

La latence associée au codage et au décodage de ce code super FEC dépend de l'implémentation.

### I.5.6 Propriétés

Le décodage itératif est applicable aux codes produits. Le code de Hamming étendu peut en outre faire l'objet d'un codage par décision pondérée pour augmenter le gain de codage. Le code produit

<sup>1</sup> Les valeurs du gain de codage indiquées sont obtenues par simulation et par analyse.

proposé est donc adapté au décodage itératif (SISO, *soft-in-soft-out*). De plus, le code de Hamming étendu se prête au décodage par décision pondérée, moyennant une complexité de décodage (c'est-à-dire une dissipation de puissance) modérée. Les récepteurs à algorithme de décision pondérée utilisent deux bits de quantification ou davantage, ce nombre étant propre à l'équipementier considéré.

## **I.6 Code super FEC LDPC**

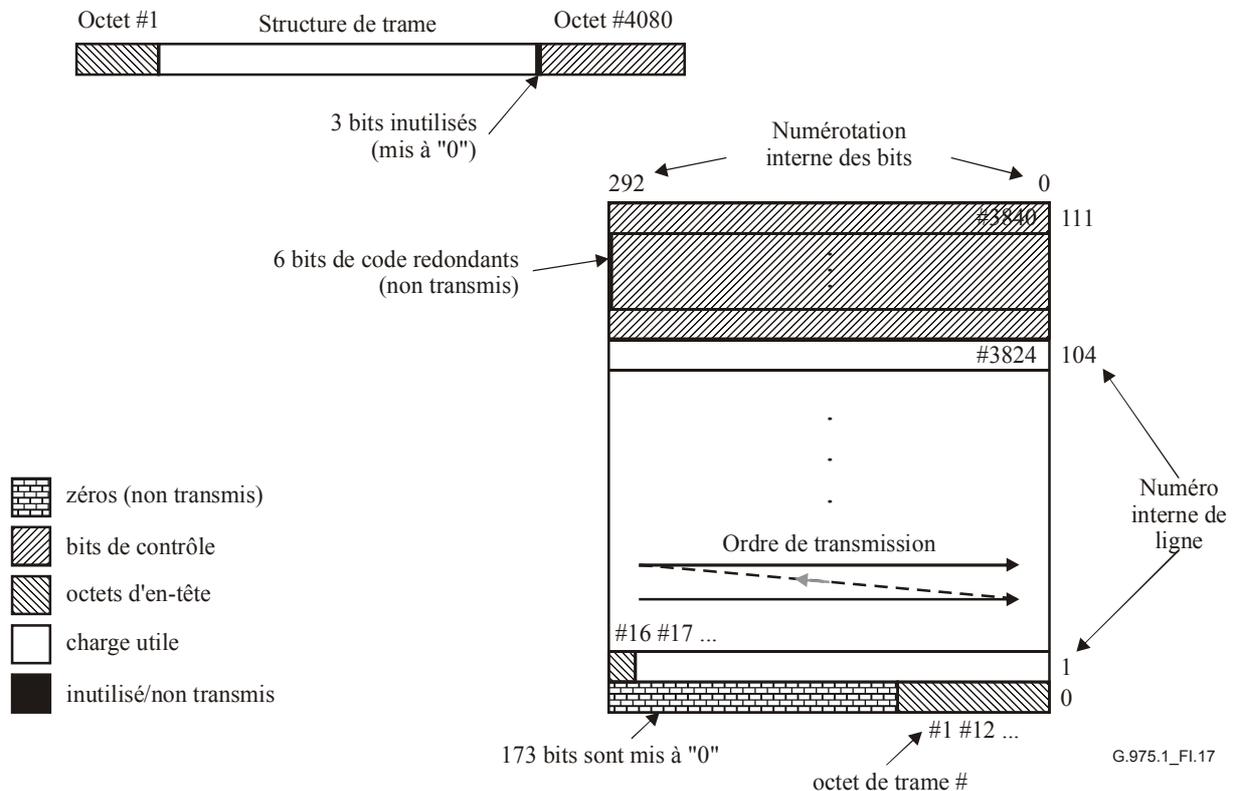
### **I.6.1 Aperçu général**

Le code présenté ci-après est un code de contrôle de parité binaire systématique à faible densité (LDPC, *low-density parity-check*) de 32 640 bits de long, dont 30 592 bits d'information, soit une longueur et une dimension identiques à celles du code standard entrelacé (255,239). Ce code LDPC est adapté aux implémentations faisant appel aux technologies à puce actuelles pour systèmes optiques 10G et 40G dont le gain de codage s'est avéré notablement supérieur à celui du code RS normalisé. Le gain de codage supplémentaire peut servir par exemple à améliorer les paramètres de ligne, la portée maximale, et à assouplir les spécifications concernant les composants et les fibres optiques ou encore à améliorer la qualité globale des communications en présence de conditions de fonctionnement altérées.

### **I.6.2 Algorithme super FEC**

Le code FEC décrit ci-après est un code de contrôle de parité binaire systématique à faible densité d'une longueur de 32 640 bits, spécifié par une matrice binaire à deux dimensions  $M$ , comportant 112 lignes et 293 colonnes, dont les éléments sont indexés par des coordonnées  $(a,b)$  avec  $0 \leq a \leq 111$  et  $0 \leq b \leq 292$  tel qu'indiqué à la Figure I.17. Cette matrice qui contient 32 816 bits en tout est remplie par 30 592 bits d'information, qui correspondent à une charge utile standard de trame FEC de  $239 \times 16 \times 8$  tel qu'indiqué ci-après. Le  $j$ ème bit d'information, avec  $1 \leq j \leq 30 592$  est situé au point de coordonnées  $(r, 293r + 292 - q)$  dans la matrice  $M$ , avec  $q = j + 172$  et  $r = \lfloor q/293 \rfloor$ . Les 173 positions  $(0, 292 - d)$ , avec  $0 \leq d \leq 172$ , sont mises à "zéro" et ne sont pas transmises. Il s'ensuit que les 30 592 bits d'information sont situés dans les 105 premières lignes, à savoir de la ligne 0 à la ligne 104 ( $105 \times 293 - 173 = 30 592$  bits). 2051 relations de contrôle de parité déterminent en tout les valeurs des 7 dernières lignes de la matrice  $M$  ( $7 \times 293 = 2051$  bits) de la façon suivante. Considérons les coordonnées de la matrice  $M$  qui constituent un quadrillage de  $112 \times 293$  points. Une ligne non horizontale issue du point de coordonnées  $(0,c)$  et dont la pente est égale à  $s_i$ , avec  $0 \leq c \leq 292$  et  $0 \leq s_i \leq 292$  est défini comme l'ensemble de points de coordonnées suivant:  $\{(a,b) \mid 0 \leq a \leq 111, b = (as_i + c) \bmod 293\}$  autrement dit toute ligne non horizontale exactement constituée de 112 points, dont 7 correspondent à des emplacements de contrôle de parité. Le code est défini à présent par le choix de 7 pentes différentes  $s_1, \dots, s_7$ , qui ensuite définissent 7 jeux de 293 droites parallèles passant par chaque point  $(0,c)$ , avec  $0 \leq c \leq 292$ . Il en résulte que chaque point de coordonnée  $(a,b)$  de la matrice  $M$ , avec  $0 \leq a \leq 111$ , et  $0 \leq b \leq 292$ , est un élément de 7 lignes constituées de 112 éléments dont le point d'intersection est le point de coordonnée  $(a,b)$ . Tous les mots de code du code LDPC répondent à la condition selon laquelle la somme de contrôle de parité des 112 bits spécifiés par chacune des  $(7 \times 293) = 2051$  lignes, est égale à "zéro" (addition binaire modulo 2). Ce processus définit complètement les valeurs du bit de contrôle situé dans les 7 dernières lignes de la matrice  $M$ . Le système de 2051 équations de contrôle de parité peut être résolu au moyen de  $2051 - 6 = 2045$  bits de contrôle de parité; il y a donc 6 bits de contrôle redondants, choisis pour être affectés aux emplacements  $(v, 292)$  avec  $105 \leq v \leq 110$ , tel qu'indiqué à la Figure I.17. Ces 6 positions sont mises à la valeur 0 et ne sont pas transmises, de telle sorte que seulement 2045 bits sur les 2048 bits de contrôle disponibles par trame sont utilisés et transmis. La Figure I.17 représente également la structure de mappage du code LDPC systématique proposé de 32 640 bits de long, à raison de 30 592 bits d'information et 2048 bits de contrôle. Le format des mots de code LDPC est identique à celui des codes RS standards entrelacés.

La charge utile occupe les premiers  $239 \times 6 \times 8$  bits, suivis de trois "zéros" et des 2045 bits de contrôle. La séquence de bits de contrôle correspond à la séquence d'éléments (105,291), ... , (105,0), (106,291), ... , (106,0), (107,291), ... , (107,0), (108,291), ... , (108,0), (109,291), ... , (109,0), (110,291), ... , (110,0), (111,292), ... , (111,0), c'est-à-dire une concaténation des lignes 105 à 110 de  $(6 \times 292)$  bits, suivies des 293 bits de contrôle de la ligne 111. Tel qu'indiqué précédemment, les éléments les plus à gauche ( $v, 292$ ), avec  $105 \leq v \leq 110$ , correspondant aux bits de contrôle redondants dont la valeur a été fixée à 0, ne sont pas transmis et seront régénérés automatiquement dans le décodeur.

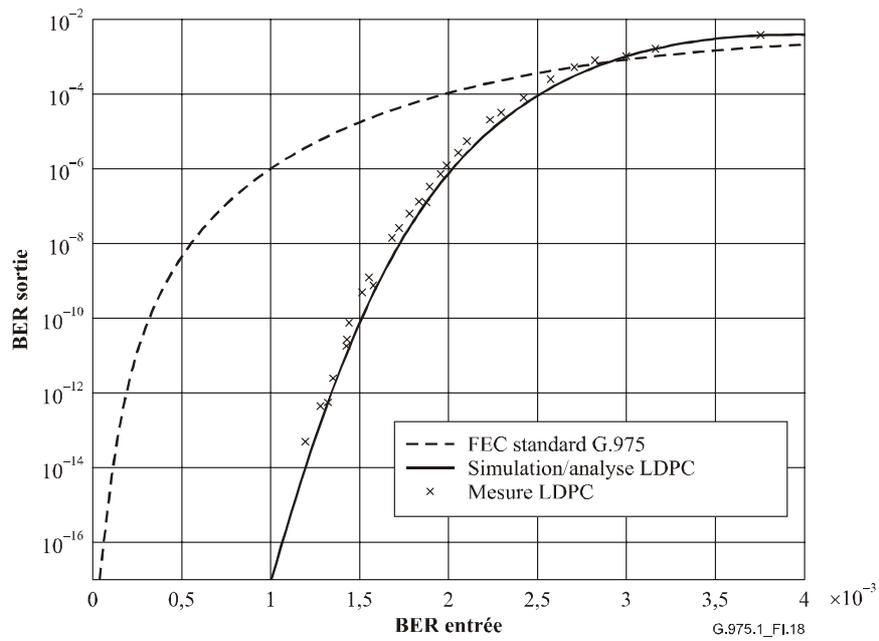


**Figure I.17/G.975.1 – Structure de mappage relative au code LDPC**

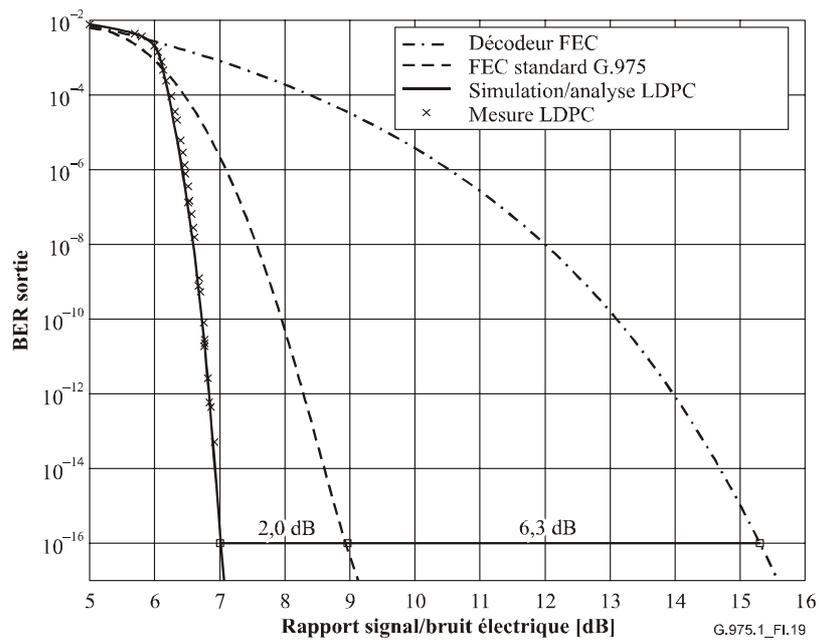
Le code proposé est utilisable de manière efficace, sans dissipation de puissance importante, ce qui est particulièrement important pour les applications 40G. En outre, il existe de puissants algorithmes pour ce code permettant d'exploiter des informations incertaines lorsque celles-ci doivent être prises en compte.

### I.6.3 Capacité de correction d'erreur

Les Figures I.18 et I.19 illustrent l'efficacité du code LDPC. Les diagrammes présentés ont été établis par un ensemble de techniques conjointes de simulation et d'analyse de façon à estimer précisément les résultats en matière de correction d'erreur, avec des taux d'erreur importants et faibles. Les mesures réellement effectuées sur une implémentation de codes LDPC concordent avec les simulations et confirment la précision des méthodes d'estimation.



**Figure I.18/G.975.1 – Taux d'erreur BER de sortie en fonction du BER d'entrée relatif au code LDPC et comparaison avec les codes FEC standards RS G.975**



**Figure I.19/G.975.1 – BER de sortie en fonction du rapport signal/bruit électrique relatif au code LDPC et au code FEC RS standard existant**

**Tableau I.7/G.975.1 – Tableau récapitulatif des capacités de correction**

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$1,61 \times 10^{-3}$	$10^{-9}$	5,90	6,18	9,38
$1,51 \times 10^{-3}$	$10^{-10}$	6,35	6,63	9,44
$1,42 \times 10^{-3}$	$10^{-11}$	6,75	7,03	9,50
$1,33 \times 10^{-3}$	$10^{-12}$	7,10	7,39	9,56
$1,25 \times 10^{-3}$	$10^{-13}$	7,43	7,72	9,61
$1,18 \times 10^{-3}$	$10^{-14}$	7,73	8,02	9,66
$1,12 \times 10^{-3}$	$10^{-15}$	8,02	8,30	9,70

#### I.6.4 Taux de redondance

Le taux de redondance du schéma de codage FEC LDPC est à 7% près identique à celui du code FEC RS hérité, tel qu'il est défini dans la Rec. UIT-T G.975; il est indiqué par le rapport entre le nombre total de 32 640 bits transmis et des 30 592 bits d'information.

#### I.6.5 Latence

La latence de décodage du code LDPC présenté peut atteindre en fait une valeur faible, tel qu'indiqué au Tableau I.8 voisine de celle obtenue avec le code RS standard.

**Tableau I.8/G.975.1 – Latence de décodage du code LDPC**

Gbit/s	Latence [ $\mu$ s]
42,7	< 3
10,7	~3
2,7	~12

#### I.6.6 Propriétés

Le code présenté ci-dessus est un code binaire systématique de contrôle de parité à faible densité, long de 32 640 bits, dont 30 592 bits d'information, dont la longueur et les dimensions sont identiques à celles du code RS standard (255,239), spécifié dans les Recommandations UIT-T G.709/Y.1331 et G.975. L'implémentation de ce code LDPC est adaptée aux actuelles technologies à puces pour les systèmes optiques 10G et 40G assurant une faible latence et une possibilité de faible consommation électrique dans le cas d'une implémentation 40G avec un gain de codage nettement supérieur à celui du code RS normalisé.

### I.7 Code super FEC – Deux codes BCH orthogonaux concaténés

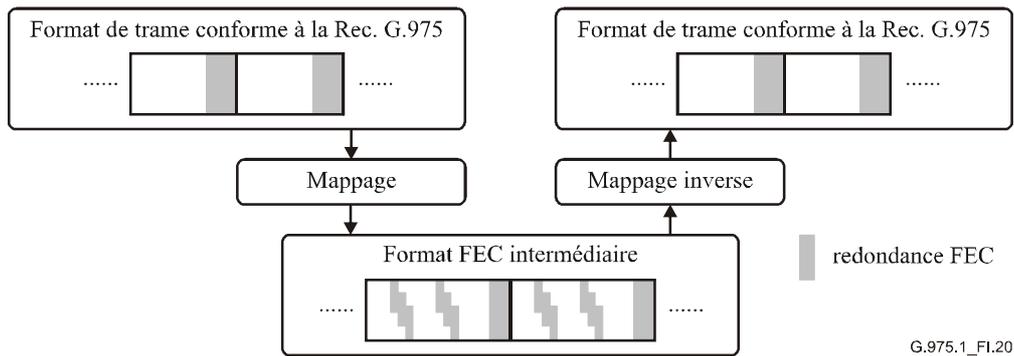
#### I.7.1 Aperçu général

Ce schéma de codage FEC dont la description figure ci-après comportera trois possibilités de paramétrage du même schéma de 2 codes à bloc entrelacé orthogonaux (BCH). Le code construit doit être décodé par itération, de façon à obtenir les résultats escomptés. Pour des raisons pratiques, il est indispensable d'implémenter des algorithmes de correction d'erreur à décision non pondérée. La première option s'appliquera au cas spécial de tramage conforme à la Rec. UIT-T G.709/Y.1331 (surdébit 7%), les deux autres assurant une efficacité élevée, avec des surdébits FEC respectivement de 11% et 25%.

L'efficacité des algorithmes FEC à faible surdébit, en particulier aux faibles taux d'erreur de sortie, dépend étroitement de la longueur du mot de code. Bien qu'en règle générale la Rec. UIT-T G.975

autorise tout entrelacement et donc toute dimension de trame, en particulier dans le cas des trames conformes à la Recommandation UIT-T G.709/Y.1331, la longueur de trame (130 560 bits) pose un problème majeur lorsque la longueur du mot de code de l'algorithme FEC utilisé et celle de la trame sont identiques.

Par conséquent, contrairement aux deux autres systèmes, ce schéma dissocie le tramage de transmission de la structure utilisée pour le codage FEC. Des schémas de remappage spécialisés permettent de convertir ces deux codes entre eux (voir Figure I.20). Ce schéma présuppose un formatage des données d'entrée du codeur conformément à la Rec. UIT-T G.975 (y compris un embrouillage) laissant des vides dans la zone de surdébit FEC. Cela permet en outre d'appliquer le même système de codage de base à 25%, 11% et 7% du surdébit avec une efficacité remarquable dans tous les cas.



**Figure I.20/G.975.1 – Schéma de base de remappage**

Ci-dessous figure la description du système de codage sous-jacent, du format FEC intermédiaire et du mappage vers les trames conformes à la Rec. UIT-T G.975.

## I.7.2 Algorithme super FEC

Le présent paragraphe décrit en premier lieu la construction du système de codage sous-jacent de deux codes BCH entrelacés orthogonaux. Ensuite figure la définition de la procédure de mappage de ce schéma de codage vers le flux de transmission.

### I.7.2.1 Système de codage de base

Le système de codage sous-jacent comprend deux catégories de codage BCH concaténés orthogonaux intitulés "codage des lignes" et "codage des colonnes". Les paramètres de codage correspondants figurent au Tableau I.9.

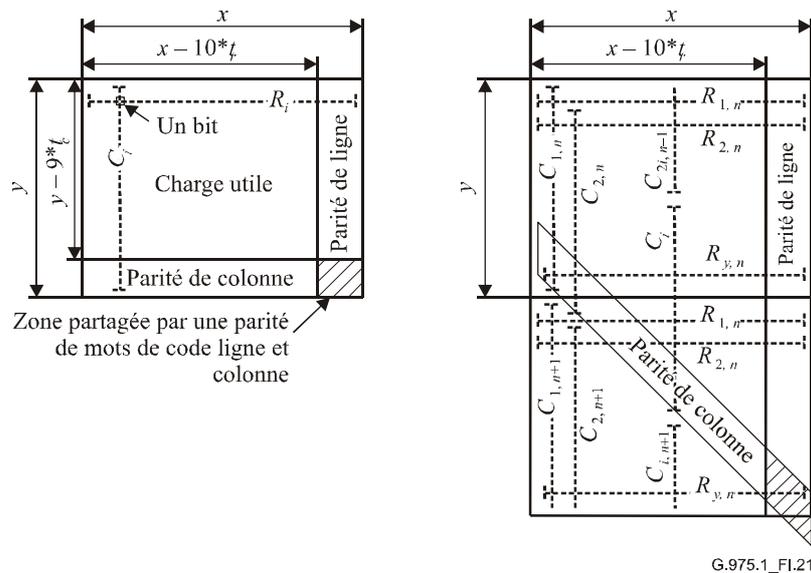
**Tableau I.9/G.975.1 – Construction du code de base**

<b>Codage des lignes</b>	
Polynômes générateurs pour le code de correction d'erreur $t_r$ :	$G(x) = \prod_{i=1}^{2t_r-1} G_{2i-1}(x)$ $G_1(x) = x^{10} + x^3 + 1$ $G_3(x) = x^{10} + x^3 + x^2 + x + 1$ $G_5(x) = x^{10} + x^8 + x^3 + x^2 + 1$ $G_7(x) = x^{10} + x^9 + x^8 + x^7 + x^6 + x^5 + x^4 + x^3 + 1$ $G_9(x) = x^{10} + x^7 + x^5 + x^3 + x^2 + x + 1$ $G_{11}(x) = x^{10} + x^5 + x^4 + x^2 + 1$ $G_{13}(x) = x^{10} + x^6 + x^5 + x^3 + x^2 + x + 1$ $G_{15}(x) = x^{10} + x^8 + x^7 + x^5 + x^3 + x + 1$ $G_{17}(x) = x^{10} + x^9 + x^8 + x^6 + x^3 + x^2 + 1$ $G_{19}(x) = x^{10} + x^8 + x^7 + x^6 + x^5 + x^4 + x^3 + x + 1$ $G_{21}(x) = x^{10} + x^9 + x^8 + x^7 + x^6 + x^5 + x^3 + x + 1$
<b>Codage des colonnes</b>	
Polynômes générateurs pour le code de correction d'erreur $t_c$ :	$G(x) = \prod_{i=1}^{2t_c-1} G_{2i-1}(x)$ $G_1(x) = x^9 + x^4 + 1$ $G_3(x) = x^9 + x^6 + x^4 + x^3 + 1$ $G_5(x) = x^9 + x^8 + x^5 + x^4 + 1$ $G_7(x) = x^9 + x^7 + x^4 + x^3 + 1$

Les mots de code sont traités dans leur ordre naturel, à partir de l'exposant le plus élevé, lorsqu'ils sont considérés en tant que polynômes. Pour raccourcir la longueur du mot de code, celui-ci est bourré de zéros à partir de l'exposant le plus élevé.

### **I.7.2.2 Format FEC intermédiaire**

En principe, les mots du code BCH de base servent à construire une matrice de  $x \times y$  bits (voir schéma de gauche de la Figure I.21). Chaque ligne est constituée par un mot de code d'une seule ligne de  $x$  bits. Chaque colonne représente un mot de code colonne de  $y$  bits. Deux mots de code ligne et colonne arbitrairement choisis ont au plus en commun un bit.

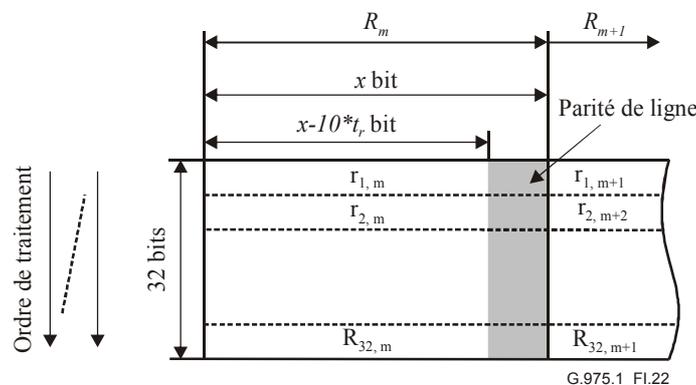


**Figure I.21/G.975.1 – Principe des mots de code orthogonaux entrelacés constituant une matrice ou une structure de diffusion en flux continu**

Le carré inférieur droit est partagé par deux catégories de code: il est rempli par des bits de parité des mots de code de colonne calculés sur la parité de ligne. Puisqu'il s'agit de codes algébriques linéaires, cette parité est identique à la parité des mots de code de ligne, calculée sur la parité de mots de code de colonne. Par conséquent, dans cette représentation matricielle, il suffirait de la calculer et de la transmettre une seule fois. La taille de cette matrice dépend des paramètres de codage particuliers. Dans le cas des configurations présentées, elle est de l'ordre de ~500 kbits.

Pour faciliter l'implémentation, cette structure de matrice est reformatée en une structure de diffusion en flux continu, dont le schéma de droite de la Figure I.21 illustre le principe. Les mots de colonne n'y sont plus alignés par rapport aux limites de la matrice mais sont déplacés de façon à s'étendre sur plus de deux matrices lorsque  $y' < y$ . Dans le cas présent, la matrice modifiée a une largeur logique fixe de 32 bits ( $y' = 32$ ).

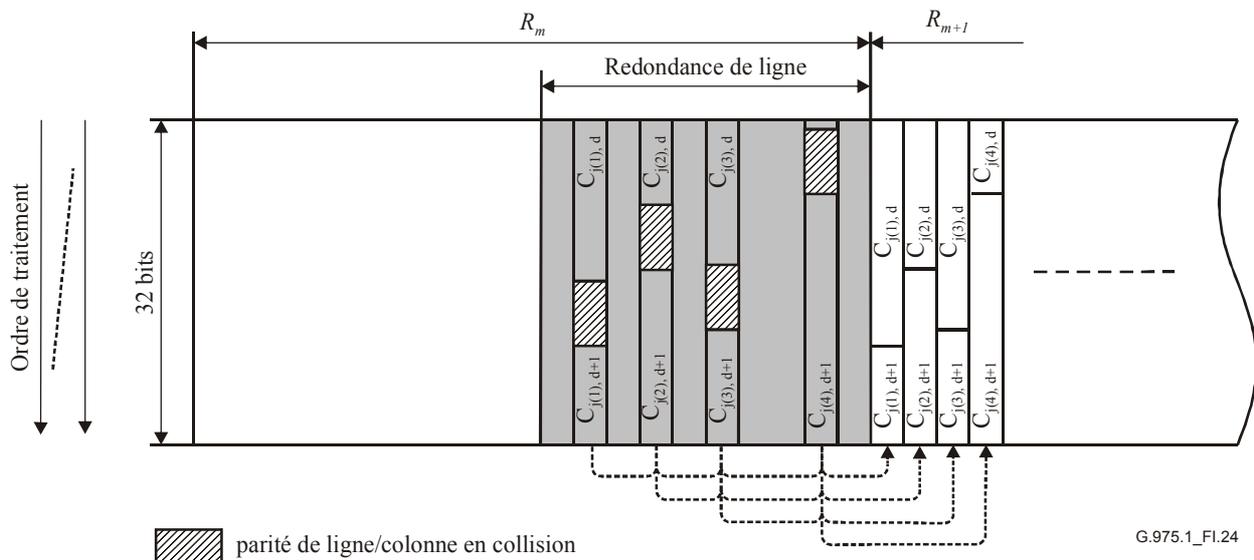
La Figure I.22 montre comment les mots codes lignes ( $R_{i,m}$ ) sont alloués aux flux des matrices modifiées. Trente-deux mots de code indépendants de longueur X sont mappés vers une série de 32 bits adjacents, de manière à les entrelacer bit par bit. Ils constituent un groupe de mots de code  $R_m$ , l'ensemble des 32 mots de code étant alignés sur le même ensemble de 32 bits adjacents.



**Figure I.22/G.975.1 – Attribution des mots de code**

Les mots de code colonne sont mappés verticalement sur cette structure tel qu'indiqué à la Figure I.23.





G.975.1\_FI.24

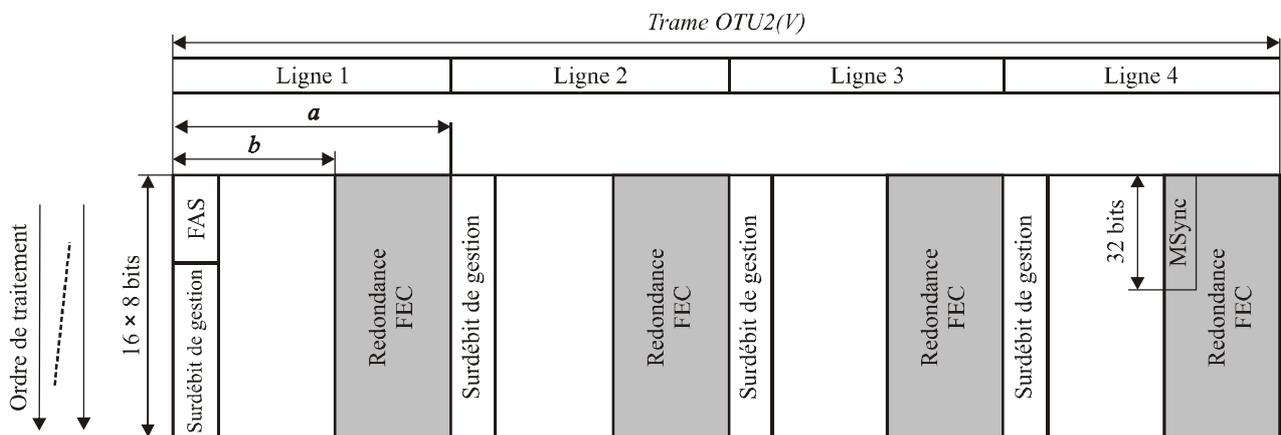
Figure I.24/G.975.1 – Exemple de décalage de quatre groupes de mots de code colonne

Après réintroduction des groupes de mots de code colonne retirés, l'alignement des mots de code est maintenu conformément à la séquence d'origine non modifiée.

Puisqu'il s'agit d'une structure non algébrique, il faut en outre définir le bon ordre de codage. En premier lieu, le codage du mot de code de colonne est appliqué au flux de données, et l'on procède ensuite au codage de ligne.

### I.7.2.3 Mappage du tramage conforme à la Rec. UIT-T G.975 sur la représentation interne

Pour toutes les valeurs de surdébit, la même structure de base de tramage conforme à la Rec. UIT-T G.975 est utilisée tel qu'indiqué à la Figure I.25.



G.975.1\_FI.25

Figure I.25/G.975.1 – Tramage utilisé conformément à la Recommandation UIT-T G.975

Cette structure est constituée de 128 lignes de 1 bit de large. Chaque ligne a une longueur de  $a$  dont  $b$  bits servent de charge utile et d'en-tête de gestion et  $(a-b)$  bits de zones de redondance FEC. Une trame OTU2(V) est obtenue en concaténant quatre des trames décrites. Chaque trame représente une ligne unique du tramage OTU2(V). Le Tableau I.10 indique le paramétrage exact.

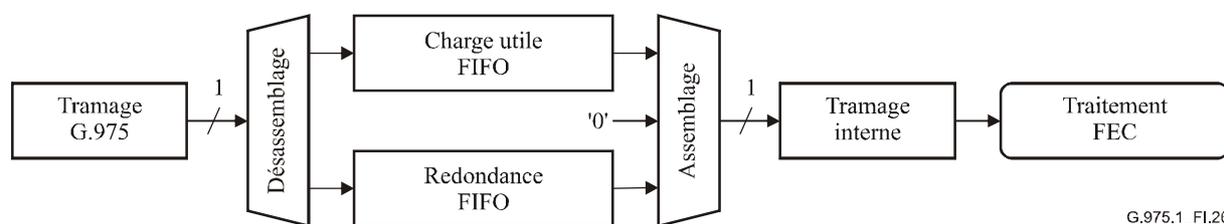
**Tableau I.10/G.975.1 – Paramétrage du tramage transmis**

	<i>a</i>	<i>b</i>	Débit de code $D_f$
Tramage OTUk conforme à Rec. UIT-T G.709/Y.1331	32 640 bits	30 592 bits	239/255
Tramage OTUkV conforme à Rec. UIT-T G.709/Y.1331 (mode 11%)	33 536 bits	30 592 bits	239/262
Tramage OTUkV conforme à Rec. UIT-T G.709/Y.1331 (mode 25%)	38 016 bits	30 592 bits	239/297

La trame représentant la quatrième ligne OTU2(v) contient également un champ de 32 bits au début de la zone de redondance FEC utilisée pour synchroniser la procédure de mappage suivante.

### I.7.2.3.1 Procédure de mappage

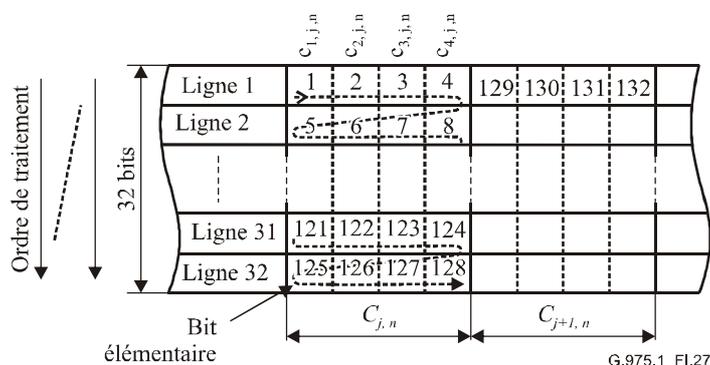
La procédure de mappage assure deux fonctions. Dans une première étape, la trame conforme à la Rec. UIT-T G.975 est désassemblée de façon à constituer l'information de charge utile (y compris l'en-tête de gestion OTUk(V)) et les bits de redondance FEC. Ces deux séries de bits sont inscrites dans deux registres FIFO distincts dans l'ordre de réception (voir Figure I.26), sauf la structure MSync qui est extraite du flux de données.



G.975.1\_FI.26

**Figure I.26/G.975.1 – Flux de reformatage de base**

Dans une deuxième étape, les données sont lues à partir des registres FIFO pour constituer le tramage interne. A partir de chaque groupe de mots de code colonne, les bits de première ligne de chaque mot de code se voient affecter une valeur dans l'ordre séquentiel. Puis, la ligne suivante est affectée. Lorsqu'un groupe de mots de code colonne est terminé, le groupe suivant est assemblé. La Figure I.27 représente le processus. Les chiffres indiqués à l'emplacement de chaque bit indiquent dans quel ordre (temporel) ils sont assemblés.

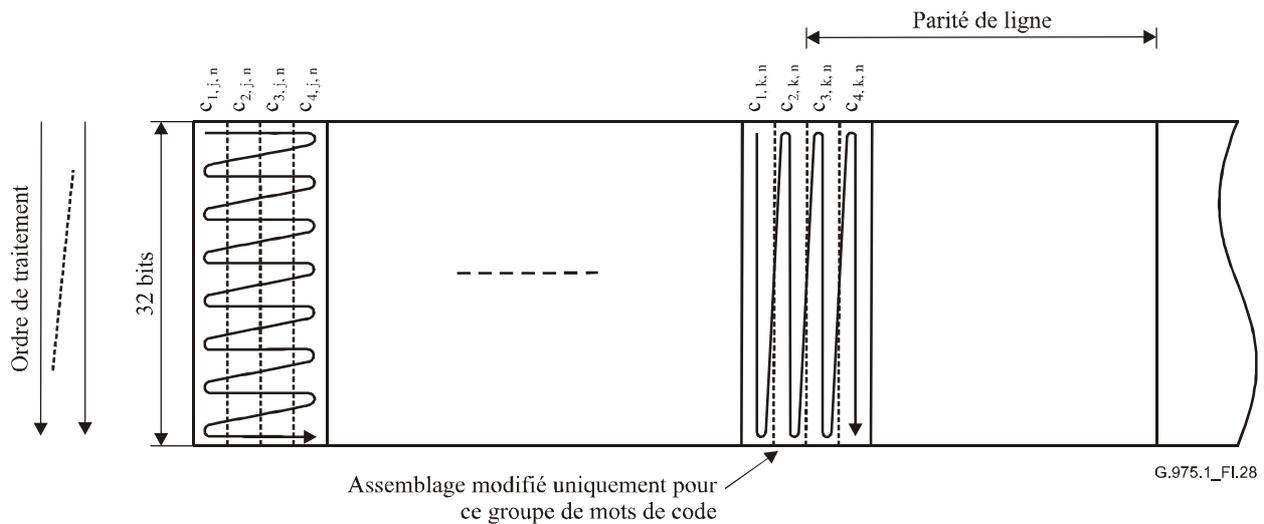


G.975.1\_FI.27

**Figure I.27/G.975.1 – Mappage de base vers le tramage interne**

En mode 25% de surdébit, un groupe de mots de code colonne ( $C_{k,n}$ ) est rempli à moitié de bits de parité de ligne (voir Figure I.28). En ce qui concerne ce groupe, l'ordre d'assemblage est modifié de

telle sorte que chaque mot de code colonne est complètement rempli avant que le suivant soit assemblé.

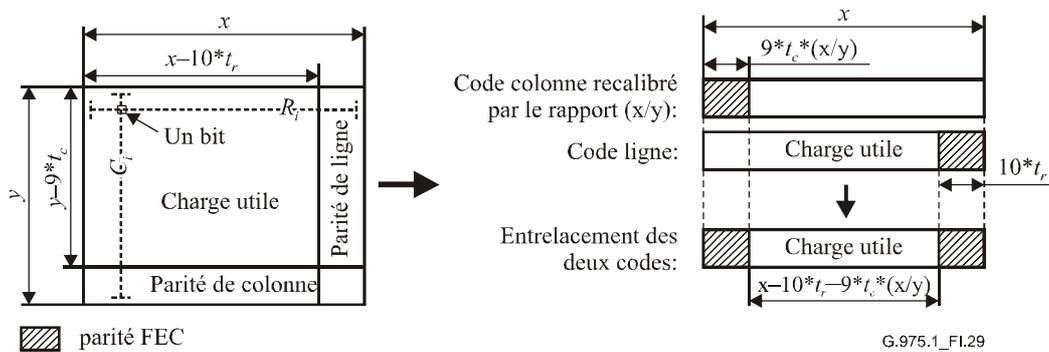


**Figure I.28/G.975.1 – Mappage dans le cas du mode 25% de surdébit**

Selon le type d'information requise, le remplissage des positions binaires utilise, dans l'ordre FIFO, les données de charge utile ou bien les données de redondance. De plus, la structure de synchronisation du mappage sur 32 bits (MSync) est remplacée par une chaîne de zéros.

### I.7.2.3.2 Adaptation du débit

Le calcul du débit FEC interne  $D_f$  suppose une modification de l'entrelacement entre les mots de code ligne et colonne de façon à obtenir un chevauchement complet des deux mots de code. Cette opération exige en outre un recalibrage du mot de code colonne au moyen du rapport  $x/y$  tel qu'indiqué à la Figure I.29.



**Figure I.29/G.975.1 – Entrelacement simplifié permettant le calcul du débit**

Le surdébit FEC interne  $D_f$  ainsi obtenu est donné par la formule:

$$D_f = \frac{x - 10t_r - 9\frac{x}{y}t_c}{x} = 1 - 10\frac{t_r}{x} - 9\frac{t_c}{y}$$

La faisabilité des mappages exige des valeurs  $D_f$  supérieures aux débits de code  $D_c$  déterminé par le mappage OTUk(V) tel qu'indiqué au Tableau I.11.

**Tableau I.11/G.975.1 – Débit FEC brut en fonction du débit OTU(V)**

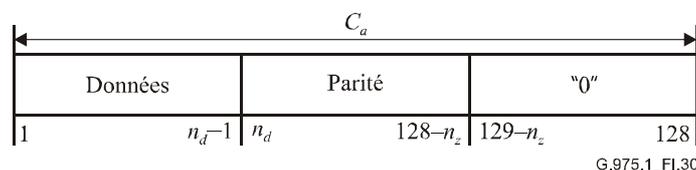
	$D_f$	$D_c$	$D_c'$
Tramage OTU $k$ conforme à la Rec. UIT-T G.709/Y.1331	4219/4500≈0,9375	239/255≈0,9372	≈0,9381
Tramage OTU $kV$ conforme à la Rec. UIT-T G.709/Y.1331 (mode 11%)	7447/8160≈0,91262	239/262≈0,91221	≈0,91308
Tramage OTU $kV$ conforme à la Rec. UIT-T G.709/Y.1331 (mode 25%)	3588/4420≈0,8049	239/297≈0,8047	≈0,8053

L'adaptation consiste dans un premier temps à augmenter  $D_c$  jusqu'à ce qu'il atteigne la valeur  $D_c'$  en retirant les 32 bits de la structure MSync lors de l'introduction OTU $kV$  dans les mappages FIFO.

Dans un deuxième temps, pour chaque groupe  $R_m$  de mots de code interne, un groupe  $C_a$  de mots de code colonne réservés est choisi afin d'implémenter l'adaptation du débit. Par défaut, il s'agit du dixième groupe de mots de code colonne à partir du lancement de  $R_m$ . Lorsque ce groupe de mots de code colonne contient les données de parité colonne, alors le choix porte sur le neuvième groupe.

Au début du troisième groupe de mots de code colonne, avant le groupe  $C_a$  (7<sup>e</sup> ou 6<sup>e</sup> groupe de mots de code colonne de  $R_m$ ), les valeurs attribuées aux données FIFO (DFILL) et aux données de parité FIFO (PFILL) sont vérifiées par rapport à des valeurs limites fixes (voir Tableaux I.12 à I.14). En fonction du résultat de cette comparaison, l'assemblage de  $C_a$  utilise des fractions variables des bits des données FIFO et des données de parité FIFO. Les espaces inutilisés sont complétés par des zéros. Il convient d'observer que le décodeur FEC subséquent considère toujours ces données en tant que telles, bien qu'elles soient extraites des données de parité FIFO.

Si l'on utilise le numérotage des bits à l'intérieur du groupe de mots de code colonne tel qu'il est défini à la Figure I.27, l'assemblage de  $C_a$  s'effectue tel qu'indiqué à la Figure I.30.



**Figure I.30/G.975.1 – Allocation de données à l'intérieur de  $C_a$**

**Tableau I.12/G.975.1 – Principes d'adaptation du débit pour un surdébit de 7% (tramage OTU $k$ )**

Condition		$n_d$	$n_z$
DFILL > 7168	PFILL ≤ 896	104	24
DFILL > 7168	PFILL > 896	96	24
DFILL ≤ 7168	PFILL ≤ 896	88	40
DFILL ≤ 7168	PFILL > 896	80	40

**Tableau I.13/G.975.1 – Principes d'adaptation du débit pour un surdébit de 11% (tramage OTUkV)**

Condition		$n_d$	$n_z$
DFILL > 6272	PFILL ≤ 2048	88	24
DFILL > 6272	PFILL > 2048	80	24
DFILL ≤ 6272	PFILL ≤ 2048	72	40
DFILL ≤ 6272	PFILL > 2048	64	40

**Tableau I.14/G.975.1 – Principes d'adaptation du débit pour un surdébit de 25% (tramage OTUkV)**

Condition		$n_d$	$n_z$
DFILL > 11136	PFILL ≤ 4736	112	16
DFILL > 11136	PFILL > 4736	104	16
DFILL ≤ 11136	PFILL ≤ 4736	96	32
DFILL ≤ 11136	PFILL > 4736	88	32

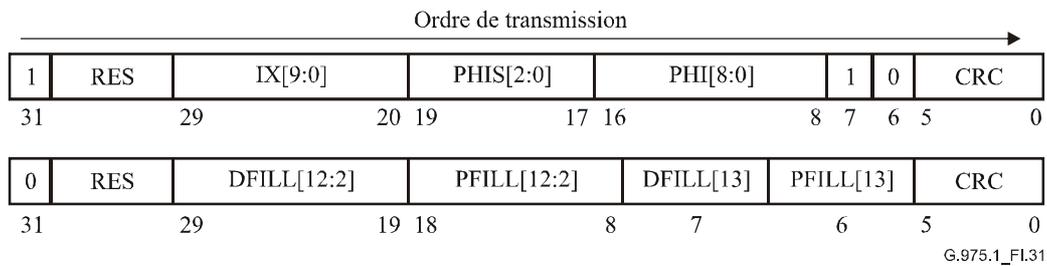
### I.7.2.3.3 Synchronisation du mappage

La synchronisation du format interne entre le codeur d'émission et le décodeur de réception utilise une structure de 32 bits de large (MSync, voir Figure I.25). Cette structure est remplacée par une chaîne de zéro préalablement au mappage. Elle contient les informations suivantes, dans deux structures MSync introduites successivement (voir Figure I.31):

**Tableau I.15/G.975.1 – Information de synchronisation transmise**

Nom	Taille	Latence d'initialisation $u$ en bit (voir Figure I.32)			Fonction
		7% OH	25% OH	11% OH	
IX	9 bits	2400	7776	3040	Positionne le mot de code ligne pour le traitement du IX <sup>e</sup> bit du mot de code (initialisation de l'allocation de mot de code ligne indiquée à la Figure I.22)
PHI	9 bits	2400	7776	3040	Positionne sur la valeur PHI le bit du mot de code colonne (initialisation de l'allocation de mot de code colonne indiqué à la Figure I.23)
PHIS	3 bits	2400	7776	3040	Nombre de mots de code colonne retirés avant initialisation du mot de code colonne par PHI
DFILL	14 bits	2656	8032	3296	Positionne sur la valeur DFILL le remplissage des données FIFO
PFILL	14 bits	2656	8032	3296	Positionne sur la valeur PFILL le remplissage des données FIFO

Les cinq valeurs sont réparties dans deux structures MSync transmises alternativement dans deux trames OTUk(V) consécutives. Les allocations sont représentées à la Figure I.31.

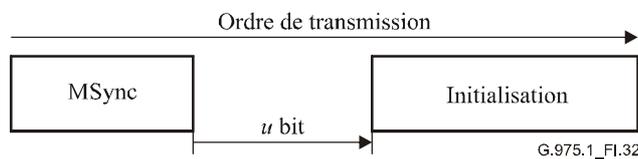


**Figure I.31/G.975.1 – Modèle de synchronisation du mappage**

Les deux modèles de structure sont protégés au moyen d'un code de redondance cyclique sur 6 bits ajouté à la structure MSync[29:6] constituée de 24 bits d'information. La matrice de contrôle est donnée par la relation:

$$\text{CRC}[5:0] = \begin{bmatrix} 1 & 1 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 \\ 0 & 1 & 1 & 1 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 0 & 0 \\ 1 & 0 & 1 & 1 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 1 & 0 \\ 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 1 \\ 1 & 0 & 0 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 \end{bmatrix} \text{MSync}[29:6]$$

Les informations extraites sont traitées  $u$  bits après réception du dernier bit de la structure sync contenant les valeurs paramétriques FIFO (PFILL, DFILL).



**Figure I.32/G.975.1 – Latence d'initialisation**

#### I.7.2.3.4 Configurations de mode

Le Tableau I.16 récapitule le paramétrage des deux modes définis.

**Tableau I.16/G.975.1 – Différentes configurations**

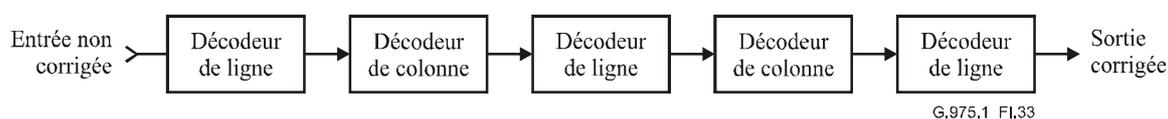
Description	Symbole	Mode 7%	Mode 11%	Mode 25%
Longueur de ligne de tramage de transport	$\alpha$	32 640 bits	33 536 bits	38 016 bits
Longueur de charge utile	b	30 592 bits	30 592 bits	30 592 bits
Débit de code	–	239/255	239/262	239/297
OTU1(V)/STM-16	–	255/238 $\approx 1,0714$	262/238 $\approx 1,1001$	297/238 $\approx 1,2479$
OTU2(V)/STM-64	–	255/237 $\approx 1,0759$	262/237 $\approx 1,1054$	297/237 $\approx 1,2531$

**Tableau I.16/G.975.1 – Différentes configurations**

Description		Symbole	Mode 7%	Mode 11%	Mode 25%
OTU3(V)/STM-256		–	255/236 ≈1,0805	262/236 ≈1,1101	297/236 ≈1,2584
Code ligne:	Longueur de mot de code	$x$	900	960	884
	Bits corrigibles par mot de code	$t_r$	4	5	11
Code Col.:	Longueur de mot de code	$y$	500	510	510
	Bits corrigibles par mot de code	$t_c$	1	2	4
Nombre de groupes de mots de code colonne		$l$	286	262	262
Décalage de mots de code colonne		$\Delta\text{PHI}$	286	296	296

### I.7.3 Capacité de correction d'erreur

Selon les termes et les définitions indiqués au § 7, les Tableaux I.17 à I.19 indiquent les résultats obtenus pour trois configurations différentes. Les lignes non ombrées contiennent des données mesurées, tandis que les lignes ombrées contiennent des données extrapolées à partir des simulations effectuées. On suppose un décodage itératif du flux de données en cinq étapes comportant chacune l'implémentation d'un décodeur BCH à décision non pondérée, tel qu'indiqué à la Figure I.33. Les résultats obtenus seront différents selon les stratégies de décodage adoptées.



**Figure I.33/G.975.1 – Décodage itératif en cinq étapes**

**Tableau I.17/G.975.1 – Capacité de correction d'erreur avec surdébit de 7%**

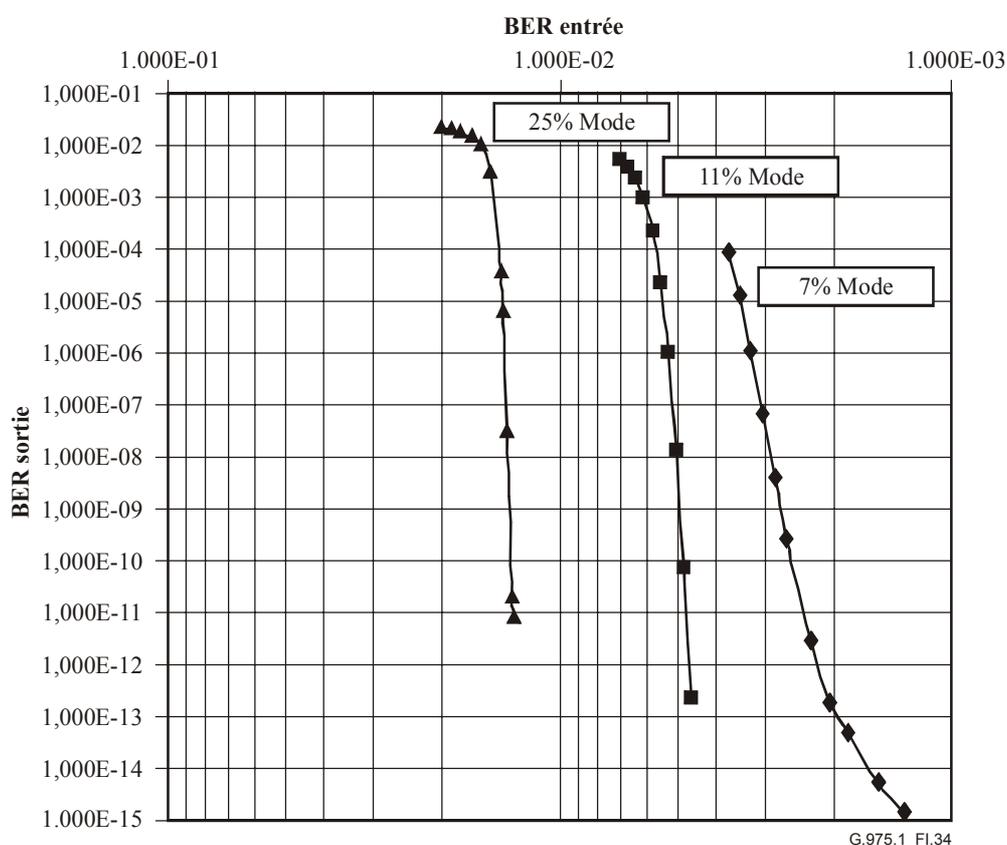
BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$2,700 \times 10^{-3}$	$10^{-9}$	6,35	6,67	8,89
$2,550 \times 10^{-3}$	$10^{-10}$	6,80	7,12	8,95
$2,400 \times 10^{-3}$	$10^{-11}$	7,20	7,52	9,01
$2,200 \times 10^{-3}$	$10^{-12}$	7,53	7,85	9,09
$2,000 \times 10^{-3}$	$10^{-13}$	7,82	8,14	9,18
$1,62 \times 10^{-3}$	$10^{-14}$	7,98	8,29	9,38
$1,30 \times 10^{-3}$	$10^{-15}$	8,09	8,41	9,58

**Tableau I.18/G.975.1 – Capacité de correction d'erreur avec surdébit de 11%**

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$4,920 \times 10^{-3}$	$10^{-9}$	6,89	7,32	8,24
$4,850 \times 10^{-3}$	$10^{-10}$	7,38	7,81	8,26
$4,740 \times 10^{-3}$	$10^{-11}$	7,81	8,25	8,28
$4,630 \times 10^{-3}$	$10^{-12}$	8,20	8,64	8,31
$4,580 \times 10^{-3}$	$10^{-13}$	8,57	9,01	8,32
$4,50 \times 10^{-3}$	$10^{-14}$	8,90	9,33	8,34
$4,44 \times 10^{-3}$	$10^{-15}$	9,19	9,63	8,36

**Tableau I.19/G.975.1 – Capacité de correction d'erreur avec surdébit de 25%**

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$1,340 \times 10^{-2}$	$10^{-9}$	7,68	8,66	6,90
$1,330 \times 10^{-2}$	$10^{-10}$	8,17	9,15	6,91
$1,323 \times 10^{-2}$	$10^{-11}$	8,63	9,61	6,92
$1,320 \times 10^{-2}$	$10^{-12}$	9,04	10,02	6,93
$1,312 \times 10^{-2}$	$10^{-13}$	9,41	10,39	6,93
$1,307 \times 10^{-2}$	$10^{-14}$	9,75	10,73	6,94
$1,302 \times 10^{-2}$	$10^{-15}$	10,06	11,04	6,95



**Figure I.34/G.975.1 – Efficacité de codage FEC-BER d'entrée en fonction du BER de sortie**

#### I.7.4 Taux de redondance

Le Tableau I.20 indique les taux de redondance et les gains nets de codage obtenus avec différents mappages d'après la Rec. UIT-T G.709/Y.1331. Il est à noter que les mappages STM-64 sur OTU2(V) et STM-256 sur OTU3(V) impliquent l'introduction de colonnes de bourrage fixe inutilisées, ce qui contribue à augmenter le débit global.

**Tableau I.20/G.975.1 – Taux de redondance pour différents mappage**

	Mode 7% surdébit	Mode 11% surdébit	Mode 25% surdébit
Taux de redondance	255/239≈1,066	262/239≈1,096	297/239≈1,2426
OTU <sub>k</sub> (V) / CBR	255/238≈1,0714	262/238≈1,1001	297/238≈1,2479
OTU1(V) / STM-16	255/238≈1,0714	262/238≈1,1001	297/238≈1,2479
OTU2(V) / STM-64	255/237≈1,0759	262/237≈1,1054	297/237 ≈1,2531
OTU3(V) / STM-256	255/236≈1,0805	262/236≈1,1101	297/236≈1,2584

#### I.7.5 Latence

La latence dépend de l'implémentation considérée, comme du nombre d'itérations effectué pendant le décodage. Toutefois, on constate une limite inférieure d'environ 500 kbit/s par étape de traitement de mots de code colonne. Par conséquent, la stratégie de décodage décrite au § I.7.3 se traduira par une latence d'environ 1 Mbit. Dans le cas des charges utiles à 10 Gbit/s (STM-64, ODU2), il en résultera un délai de 100 µs.

#### I.7.6 Propriétés

Le schéma de codage présenté offre de fortes capacités de correction d'erreur sur un vaste éventail de débits de codage, avec un affaiblissement inexistant ou très limité. Il ne fait pas appel à des algorithmes de décision pondérée pour le décodage. La latence introduite globalement est modérée.

### I.8 Code super FEC Reed-Solomon (2720,2550)

#### I.8.1 Aperçu général

Les systèmes modernes de transmission optique à haut débit font largement appel à la correction d'erreur directe (FEC) pour assurer une transmission pratiquement exempte d'erreurs sur les voies optiques. La Rec. UIT-T G.975 spécifie les codes RS(255,239) standards, entrelacés sur 16 niveaux, en tant que code FEC par défaut des systèmes de transmission optique. Ce code FEC entrelacé est un code de bloc systématique de 32 640 bits de long, dont 30 592 bits d'information; il permet de corriger jusqu'à 8 erreurs de symbole dans chacun des 16 flux entrelacés de 2040 bits.

#### I.8.2 Algorithme super FEC

Un code Reed-Solomon de longueur  $N$  sur un champ de Galois  $GF(q)$  est un code cyclique dont le polynôme générateur s'exprime comme suit:

$$g(x) = (x - \alpha^b)(x - \alpha^{b+1}) \dots (x - \alpha^{b+D-2})$$

Avec  $\alpha$  élément primitif de  $GF(q)$ ,  $D$  distance minimale,  $k = N - D + 1$  dimension, et  $b$  un décalage arbitraire. Ce code appelé code RS(N,K) permet de corriger jusqu'à  $t = \lfloor (D - 1)/2 \rfloor = \lfloor (N - k)/2 \rfloor$  erreurs de symbole, avec  $\lfloor a \rfloor$  désignant le plus grand entier inférieur ou égal à  $a$ . A toutes fins pratiques, nous considérons la classe de codes RS sur le champ de Galois  $GF(2^m)$ , dont les éléments peuvent être représentés par les multiples de  $m$  binaires, de façon à constituer un code RS ( $n = mN$ ,  $k = mK$ ) sur le champ  $GF(2)$ .

Soit  $n_b$  la longueur totale de bloc de la trame. Pour  $n_b > mN$ , il est courant d'entrelacer les symboles des codes RS( $N,K$ ) de façon à obtenir une capacité élevée de correction d'erreurs par rafales, ou plutôt, afin d'augmenter le paramètre  $t$  de correction d'erreur et de maintenir le même surdébit en augmentant la longueur de bloc  $n$ , avec  $n \leq m(2^m - 1)$  et par conséquent en augmentant  $m$ . La profondeur d'entrelacement est par conséquent réduite à  $u \leq \lceil n_b / m(2^m - 1) \rceil$  et  $N = \lceil n_b / mu \rceil$  avec  $\lceil a \rceil$  plus petit entier supérieur ou égal à  $a$ .

Soit  $B_{\max}$  la longueur maximale des erreurs par rafales susceptibles d'être toujours corrigées. On vérifie facilement que la capacité de correction d'erreurs par rafales d'un code RS( $N,K$ ) sur un champ GF( $2^m$ ) avec une profondeur d'entrelacement  $u$ , est donnée par la formule

$B_{\max} = u \cdot t$ . Toutefois, la capacité garantie de correction des erreurs par rafales en présence d'erreurs aléatoires constitue un paramètre plus pertinent. La longueur maximale d'erreurs par rafales  $B_{\max}^{(v)}$  en présence de  $v$  erreurs aléatoires peut être exprimée par la relation:

$$B_{\max}^{(v)} = \max(0, t - v) \cdot u \quad [\text{symboles de } m\text{-bits}]$$

Par conséquent, la longueur des erreurs par rafales, en bits  $b_{\max}^{(v)}$  est donnée par la formule:

$$b_{\max}^{(v)} = \max(0, mB_{\max}^{(v)} - (m - 1)) \quad [\text{bits}]$$

le non-alignement du début et de la fin des erreurs par rafales et les symboles de  $m$ -bit ayant été pris en compte.

La capacité de correction d'erreurs d'un décodeur à distance bornée est dépassée si l'on constate un nombre d'erreurs de symbole  $e > t$ . La probabilité d'erreur sur les mots  $P_w^{(n)}$  à la sortie d'un décodeur RS à distance bornée ( $n = mN$ ,  $k = mk$ ), après transmission sur une voie symétrique binaire avec une probabilité d'erreurs sur les bits  $P_b$  est donc donnée par la formule

$$P_w^{(n)} = \sum_{e=t+1}^N \binom{N}{e} p_s^e (1 - p_s)^{N-e}$$

Avec  $p_s = 1 - (1 - p_b)^m$ , probabilité d'erreur sur les symboles. Pour un code RS( $N,K$ ) entrelacé, l'expression de la probabilité d'erreur sur les mots devient

$$P_w^{(u \cdot n)} = 1 - (1 - P_w^{(n)})^u$$

Si le mot de code transmis comporte des erreurs sur les symboles en nombre  $e > t$ , alors le décodeur ne réussira pas à trouver un mot de code (défaillance du décodeur) ou trouvera un mot de code autre que le mot de code transmis (erreur de décodeur). Il a été établi dans la littérature que la probabilité d'erreur du décodeur était inférieure à  $1/(t!)$ . En cas de défaillance de décodeur, celui-ci ne modifiera pas le mot reçu de telle sorte que le nombre d'erreurs sur les symboles est alors égal à  $e$ , et le nombre moyen d'erreurs sur les bits à  $e \cdot m p_b / p_s$ . Dans le cas d'une erreur de décodeur, un nombre maximal de  $t$  erreurs aléatoires supplémentaires, sera ajouté, auquel cas le nombre moyen d'erreurs sur les bits sera égal à  $e \cdot m p_b / p_s + t \cdot m / 2$ . On peut alors exprimer précisément par la formule suivante la probabilité  $P_b$  d'erreurs sur les bits:

$$P_b \cong \frac{1}{N} \sum_{e=t+1}^N \left( \frac{p_b}{p_s} \cdot e + \frac{1}{2(t-1)!} \right) \binom{N}{e} p_s^e (1 - p_s)^{N-e}$$

L'alinéa ci-dessous utilise implicitement les expressions dérivées afin d'obtenir les paramètres du code RS et de déterminer son efficacité.

Le code FEC proposé est un code RS(2720,2550) avec des symboles de 12 bits et une longueur totale de 32 640 bits. Le polynôme générateur des éléments sur le champ de Galois  $GF(2^{12})$  est donné par la formule

$$p(x) = x^{12} + x^9 + x^8 + x^6 + x^3 + x^2 + 1$$

Ce code peut prendre en charge jusqu'à 30 600 bits d'information. Les premiers 30 588 bits de la charge utile standard de trame FEC  $239 \times 16 \times 8$  seront mappés sur les 2549 premiers symboles. Les quatre derniers bits de la charge utile constitueront les bits de poids le plus élevé du 2550<sup>e</sup> symbole, les 8 bits restants de ce symbole étant inutilisés. On peut soit leur affecter une valeur déterminée, soit les mettre à zéro.

### I.8.3 Capacité de correction d'erreur

Le code RS(2720,2550) peut corriger jusqu'à 85 erreurs sur les symboles, ce qui permet de déterminer facilement le taux d'erreur sur les bits à la sortie du décodeur. Les résultats sont indiqués aux Figures I.35 et I.36 ainsi qu'au Tableau I.21. La faible distance minimale propre au code RS(255,239), dont la capacité de correction est limitée à 8 symboles dans un des 2040 blocs de bits entrelacés, a évidemment une incidence majeure sur la capacité de correction d'erreur du code FEC standard. La capacité maximale de correction des erreurs par rafales  $b_{\max}^{(v)}$  du code RS(2720,2550) est donnée par la formule  $\max(0, 12 \cdot (85 - v) - 11)$  en présence de  $v$  erreurs aléatoires supplémentaires. A titre de comparaison, le code RS(255,239) entrelacé permet de corriger un nombre d'erreurs égal à  $\max(0, 128 \cdot (8 - v) - 7)$ . Cela démontre la plus grande vulnérabilité aux erreurs aléatoires de la capacité de correction des erreurs par rafales de ce dernier système de codage.

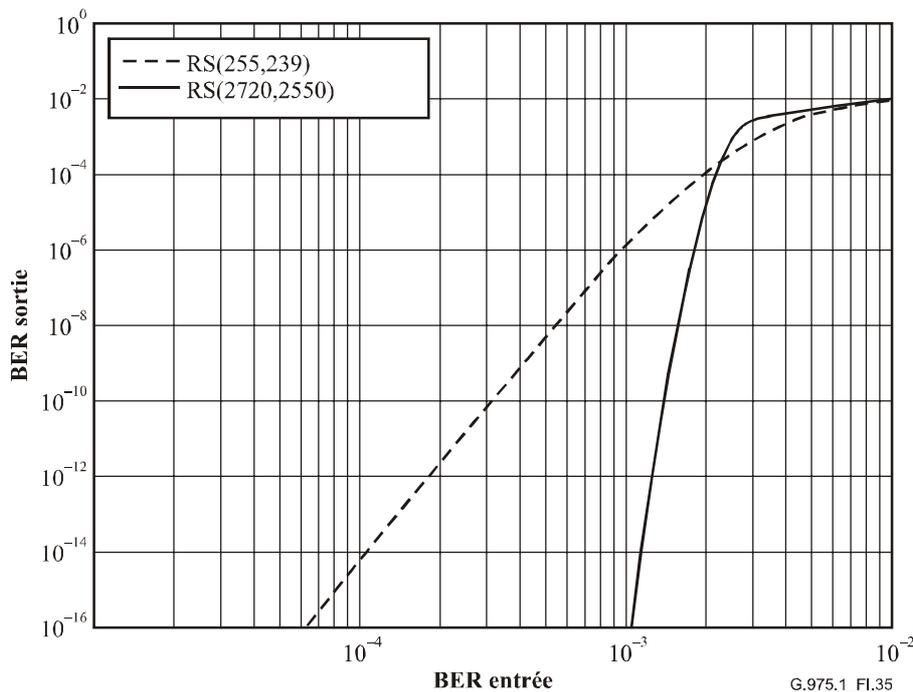


Figure I.35/G.975.1 – BER de sortie en fonction du BER d'entrée pour le code RS(2720,2550) et le code FEC standard

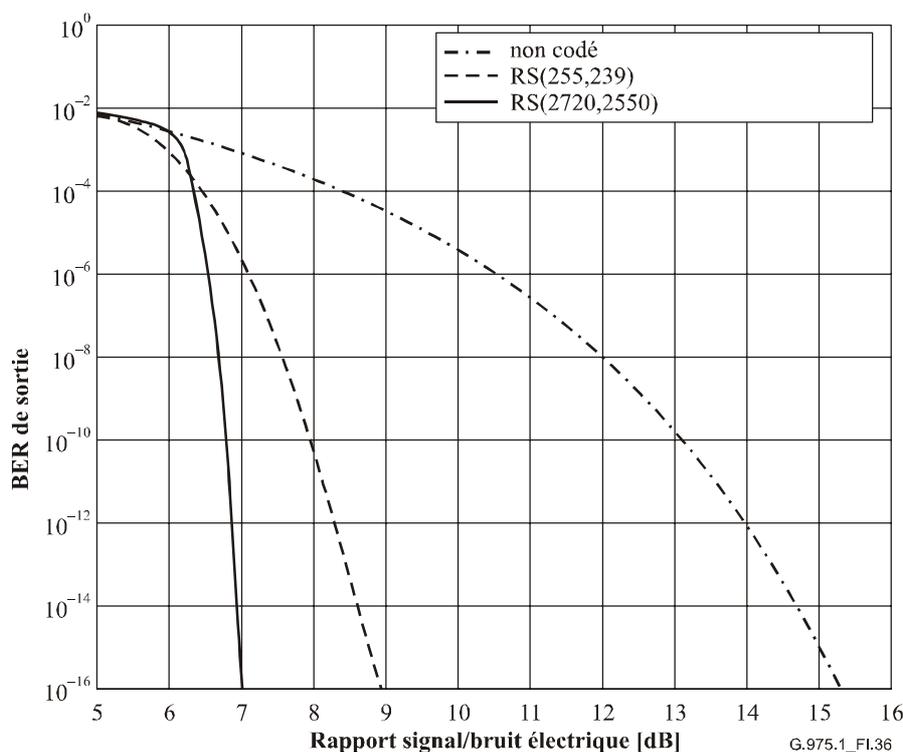


Figure I.36/G.975.1 – BER de sortie en fonction du rapport  $E_b/N_0$  pour le code RS(2720,2550) et le code FEC standard

Tableau I.21/G.975.1 – Tableau récapitulatif des capacités de correction

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$1,48 \times 10^{-3}$	$10^{-9}$	5,82	6,10	9,46
$1,40 \times 10^{-3}$	$10^{-10}$	6,28	6,56	9,51
$1,33 \times 10^{-3}$	$10^{-11}$	6,70	6,98	9,56
$1,26 \times 10^{-3}$	$10^{-12}$	7,06	7,35	9,60
$1,20 \times 10^{-3}$	$10^{-13}$	7,40	7,69	9,65
$1,15 \times 10^{-3}$	$10^{-14}$	7,71	8,00	9,68
$1,10 \times 10^{-3}$	$10^{-15}$	8,00	8,28	9,72

#### I.8.4 Taux de redondance

Le taux de redondance du code Reed-Solomon (2720,2550) entrelacé est de 7%, taux égal à celui du code FEC RS hérité tel qu'il est défini dans la Rec. UIT-T G.975.

#### I.8.5 Latence

Ce code RS(2720,2550) comporte des symboles de 12 bits et une longueur de bloc de 32 640 bits pour 30 592 bits d'information; il se caractérise par une faible latence, d'un ordre de grandeur identique à celui du code RS(255,239) entrelacé.

#### I.8.6 Propriétés

Ce code RS(2720,2550) à correction de 85 erreurs, comporte des symboles de 12 bits et une longueur de bloc de 32 640 bits dont 30 592 bits de charge utile, identique à celle du code RS(255,239) standard. D'après les résultats obtenus, il assure un gain de codage notable et présente

des capacités de correction d'erreur par rafales de niveau élevé. Le codeur et le décodeur peuvent être efficacement implémentés au moyen des technologies actuelles à puces dans le cas des applications 2,5G, 10G et 40G; on a constaté une faible latence du même ordre que celle du code RS(255,239) entrelacé.

## I.9 Code super FEC à deux codes BCH(1020,988) étendus entrelacés

### I.9.1 Aperçu général

Le code FEC proposé est constitué de deux codes BCH(1020,988) étendus entrelacés, comportant la même longueur de bloc. La longueur de bloc FEC et la longueur de charge utile atteignent globalement (522240, 489472), valeur conforme au taux de surdébit défini dans les Recommandations UIT-T G.975 ou G.709/Y.1331. Le gain net de codage de ce code est supérieur à 8,5 dB pour un BER de  $10^{-13}$ , avec un décodage en 10 itérations.

### I.9.2 Algorithme super FEC

Le schéma de codage FEC amélioré utilise deux codes BCH(1020,988) étendus entrelacés, dont la longueur de bloc est la même, tel qu'indiqué ci-après.

#### I.9.2.1 BCH(1020,988)

Le polynôme du champ de Galois est le suivant:

$$p(x) = x^{10} + x^3 + 1$$

Les polynômes générateurs de code relatifs aux codes horizontaux et obliques sont les suivants:

$$g_H(x) = m_1(x) m_3(x) m_5(x) (x^2 + 1)$$

$$g_s(x) = x^{30} m_1(x^{-1}) m_3(x^{-1}) m_5(x^{-1}) (x^2 + x + 1)$$

avec:

$$m_1(x) = x^{10} + x^3 + 1$$

$$m_3(x) = x^{10} + x^3 + x^2 + x + 1$$

$$m_5(x) = x^{10} + x^8 + x^3 + x^2 + 1$$

#### I.9.2.2 Structure de trame

La charge utile de 16 unités G.709/Y.1331 ODU est recueillie de façon à créer une super trame BCH. Ainsi, on compte 3824 vecteurs de bits contenant chacun 128 bits, indexés d'après leur ordre de transmission, et constituant la matrice binaire  $512 \times 956$  suivante.

0	4	8				24					3800				3816	3820
1	5	9				25					3801				3817	3821
2	6	10				26					3802				3818	3822
3	7	11				27					3803				3819	3823

La trame globale (matrice  $512 \times 1020$ ) est obtenue en ajoutant  $512 \times 64$  bits de parité, c'est-à-dire en ajoutant 64 colonnes du côté droit.

L'ordre de transmission des bits de données est conservé.

### I.9.2.3 Fonction d'entrelacement

La trame globale, constituée de  $512 \times 1020$  bits, est divisée en  $16 \times 32$  sous-blocs. Les lignes sont remplies de quatre bits mis à zéro, de façon à ajouter quatre colonnes du côté gauche de la structure; évidemment, ces bits ne sont pas transmis.

Chaque sous-bloc est un carré contenant  $32 \times 32$  bits.

Les blocs situés sur les colonnes 2,3... 31 contiennent les bits de charge utile, tandis que les blocs des colonnes 0-1 contiennent les bits de parité.

0,31	0,30	0,29	0,28	0,27	0,4	0,3	0,2	0,1	0,0
1,31	1,30	1,29	1,28	1,27					
2,31									
14,31	14,30	14,29	14,28	14,27					14,0
15,31	15,30	15,29	15,28	15,27	15,4	15,3	15,2	15,1	15,0

La fonction d'entrelacement déplace les blocs à l'intérieur de chaque colonne, de façon à obtenir la matrice suivante:

15,31	15,30	14,29	14,28	13,27	2,4	1,3	1,2	0,1	0,0
0,31	0,30	15,29	15,28	14,27	3,4	2,3	2,2	1,1	1,0
1,31	1,30	0,29	0,28	15,27	4,4	3,3	3,2	2,1	2,0
2,31	2,30	1,29	1,28	0,27	5,4				
				1,27	6,4				
				2,27	7,4				
				3,27	8,4				
				4,27	9,4				
				5,27	10,4				
8,31	8,30	7,29	7,28	6,27	11,4	10,3	10,2	9,1	9,0
				7,27	12,4				
				8,27	13,4				
				9,27	14,4	13,3	13,2	12,1	12,0
				10,27	15,4	14,3	14,2	13,1	13,0
13,31	13,30	12,29	12,28	11,27	0,4	15,3	15,2	14,1	14,0
14,31	14,30	13,29	13,28	12,27	1,4	0,3	0,2	15,1	15,0

De plus, la fonction d'entrelacement déplace les bits à l'intérieur des colonnes de chaque bloc. De telle sorte que le bloc suivant:

0,31	0,30	0,29	0,2	0,1	0,0
1,31	1,30	1,29			1,0
2,31	2,30	2,29			2,0
					29,0
					30,0
31,31	31,30	31,29	31,2	31,1	31,0

devient:

0,31	31,30	30,29	3,2	2,1	1,0
1,31	0,30	31,29	4,2	3,1	2,0
2,31	1,30	0,29	5,2	4,1	3,0
29,31	28,30	27,29	0,2	31,1	30,0
30,31	29,30	28,29	1,2	0,1	31,0
31,31	30,30	29,29	2,2	1,1	0,0

Il est également possible d'exprimer la fonction d'entrelacement par une formule simple: le bit situé dans la position [I,J], ( $0 \leq I \leq 511$ ,  $0 \leq J \leq 1023$ ) allant à l'emplacement:

$(((I-J-1 \text{ MOD } 32) + 32 (I/32 - J/64) \text{ MOD } 512), J]$ , avec "/" symbole désignant la division entière.

Les bits de parité sont calculés en observant la règle suivant laquelle chaque ligne (il y a 512 lignes) de la trame globale est un mot de code BCH(1020,988) et chaque ligne (il y a 512 lignes) de la trame globale entrelacée est un mot de code BCH(1020,988). Il s'ensuit que chaque bit transmis est protégé par 2 codes BCH.

Une propriété essentielle de la fonction d'entrelacement consiste à laisser inchangé l'indice de colonne. Cela permet aux codeurs BCH horizontaux et inclinés de traiter en parallèle les mêmes bits de données d'entrée, sans enregistrement intermédiaire.

Les colonnes 0 à 63 contiennent les bits de parité, lesquels sont transmis entrelacés avec les données de façon à préserver la structure de données standard; autrement dit, chaque unité ODU est suivie par 2048 bits appartenant à la même trame globale.

L'ordre de transmission des bits de parité est le suivant:

De  $T = 0$  à 32 767

Ligne =  $T \text{ MOD } 64 + 64 (T/4096)$

Colonne =  $63 - (T \text{ MOD } 4096)/64$

Send\_bit(Ligne, Colonne)

Fin

#### 1.9.2.4 Codeur

Aux termes de ce processus, chaque ligne est constituée par un mot de code BCH, tant avant qu'après exécution de la fonction d'entrelacement. Ce résultat est obtenu grâce à la superposition de plusieurs effets.

Considérons les blocs de parité (0,1) et (0,0); le même processus est répété sur les 15 lignes de bloc restantes.

Premièrement, considérons le code horizontal; le bloc (0,1) est mis à zéro (1024 zéros) et pour chacune des 32 lignes, les restes de la division par  $g_H(x)$  sont calculés. Ces 1024 bits obtenus en résultat sont recueillis et affectés au vecteur  $p_H$ .

Le mot de code oblique est calculé sur les lignes de la trame entrelacée. Il est à noter que les blocs de parité ont le même emplacement. Le bloc (0,1) est mis à zéro et pour chacune des 32 lignes, les restes par  $g_s(x)$  sont calculés. Les 1024 bits ainsi obtenus sont attribués aux vecteurs  $p_s$ .

A présent, les bits à l'intérieur du bloc (0,1), appelés vecteur  $q$ , sont limités de façon à obtenir la même parité totale pour les deux codes.

Si l'on appelle  $M_H$  et  $M_T$  les opérateurs linéaires correspondant à l'opération calcul du reste depuis le bloc (0,1) jusqu'au bloc (0,0), et  $T$  la matrice d'entrelacement, nous obtenons:

$$T(M_H q + p_H) = M_s T q + p_s \Rightarrow q = (T M_H - M_s T)^{-1} (p_s - T p_H)$$

Enfin, le contenu des blocs (0,1) et (0,0) sont mis respectivement aux valeurs  $q$  et  $M_H q + p_H$ .

### 1.9.2.5 Décodage itératif

La capacité de correction d'erreur augmente évidemment en fonction du nombre d'itérations. Ce nombre peut être propre à chaque équipementier. Toutefois, en raison de la simplicité de la fonction d'entrelacement et du degré peu élevé des polynômes BCH, on peut facilement atteindre de 12 à 20 itérations.

Le décodage par remplissage des positions effacées est une solution par ailleurs possible et suggérée. Par exemple, la structure d'erreur la plus probable, impossible à corriger par les décodeurs BCH, est constituée par une erreur de 8 bits faisant partie d'un couple de mots de code horizontaux et d'un couple de mots de code oblique. Cette structure est facile à identifier et à corriger. De manière analogue, des formats d'erreurs d'ordre moins élevé peuvent être complétés par un algorithme d'effacement dont la complexité est limitée.

### 1.9.3 Capacité de correction d'erreur

Les capacités de correction d'erreur de ce schéma de codage FEC améliorée dépendent du nombre d'itérations du processus de décodage. Avec un décodage en 10 itérations, les résultats du code sont indiqués au Tableau I.22 (résultats de simulations).

**Tableau I.22/G.975.1 – Tableau récapitulatif des capacités de correction**

BER d'entrée	BER de sortie	Gain de codage net (dB)	Gain de codage (dB)	Q limite (dB)
$5,00 \times 10^{-3}$	$3,07 \times 10^{-3}$	0,25	0,54	8,22
$4,70 \times 10^{-0,3}$	$8,87 \times 10^{-4}$	1,33	1,61	8,29
$4,50 \times 10^{-3}$	$4,42 \times 10^{-5}$	3,25	3,53	8,34
$4,30 \times 10^{-3}$	$9,30 \times 10^{-8}$	5,67	5,95	8,39
$4,00 \times 10^{-3}$	$7,00 \times 10^{-14}$	8,63	8,91	8,47
$3,50 \times 10^{-3}$	$2,10 \times 10^{-14}$	8,67	8,95	8,62

L'utilisation d'un algorithme par effacement, tel qu'indiqué plus haut, permet d'améliorer les résultats obtenus, par exemple un BER de sortie inférieur à  $10^{-16}$  pour un BER d'entrée égal à  $4,00 \times 10^{-3}$ .

Les Figures I.37 et I.38 présentent les résultats de ce schéma de codage FEC amélioré en termes de BER en fonction du facteur Q et en termes de BER de sortie en fonction du BER d'entrée.

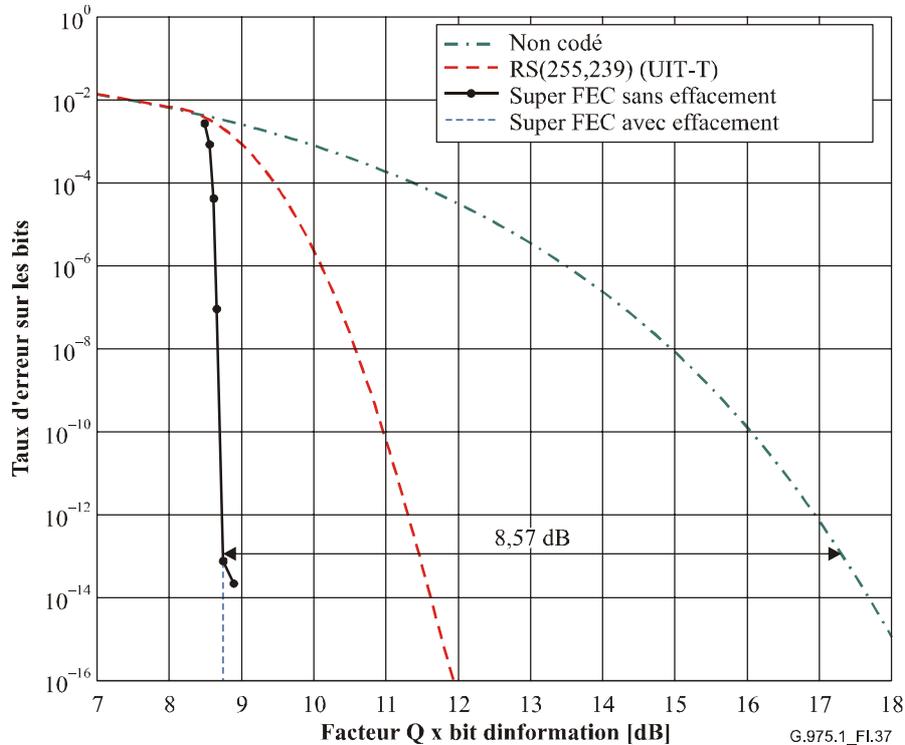


Figure I.37/G.975.1 – Gain de codage

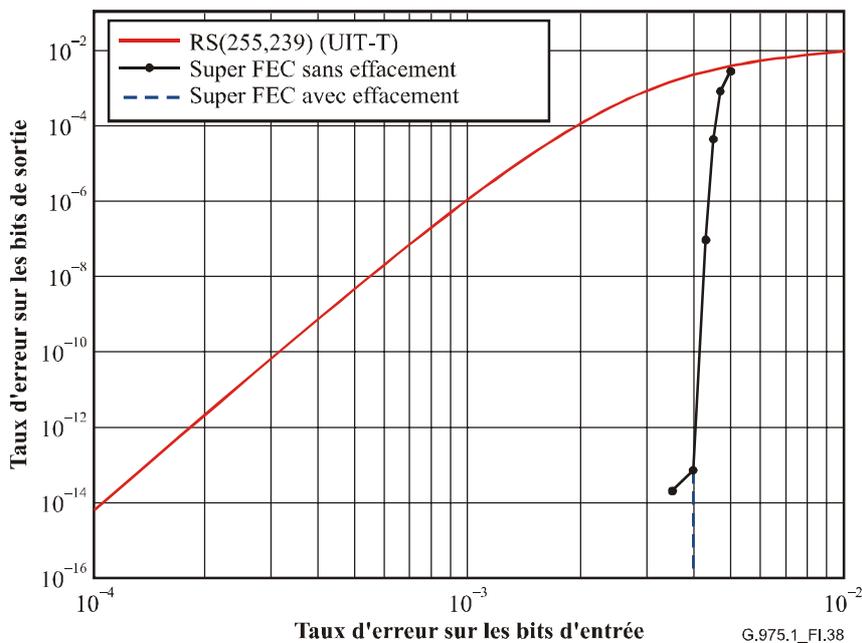


Figure I.38/G.975.1 – Résultat du schéma de codage FEC

#### **I.9.4 Taux de redondance**

Le taux de redondance du schéma de codage présenté est égal à 6,69%, soit une valeur identique à celle du schéma standard RS(255,239) décrit dans la Rec. UIT-T G.709/Y.1331.

#### **I.9.5 Latence**

La latence pour une charge utile de 10 Gbit/s est d'environ 50  $\mu$ s pour le codeur, et d'environ 100  $\mu$ s pour le décodeur.

#### **I.9.6 Propriétés**

Le schéma de codage FEC amélioré produit un débit binaire de signal codé exactement identique au débit binaire défini par la Rec. UIT-T G.709/Y.1331. De plus, en dépit de la longueur de bloc importante, l'algorithme de décodage peut être implémenté au moyen d'un très petit nombre d'éléments de circuit.



## SÉRIES DES RECOMMANDATIONS UIT-T

Série A	Organisation du travail de l'UIT-T
Série D	Principes généraux de tarification
Série E	Exploitation générale du réseau, service téléphonique, exploitation des services et facteurs humains
Série F	Services de télécommunication non téléphoniques
<b>Série G</b>	<b>Systèmes et supports de transmission, systèmes et réseaux numériques</b>
Série H	Systèmes audiovisuels et multimédias
Série I	Réseau numérique à intégration de services
Série J	Réseaux câblés et transmission des signaux radiophoniques, télévisuels et autres signaux multimédias
Série K	Protection contre les perturbations
Série L	Construction, installation et protection des câbles et autres éléments des installations extérieures
Série M	Gestion des télécommunications y compris le RGT et maintenance des réseaux
Série N	Maintenance: circuits internationaux de transmission radiophonique et télévisuelle
Série O	Spécifications des appareils de mesure
Série P	Qualité de transmission téléphonique, installations téléphoniques et réseaux locaux
Série Q	Commutation et signalisation
Série R	Transmission télégraphique
Série S	Equipements terminaux de télégraphie
Série T	Terminaux des services télématiques
Série U	Commutation télégraphique
Série V	Communications de données sur le réseau téléphonique
Série X	Réseaux de données, communication entre systèmes ouverts et sécurité
Série Y	Infrastructure mondiale de l'information, protocole Internet et réseaux de nouvelle génération
Série Z	Langages et aspects généraux logiciels des systèmes de télécommunication