



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

CCITT

G.706

COMITÉ CONSULTIVO
INTERNACIONAL
TELEGRÁFICO Y TELEFÓNICO

**ASPECTOS GENERALES DE LOS SISTEMAS
DE TRANSMISIÓN DIGITAL;**

EQUIPOS TERMINALES

**PROCEDIMIENTOS DE ALINEACIÓN
DE TRAMA Y DE VERIFICACIÓN POR
REDUNDANCIA CÍCLICA (VRC) RELATIVOS
A LAS ESTRUCTURAS DE TRAMA BÁSICA
DEFINIDAS EN LA RECOMENDACIÓN G.704**

Recomendación G.706



Ginebra, 1991

PREFACIO

El CCITT (Comité Consultivo Internacional Telegráfico y Telefónico) es un órgano permanente de la Unión Internacional de Telecomunicaciones (UIT). Este órgano estudia los aspectos técnicos, de explotación y tarifarios y publica Recomendaciones sobre los mismos, con miras a la normalización de las telecomunicaciones en el plano mundial.

La Asamblea Plenaria del CCITT, que se celebra cada cuatro años, establece los temas que han de estudiarse y aprueba las Recomendaciones preparadas por sus Comisiones de Estudio. La aprobación de Recomendaciones por los miembros del CCITT entre las Asambleas Plenarias de éste es el objeto del procedimiento establecido en la Resolución N.º 2 del CCITT (Melbourne, 1988).

La Recomendación G.706 ha sido preparada por la Comisión de Estudio XVIII y fue aprobada por el procedimiento de la Resolución N.º 2 el 5 de abril de 1991.

NOTAS DEL CCITT

- 1) En esta Recomendación, la expresión «Administración» se utiliza para designar, en forma abreviada, tanto una Administración de telecomunicaciones como una empresa privada de explotación de telecomunicaciones reconocida.
- 2) En el anexo D, figura la lista de abreviaturas utilizadas en la presente Recomendación.

© UIT 1991

Es propiedad. Ninguna parte de esta publicación puede reproducirse o utilizarse, de ninguna forma o por ningún medio, sea éste electrónico o mecánico, de fotocopia o de microfilm, sin previa autorización escrita por parte de la UIT.

Recomendación G.706

PROCEDIMIENTOS DE ALINEACIÓN DE TRAMA Y DE VERIFICACIÓN POR REDUNDANCIA CÍCLICA (VRC) RELATIVOS A LAS ESTRUCTURAS DE TRAMA BÁSICA DEFINIDAS EN LA RECOMENDACIÓN G.704

(Melbourne, 1988, revisada en 1990)

1 Generalidades

Esta Recomendación trata de los equipos que reciben señales con las estructuras de trama básica definidas en la Recomendación G.704. Define los procedimientos de alineación de trama, alineación de multitrama con verificación por redundancia cíclica (VRC) y de supervisión de errores en los bits VRC que deben emplear estos equipos. El anexo A contiene información de base sobre la utilización de los procedimientos VRC y sus limitaciones.

En el anexo B se facilitan detalles de un algoritmo VRC-4 modificado de alineación de multitrama que permite el interfuncionamiento automático entre equipos con capacidad VRC-4 y sin ella. En el anexo C se dan detalles sobre la actualización de la información VRC-4 cuando un equipo intermedio (es decir, situado entre verdaderos equipos de terminación de trayecto) tiene un acceso de escritura a un enlace de datos basado en mensaje (véase el § 2.3.3.5.4 de la Recomendación G.704).

2 Procedimientos de alineación de trama y VRC en el interfaz a 1544 kbit/s

2.1 Pérdida y recuperación de la alineación de trama

En el interfaz a 1544 kbit/s pueden utilizarse dos posibles estructuras de multitrama:

- a) la multitrama de 24 tramas, y
- b) la multitrama de 12 tramas.

2.1.1 Pérdida de la alineación de trama

La señal de alineación de trama deberá monitorizarse para determinar si se ha perdido la alineación de trama. La pérdida de la alineación de trama debería detectarse en un plazo de 12 ms. La pérdida de la alineación de trama tendría que confirmarse en un periodo de varias tramas a fin de evitar una iniciación innecesaria del procedimiento de recuperación de la alineación de trama debido a errores en la transmisión de los bits. El procedimiento de recuperación de la alineación de trama debería comenzar inmediatamente después de que se haya confirmado la pérdida de la alineación de trama.

Nota – En el caso de la multitrama de 12 tramas descrita en la Recomendación G.704, se considerará que se produce la pérdida de la alineación de multitrama cuando se produce la pérdida de la alineación de trama.

2.1.2 Recuperación de la alineación de trama

2.1.2.1 Tiempo de recuperación de la alineación de trama

El tiempo de recuperación de la alineación de trama se especifica como el tiempo medio máximo de restablecimiento de la alineación de trama en ausencia de errores. El tiempo medio máximo de restablecimiento de la alineación de trama es el tiempo medio necesario para el restablecimiento de la alineación de trama cuando hay que examinar el número máximo de posiciones de bit para localizar la señal de alineación de trama.

- a) *Multitrama de 24 tramas*

El tiempo medio máximo de restablecimiento de la alineación de trama no será superior a 15 ms.

Nota – En el diseño de algunos equipos existentes se previó un límite de 50 ms.

b) *Multitrama de 12 tramas*

El tiempo medio máximo de restablecimiento de la alineación de trama no debe ser superior a 50 ms.

Nota – Estos plazos no incluyen el periodo que se necesita en el procedimiento VRC, definido en el § 2.2.2, para verificar una falsa alineación de trama.

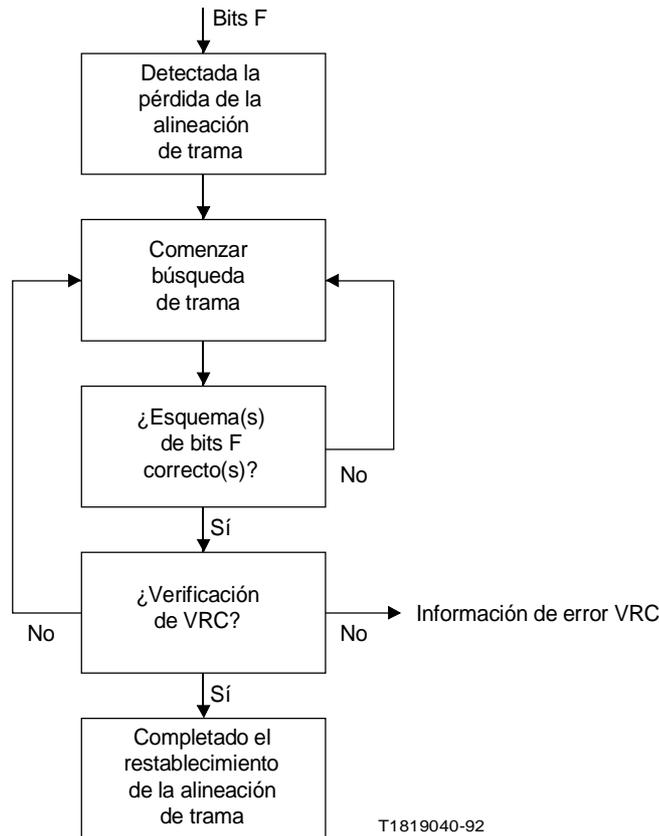
2.1.2.2 *Estrategia para la recuperación de la alineación de trama*

a) *Multitrama de 24 tramas*

La alineación de trama deberá recuperarse detectando una señal válida de alineación de trama. Cuando se utiliza el código VRC-6 para la supervisión de la característica de error (véase el § 2.2.3), la información VRC-6 puede acoplarse con el algoritmo de alineación de trama para asegurarse de que una señal válida de alineación de trama contenida en los 24 bits F es el único esquema con el cual puede engancharse permanentemente el circuito de restablecimiento de la alineación de trama. Este procedimiento se ilustra en la figura 1/G.706.

b) *Multitrama de 12 tramas*

La alineación de trama global debe recuperarse mediante la detección simultánea de la señal de alineación de trama y de la señal de alineación de multitrama, o de la detección de la alineación de trama seguida de la detección de la alineación de multitrama.



T1819040-92

FIGURA 1/G.706

Protección contra una falsa alineación de trama mediante la verificación por redundancia cíclica (VRC) (para 1544 y 6312 kbit/s)

2.2 *Supervisión de los bits VRC*

La supervisión de errores mediante VRC-6 presupone una calidad de señal suficiente para establecer la alineación de trama de tal manera que se pueda acceder correctamente a los bits VRC-6.

2.2.1 *Procedimiento de supervisión*

Se aplica el siguiente procedimiento de supervisión:

- i) Un bloque de mensaje de verificación por redundancia cíclica (BMV) recibido se somete al proceso de multiplicación/división definido en la Recomendación G.704, después de haberse remplazado sus bits F por UNOS binarios.
- ii) El resto resultante del proceso de división se almacena y se compara bit por bit con los bits VRC recibidos en el BMV siguiente.
- iii) Si dicho resto corresponde exactamente con los bits VRC contenidos en el BMV siguiente de la señal recibida, se supone que el BMV verificado está exento de errores.

2.2.2 *Monitorización para prevenir una falsa alineación de trama (véase el § A.1.1)*

En el caso de la multitrama de 24 tramas, cuando se utiliza el código VRC-6 para la monitorización de la característica de error, éste puede emplearse también para asegurar la insensibilidad a las señales espurias de alineación de trama. Debe seguirse el procedimiento descrito en el apartado a) del § 2.1.2.2.

2.2.3 *Monitorización de la característica de error mediante la VRC-6 (véase el § A.1.2)*

Para la monitorización de la característica de error han de poder obtenerse indicaciones relativas a cada bloque de mensaje VRC recibido con error. La información de error consiguiente debe utilizarse de modo que responda a las exigencias que se definan en las correspondientes Recomendaciones sobre el equipo.

3 **Procedimientos de alineación de trama y de VRC en el interfaz a 6312 kbit/s**

3.1 *Pérdida y recuperación de la alineación de trama*

En el nivel jerárquico de 6312 kbit/s, el término «alineación de trama» es sinónimo de «alineación de multitrama». Los cinco últimos bits de la trama de 789 bits se denominan bits F (véase la Recomendación G.704) y son compartidos en el tiempo como una señal de alineación de trama y para otros fines.

3.1.1 *Pérdida de la alineación de trama*

Debería monitorizarse la señal de alineación de trama para determinar si se ha perdido la alineación de trama. Se considera perdida la alineación de trama cuando se han recibido siete señales incorrectas consecutivas de alineación de trama.

El procedimiento de recuperación de la alineación de trama debe comenzar inmediatamente después de que se ha confirmado la pérdida de la alineación de trama.

3.1.2 *Recuperación de la alineación de trama*

3.1.2.1 *Tiempo de recuperación de la alineación de trama*

El tiempo de recuperación de la alineación se especifica como el tiempo medio máximo de restablecimiento de la alineación de trama en ausencia de errores. El tiempo medio máximo de restablecimiento de la alineación de trama es el tiempo medio necesario para el restablecimiento de la alineación de trama cuando hay que examinar el número máximo de posiciones de bit para localizar la señal de alineación de trama.

El tiempo medio máximo de restablecimiento de la alineación de trama debe ser inferior a 5 ms.

3.1.2.2 *Estrategia para la recuperación de la alineación de trama*

La alineación de trama debe recuperarse detectando tres señales correctas consecutivas de alineación de trama. Además de esto, el código VRC-5 (véase el § 3.2) debe acoplarse con el algoritmo de alineación de trama para asegurar que una señal válida de alineación de trama contenida en los bits F es el único esquema con el cual puede estar permanentemente enganchado el circuito de restablecimiento de la alineación de trama. Este procedimiento se ilustra en la figura 1/G.706.

3.2 *Monitorización de los bits VRC*

La monitorización de errores mediante la VRC-5 presupone una calidad de señal suficiente para establecer la alineación de trama de tal manera que se pueda acceder correctamente a los bits VRC-5.

3.2.1 *Procedimiento de monitorización*

- i) Una secuencia de 3156 bits recibidos en serie (es decir, 3151 bits de BMV y 5 bits VRC) se divide por el polinomio generador definido en la Recomendación G.704.
- ii) Si el resto resultante del proceso de división es 00000, se supone que el BMV verificado está exento de errores.

3.2.2 *Monitorización para prevenir una falsa alineación de trama* (véase el § A.1.1)

Cuando se utiliza el código VRC-5 para asegurar la insensibilidad a una señal falsa de alineación de trama, deberá seguirse el procedimiento indicado en el § 3.1.2.2.

Cuando se utiliza el código VRC-5 debe ser posible detectar una falsa alineación de trama en un periodo de 1 segundo, con una probabilidad mayor que 0,99. Al detectarse dicho evento deberá iniciarse una nueva búsqueda de la correcta alineación de trama.

Con una tasa de errores aleatorios de 10^{-4} , el tiempo medio entre dos eventos de iniciación incorrecta de la búsqueda de la alineación de trama como consecuencia de un número excesivo de bloques de mensaje VRC con error debe ser superior a un año.

Nota 1 – Con una tasa de errores aleatorios de aproximadamente 10^{-3} , es casi imposible distinguir si los errores VRC fueron causados por una falsa alineación de trama o por errores en la transmisión de los bits.

Nota 2 – Para obtener los límites de probabilidad antes indicados, se puede utilizar un método que consiste en contar los bloques de mensajes VRC-5 y considerar que la cuenta de 32 bloques VRC-5 erróneos consecutivos indica una falsa alineación de trama.

3.2.3 *Monitorización de la característica de error mediante VRC-5* (véase el § A.1.2)

Para la monitorización de la característica de error debe ser posible obtener indicaciones relativas a cada bloque de mensaje VRC recibido con error. La información de error consiguiente debe utilizarse de modo que responda a las exigencias que se definan en las correspondientes Recomendaciones sobre el equipo.

4 Procedimientos de alineación de trama y de VRC en el interfaz a 2048 kbit/s

4.1 Pérdida y recuperación de la alineación de trama

4.1.1 Pérdida de la alineación de trama

Se supondrá pérdida la alineación de trama cuando se hayan recibido tres señales incorrectas consecutivas de alineación de trama.

Nota 1 – Además de lo anterior, para limitar el efecto de las señales espurias de alineación de trama puede utilizarse el siguiente procedimiento:

Se supondrá pérdida la alineación de trama cuando el bit 2 del intervalo de tiempo 0 de las tramas que no contengan la señal de alineación de trama se haya recibido con un error en tres ocasiones consecutivas.

Nota 2 – Se podrá también suponer que se ha perdido la alineación de trama cuando no sea posible lograr la alineación de multitrama VRC de conformidad con lo indicado en el § 4.2, o cuando el número de bloques de mensajes VRC con error contados es superior al indicado en el § 4.3.2.

4.1.2 Estrategia para la recuperación de la alineación de trama

Se considerará recuperada la alineación de trama cuando se detecte la siguiente secuencia:

- por primera vez, la presencia de la señal correcta de alineación de trama;
- la ausencia de la señal de alineación de trama en la trama siguiente, detectada al verificar que el bit 2 de la trama básica es un 1;
- por segunda vez, la presencia de la señal de alineación de trama correcta en la trama siguiente.

Nota – Para evitar la posibilidad de un estado en el cual no pueda lograrse la alineación de trama debido a la presencia de una señal espuria de alineación de trama, puede utilizarse el siguiente procedimiento:

Cuando se detecta una señal válida de alineación de trama en la trama n , deberá efectuarse una verificación para asegurarse de que la trama $n + 1$ no contiene una señal de alineación de trama, pero que la trama $n + 2$ sí la contiene. Si no se cumple una o ninguna de estas dos condiciones, se iniciará una nueva búsqueda a partir de la trama $n + 2$.

4.2 Alineación de multitrama VRC mediante el uso de la información del bit 1 de la trama básica

Si se da una condición de alineación de trama supuesta, debe considerarse que se ha producido la alineación de multitrama VRC cuando al menos dos señales válidas de alineación de multitrama VRC puedan localizarse en un plazo de 8 ms, siendo el tiempo que separa dos señales de alineación de multitrama VRC, 2 ms o un múltiplo de 2 ms. La búsqueda de la señal de alineación de multitrama VRC sólo debe hacerse en tramas básicas que no contengan la señal de alineación de trama.

Si no puede obtenerse la alineación de multitrama en un plazo de 8 ms, debe suponerse que la alineación de trama es debida a una señal espuria de alineación de trama y se iniciará una nueva búsqueda de la alineación de trama.

Nota 1 – La nueva búsqueda de la alineación de trama debe comenzar en el punto que sigue justamente a la localización de la señal de alineación de trama que se ha supuesto espuria. Con esto se evitará, por lo general, una nueva alineación sobre la señal de alineación de trama espuria.

Nota 2 – Una vez obtenida la alineación de trama, dejarán de ejecutarse las acciones consiguientes a la pérdida de alineación de trama. Sin embargo, si no puede obtenerse la alineación de multitrama VRC dentro de un tiempo límite de 100 a 500 ms (por ejemplo, porque en el lado emisor no está previsto el procedimiento VRC), se deben ejecutar acciones consiguientes equivalentes a las especificadas para la pérdida de la alineación de trama.

Nota 3 – En el diseño del equipo capaz de aplicar el procedimiento VRC-4 debe preverse la posibilidad de interfuncionamiento con equipos que no permitan aplicar la VRC, es decir, la aptitud para seguir prestando servicio (tráfico) entre equipos con y sin la capacidad VRC-4. Esto puede hacerse de forma manual (por ejemplo, mediante puentes) o automática.

- En el caso manual, el equipo que incorpore el procedimiento VRC-4 ha de ser capaz de poner el bit 1 de la trama al estado UNO binario (véase la nota 1 del cuadro 4a/G.704).
- En el caso automático, esto puede lograrse con el equipo capaz de aplicar el procedimiento VRC-4, ya sea:
 - como función de «capa superior» bajo el control de un medio de gestión de red (por ejemplo, una red de gestión de telecomunicaciones, RTG) cuyos detalles quedan para ulterior estudio,
 - como función de «capa inferior» utilizando un algoritmo VRC-4 modificado de alineación de multitrama, descrito en el anexo B.

4.3 *Monitorización de los bits VRC*

Cuando se ha obtenido la alineación de trama y la alineación de multitrama VRC, deberá comenzar la monitorización de los bits VRC de cada submultitrama.

4.3.1 *Procedimiento de monitorización*

- i) Una submultitrama VRC recibida se somete al proceso de multiplicación/división definido en la Recomendación G.704, después de que sus bits VRC han sido extraídos y reemplazados por ceros.
- ii) El resto resultante del proceso de división se almacena y se compara seguidamente, bit por bit, con los bits VRC recibidos en la submultitrama (SMT) siguiente.
- iii) Si el resto corresponde exactamente a los bits VRC contenidos en la SMT siguiente de la señal recibida, se considera que la submultitrama verificada está exenta de errores.

4.3.2 *Monitorización para detectar una falsa alineación de trama* (véase el § A.1.1)

Debería poderse detectar una condición de falsa alineación de trama en un plazo de un segundo y con una probabilidad superior a 0,99. Cuando se detecta esta condición, debe iniciarse una nueva búsqueda de la alineación de trama.

Con una tasa de errores aleatorios de 10^{-3} , la probabilidad de que se inicie indebidamente una búsqueda de la alineación de trama como consecuencia de un número excesivo de bloques VRC con error deberá ser inferior a 10^{-4} durante un segundo.

La figura 2/G.706 ilustra el procedimiento que ha de seguirse para pasar de la búsqueda de la señal de alineación de trama a la supervisión de errores mediante la VRC.

Nota 1 – La nueva búsqueda de la alineación de trama debería comenzar en el punto que sigue justamente a la localización de la señal de alineación de trama que se supone espuria. Con esto se evitará, por lo general, una nueva alineación sobre la señal espuria de alineación de trama.

Nota 2 – Para alcanzar los límites de probabilidad indicados anteriormente, un umbral preferido es el de 915 bloques VRC erróneos de 1000, quedando entendido que un cómputo de bloques VRC erróneos ≥ 915 indica una falsa alineación de trama.

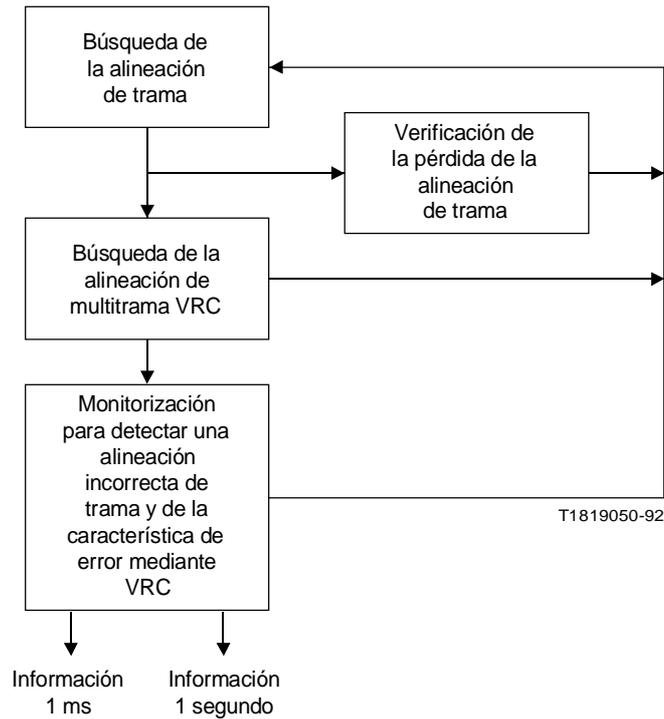


FIGURA 2/G.706

Procedimiento que ha de seguirse para pasar de la búsqueda de la señal de alineación de trama a la monitorización de errores mediante la verificación por redundancia cíclica (VRC) (para 2048 kbit/s)

4.3.3 Monitorización de la característica de error mediante VRC-4 (véase el § A.1.2)

La información sobre el estado del proceso VRC se debe facilitar en dos formas:

a) *Información directa*

Cada vez que se detecte un bloque VRC con errores se deberá indicar esta condición.

b) *Información integrada*

El número de bloques VRC con errores deberá facilitarse en periodos consecutivos de un segundo. Este número está comprendido en la gama de 0 a 1000 (en decimal).

5 Procedimientos de alineación de trama y VRC en el interfaz a 8448 kbit/s

Para ulterior estudio.

(a la Recomendación G.706)

Información de base sobre el uso de los procedimientos de verificación por redundancia cíclica (VRC)

A.1 Razones para la utilización de la VRC

Los procedimientos de VRC pueden utilizarse para la protección contra una falsa alineación de trama y para la monitorización de los errores en los bits.

A.1.1 Protección contra una falsa alineación de trama

Los procedimientos de VRC se utilizan para la protección contra una falsa alineación de trama de los receptores de señales múltiplex. Por ejemplo, puede producirse una falsa alineación de trama en una RDSI cuando el terminal no vocal de un usuario imita la señal de alineación de trama. Sin embargo, como un usuario no controla la composición de una trama múltiplex, la inserción de bits VRC, y la evaluación de estos bits en el receptor, permite la detección de la falsa alineación de trama.

A.1.2 Monitorización de los errores en los bits

El procedimiento VRC se utiliza también para una monitorización más eficaz de la tasa de error en los bits cuando se trata de valores bajos (por ejemplo, 10^{-6}). La monitorización VRC (al igual que la de la señal de alineación de trama) tiene en cuenta la totalidad del enlace digital entre la fuente y el sumidero de una señal múltiplex, a diferencia de la monitorización de las violaciones de código (es decir, la monitorización de violaciones de los códigos AMI, HDB3 o B8ZS), en la que sólo se tiene en cuenta la sección de línea digital más próxima al receptor, o, en muchos casos, solamente una línea de interfaz [por ejemplo, entre un multiplexor digital y un terminal de central (TC)].

A.2 Limitaciones de los procedimientos VRC

A.2.1 Probabilidades de errores de bit no detectados

Puede estimarse [1] que para la VRC- n y largos bloques de mensajes/verificación, la probabilidad de que un error no sea detectado se aproxima a 2^{-n} aun en el caso de una elevada tasa de error en los bits; para una tasa de error en los bits baja, la probabilidad es menor. La inexactitud resultante (como máximo, con la VRC-4, aproximadamente un 6% de bloques con errores no detectados, de manera similar, con la VRC-6, un 1,6%) es tolerable para esta finalidad.

A.2.2 Limitaciones de aplicación a la medida de la tasa de error en los bits

El procedimiento de monitorización de la VRC no es apropiado para medir valores de la tasa de error en los bits tan elevados que, en general, cada bloque de mensaje/verificación contiene al menos 1 bit erróneo (es decir, para una TEB de 10^{-3} , o peor).

ANEXO B

(a la Recomendación G.706)

Algoritmo VRC-4 modificado de alineación de multitrama para permitir el interfuncionamiento automático entre equipos con la capacidad VRC-4 y sin ella

B.1 *Generalidades*

Se contemplan situaciones en que puede resultar necesario permitir el interfuncionamiento automático entre equipos con la capacidad VRC-4 y sin ella, por ejemplo en una red a 2048 kbit/s, conmutada/gestionada. El interfuncionamiento automático puede lograrse con dos métodos:

- *Método 1:* Utilizando una «capa inferior» basada en un algoritmo VRC-4 modificado de alineación de multitrama.
- *Método 2:* Utilizando una «capa superior» basada en un control a distancia mediante una facilidad de gestión de red.

En el presente anexo se detalla una aplicación con el método 1. El método 2 queda para ulterior estudio.

B.2 *Algoritmo VRC-4 modificado de alineación de multitrama*

B.2.1 *Examen del algoritmo*

El algoritmo VRC-4 modificado de alineación de multitrama se basa en la estrategia siguiente:

Si una señal de alineación de trama básica válida está permanentemente presente, pero no se logra la alineación de multitrama VRC-4 al final del periodo total de búsqueda de alineación de multitrama VRC-4, se supone que el extremo distante es un equipo sin VRC-4.

B.2.2 *Acciones consiguientes para el interfuncionamiento entre equipos con VRC-4 y sin VCR-4*

En estas circunstancias, se aplican a los equipos con la capacidad VRC-4 las siguientes acciones consiguientes:

- a) dar una indicación (no necesariamente una alarma) de que «no hay señal de alineación de multitrama VRC-4 entrante»;
- b) inhibir el procesamiento VRC-4 en la señal a 2048 kbit/s en recepción;
- c) seguir transmitiendo datos VRC-4 al extremo distante con ambos bits «E» (véase el cuadro 4b/G.704) puestos a CERO.

Nota – Esto permite, como se explica en el § B.2.5, la identificación del fallo de la generación/detección de alineación de multitrama VRC-4, pero con una alineación correcta de la trama básica, en casos de interfuncionamiento entre equipos que tienen algoritmos VRC-4 modificados de alineación de multitrama.

El algoritmo no se ve afectado por la alineación espuria de trama básica y no se plantean problemas de interfuncionamiento con equipos que permiten la selección manual de la capacidad VRC-4.

B.2.3 *Detalles del algoritmo de alineación*

La figura B-1/G.706 representa un flujograma esquemático del algoritmo de alineación.

Un periodo de búsqueda de alineación de multitrama VRC-4 de 400 ms garantiza que la alineación básica y de multitrama VRC-4 correcta es posible en hasta unas 40 simulaciones espurias de la secuencia de alineación de trama básica presente entre dos localizaciones reales de señal de alineación de trama básica.

El temporizador de 400 ms se dispara en la recuperación inicial (es decir, primaria) de la alineación de trama básica. Una vez disparado el temporizador de 400 ms, no se reinicia hasta que se producen los criterios para la «pérdida de alineación de trama básica (primaria)» (véase el § 4.1.1): el proceso de comprobación de «pérdida de alineación de trama básica (primaria)» se ejecuta continuamente sin tener en cuenta el estado del proceso de alineación de multitrama VRC-4 subyacente.

La nueva búsqueda de alineación de trama básica, iniciada si la alineación de multitrama VRC-4 no puede lograrse en 8 ms (como se estipula en el § 4.2), no debe reiniciar el temporizador de 400 ms ni invocar acciones consiguientes asociadas con pérdidas de alineación de trama básica primaria. Así pues, en este punto concreto del flujograma de alineación, todas las búsquedas de alineación de trama básica se realizan en paralelo con el proceso de comprobación de pérdida de trama básica primaria, y por tanto independientemente del mismo (véase la figura B-1/G.706). Todas las búsquedas subsiguientes de alineación de multitrama VRC-4 están asociadas con cada secuencia de alineación de trama básica hallada durante la búsqueda paralela.

Para que el algoritmo no introduzca una perturbación (de una duración máxima de 400 ms) del tráfico durante la búsqueda de la alineación de multitrama VRC-4, el tráfico se cursará siguiendo la secuencia de alineación de trama básica primaria determinada inicialmente, y se sincronizará con la misma.

Si se encuentra una señal de alineación de multitrama VRC-4 antes de que expire el temporizador de 400 ms, la secuencia de alineación de trama básica asociada a la señal de alineación de multitrama VRC-4 deberá ser la elegida, es decir, que en caso necesario, deberá modificarse según proceda la posición de la alineación de trama básica primaria. El procesamiento VRC-4 deberá determinar entonces si se trata realmente de la posición de alineación válida (de acuerdo con el § 4.3.2). No obstante, si no puede encontrarse una secuencia de alineación de multitrama VRC-4 antes de que haya expirado el temporizador de 400 ms, se concluirá que existe una condición de interfuncionamiento entre equipos con la capacidad VRC-4 y sin ella. En este caso, el tráfico se mantendrá en la posición de señal de alineación de trama básica primaria determinada inicialmente y se invocarán las acciones consiguientes indicadas en el § B.2.2.

Si en cualquier momento se configura el trayecto de 2048 kbit/s, se supone que el (nuevo) par de equipos de terminación de trayecto necesitará restablecer el proceso completo de alineación de trama, es decir que se reinicia el algoritmo.

B.2.4 *Asignación de valores a los bits «E» durante la alineación y después de la misma*

Los equipos VRC-4 que utilizan el algoritmo VRC-4 modificado de alineación de multitrama deberán poner siempre a CERO los datos VRC-4 de retorno de los bits E hasta que se haya establecido la relación de interfuncionamiento de los equipos al final de la secuencia completa de alineación de trama. En ese momento se ejecutarán las siguientes acciones consiguientes:

- si se establece el interfuncionamiento de equipos con VRC-4, comenzará el procesamiento VRC-4 normal de datos de bloques VRC-4 con errores, es decir se asignarán valores a los bits E de acuerdo con el § 2.3.3.4 de la Recomendación G.704;
- si se establece el interfuncionamiento de equipos con VRC-4 y sin VRC-4, los bits E permanecerán puestos a CERO (sin consecuencias para los equipos sin VRC-4).

B.2.5 *Detección de fallo del generador/detector de multitrama VRC-4 (entramación básica correcta) en los equipos que utilizan el algoritmo de multitrama VRC-4 modificado*

La recepción de un estado permanente de bits E puestas a CERO significa que el equipo distante es incapaz de lograr la alineación de multitrama VRC-4.

Nota – Si el bit A (Indicación de alarma distante – (IAD)) no está puesto a uno en el intervalo de tiempo (IT0), se supone que el extremo distante ha logrado la alineación de trama básica.

La incapacidad de obtener la alineación de multitrama VRC-4 en el extremo distante no debe ocasionar una alarma en ese extremo, sino sólo una indicación de la condición. Incumbirá entonces al personal de mantenimiento en los extremos local y distante determinar si ha fallado el generador o detector de alineación de multitrama VRC-4.

El periodo de integración y el valor de umbral para determinar este modo de fallo debe ser un cómputo de más de 990 bloques VRC-4 con errores, según lo determinan los datos del bit E, en cada segundo (es decir entre 1000 bloques de comprobación VRC-4 durante cinco segundos consecutivos. Estos valores se han elegido porque son prácticamente inconcebibles como resultado de una distribución de errores que haya causado algún otro efecto, como por ejemplo, la pérdida local de alineación de trama, o la pérdida distante de alineación de trama indicada por la recepción del bit A (IAD) fijado en el IT0.

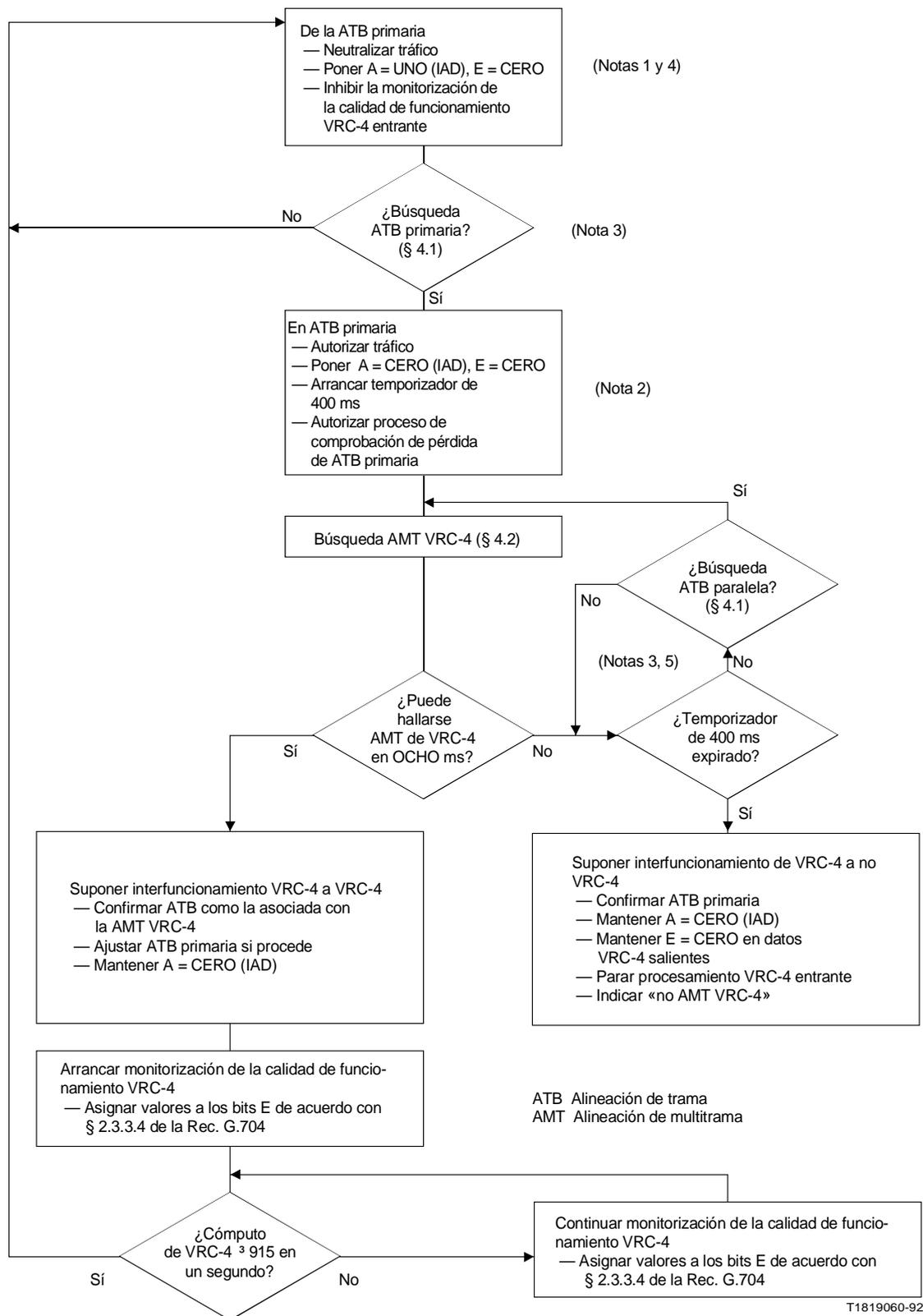


FIGURA B-1/G.706

Esquema de bloques del algoritmo de alineación de trama para el interfuncionamiento automático de equipos con VRC-4 y equipos sin VRC-4

Nota 1 – Hasta que se haya establecido la alineación de trama básica primaria el bit A (IAD) deberá ponerse a UNO y los bits E a CERO. Cuando se establece la alineación de trama básica primaria, tanto los bits A (IAD) como los E se pondrán a CERO.

Si la alineación de multitrama VRC-4 se obtiene a continuación dentro de una ventana de búsqueda de 400 ms, la alineación de trama básica primaria se confirmará a la asociada con la posición de alineación de multitrama VRC-4. La supervisión del funcionamiento de VRC-4 empezará entonces (véase el § 4.3.1) con los bits E puestos a valores de acuerdo con el § 2.3.3.4 de la Recomendación G.704. Si en cambio, la alineación de multitrama VRC-4 no puede lograrse dentro de la ventana de búsqueda de 400 ms, sino que está constantemente presente un estado de alineación de trama básica primaria, el procesamiento VRC-4 entrante deberá permanecer inhibido y los bits A (IAD) y E deberán permanecer puestos a CERO. La información facilitada por los bits A y E (en conjunto) brinda la posibilidad de identificar fallos del generador/receptor de señales de alineación de multitrama VRC-4 cuando la alineación de trama básica primaria esté constantemente presente (véase el § B.2.5).

Nota 2 – Una vez establecida la alineación de trama básica primaria inicial se habilita un proceso de comprobación de pérdida de alineación de trama básica primaria. Este proceso pasa continuamente como proceso de fondo, es decir que una pérdida de alineación de trama básica primaria en cualquier momento debe reiniciar el algoritmo.

En la práctica, el temporizador de 400 ms puede constituir un contador calibrado de manera adecuada.

Nota 3 – Como ya se ha observado en la nota 1 de los § 4.2 y 4.3.2, durante cualquier búsqueda de alineación de trama básica paralela, ésta debe comenzar en el punto que sigue justamente a la posición de la alineación previa. Si se toma junto con el temporizador de 400 ms, la estrategia puede evitar unas 40 secuencias espurias independientes de alineación de trama entre las secuencias válidas de alineación de trama.

Nota 4 – Se supone que cualquier nueva configuración del trayecto a 2048 kbit/s (por ejemplo, debida a una petición de gestión en una red a 2048 kbit/s conmutada) tiene como resultado una pérdida de la alineación de trama básica primaria entre el (nuevo) par de equipos de terminación de trayecto, es decir, el algoritmo se reinicia completamente.

Nota 5 – No se considera necesario asociar una temporización a cada búsqueda de alineación de trama básica paralela, ya que:

- se pretende que el temporizador de 400 ms se referencie continuamente durante la búsqueda de alineación de trama básica paralela, de modo que, si ese temporizador expira la búsqueda de alineación de trama básica paralela termina y se pasa al estado de «interfuncionamiento de equipos con VRC-4 y sin VRC-4»;
- en la práctica, incluso si no están presentes simulaciones espurias de la alineación de trama básica, es probable que se entre/salga de un estado de búsqueda de alineación de trama básica paralela varias veces durante la ventana de búsqueda de alineación de multitrama VRC-4 de 400 ms debido a que la búsqueda paralela descubre reiteradamente la posición de alineación de trama básica primaria.

ANEXO C

(a la Recomendación G.706)

Procedimiento de actualización de suma de verificación VRC-4 en los puntos de trayecto intermedios en una aplicación de enlace de datos basada en mensaje

C.1 *Generalidades*

El bit S_{a4} puede utilizarse como enlace de datos basado en mensajes en trayectos a 2048 kbit/s (véase el inciso ii) de la nota 4 al cuadro 4a/G.704). Se prevén situaciones en que el acceso a ese enlace de datos puede necesitarse en puntos del trayecto situados entre los auténticos puntos de terminación de trayecto, por ejemplo, informe de datos de característica de error procedentes de emplazamientos intermedios a lo largo del trayecto. En esas situaciones es importante no invalidar o degradar la función lógica de terminación de trayecto de la VRC-4. Por consiguiente, los cambios de los bits S_{a4} de una submultitrama (SMT) en un punto intermedio de un trayecto no implican un nuevo cálculo de los bits VRC-4 en toda la SMT, sino más bien su actualización como función de recodificación lineal en relación con cambios binarios determinísticos específicos de los bits S_{a4} solamente.

En el presente anexo se da:

- una prueba matemática de la validez del procedimiento de actualización, y
- un ejemplo de la base conceptual de realización incluido el principio en virtud del cual puede ampliarse, si procede, el procedimiento de actualización, para incluir todos los bits de reserva, es decir de S_{a4} a S_{a8} .

C.2 Prueba matemática de la validez del procedimiento de actualización

El patrón completo de bits de una SMT puede representarse como un polinomio de datos, $D(x)$, de grado 2047 en x por

$$D(x) = a_{2047}x^{2047} + a_{2046}x^{2046} + \dots + a_2x^2 + a_1x^1 + a_0 \quad (C-1)$$

donde:

$a_i = 0$ ó 1 , y el grado de x representa la posición de bit dentro de la SMT.

La suma de verificación de VRC-4 para $D(x)$ es el resto, $R(x)$, resultante de la división (en módulo 2) de $x^4D(x)$ por el polinomio generador de VRC-4, $G(x)$, es decir:

$$x^4D(x)/G(x) = Q(x) + R(x)/G(x) \quad (C-2)$$

donde:

$$G(x) = x^4 + x + 1;$$

$Q(x)$ = polinomio de cociente, con el mismo grado que $D(x)$.

La representación polinómica de las posiciones del bit S_{a4} de la SMT es una forma específica de la ecuación (C-1), a saber,

$$S_{a4}(x) = a_{1788}x^{1788} + a_{1276}x^{1276} + a_{764}x^{764} + a_{252}x^{252} \quad (C-3)$$

Si consideramos que el polinomio $S_{a4 \text{ diff}}(x)$ representa los cambios deseados de las posiciones del bit S_{a4} de la SMT, entonces:

$$D_{new}(x) = D(x) + S_{a4 \text{ diff}}(x) \quad (C-4)$$

Es decir, $S_{a4 \text{ diff}}(x)$ tiene «UNOS» solamente en las posiciones en que el «nuevo» bit S_{a4} no corresponde con el ya presente en $D(x)$.

Aplicando la forma general de la ecuación (C-2) a la ecuación (C-4) se obtiene:

$$x^4D_{new}(x)/G(x) = Q_{new}(x) + R_{new}(x)/G(x)$$

$$\Rightarrow x^4\{D(x) + S_{a4 \text{ diff}}(x)\}/G(x) = Q_{new}(x) + R_{new}(x)/G(x)$$

$$\Rightarrow x^4D(x)/G(x) + x^4S_{a4 \text{ diff}}(x)/G(x) = Q_{new}(x) + R_{new}(x)/G(x)$$

$$\Rightarrow Q(x) + R(x)/G(x) + Q_{diff}(x) + R_{diff}(x)/G(x) = Q_{new}(x) + R_{new}(x)/G(x) \quad (C-5)$$

La reordenación y recopilación de términos similares en la ecuación (C-5) da:

$$\{Q(x) + Q_{diff}\} + \{R(x) + R_{diff}(x)\}/G(x) = Q_{new}(x) + R_{new}(x)/G(x) \quad (C-6)$$

La ecuación (C-6) muestra que la suma de verificación VRC-4 requerida (es decir actualizada), $R_{new}(x)$, es simplemente la suma en módulo 2 de la suma de verificación VRC-4 original, $R(x)$, y el resto, $R_{diff}(x)$, procede de la aplicación del proceso de codificación VRC-4 a la representación polinómica de los cambios de bits S_{a4} deseados en la SMT. Es decir,

$$R_{new}(x) = R(x) + R_{diff}(x) \quad (C-7)$$

Obsérvese que este proceso se basa únicamente en cambios determinísticos de la estructura binaria de $D(x)$, esto es la SMT. Los errores presentes en $D(x)$ o en su suma de verificación VRC-4 asociada, $R(x)$, son desconocidos para el proceso de actualización. Así pues, se conserva la propiedad real de detección de errores de trayecto de extremo a extremo del procedimiento VRC-4.

Obviamente, el proceso de actualización puede aplicarse a cualquier cambio determinístico de la estructura binaria de $D(x)$, como por ejemplo, los otros bits S_a .

C.3 Ejemplo de base conceptual para aplicar el proceso de actualización

La figura C-1/G.706 representa una base conceptual de aplicación del proceso de actualización VRC-4, que tiene en cuenta cualquier combinación de los bits S_a . El ejemplo no pretende limitar los métodos reales de aplicación práctica.

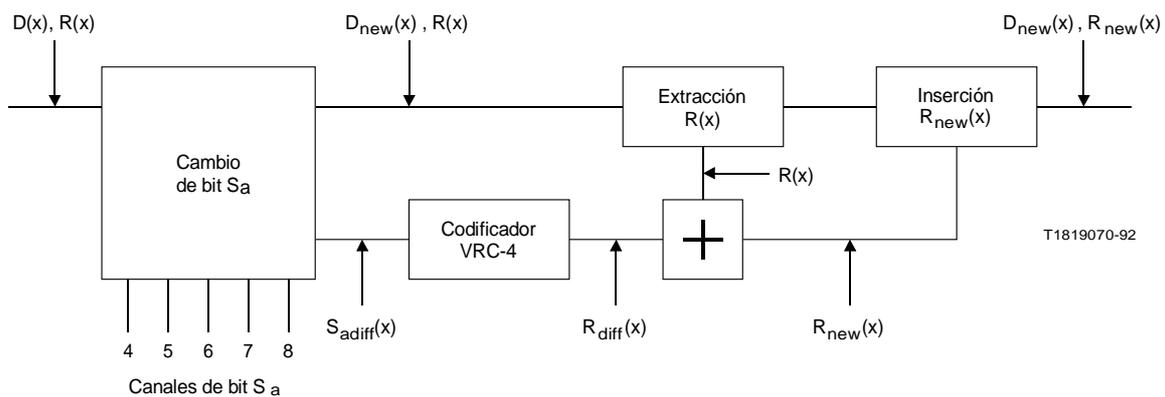


FIGURA C-1/G.706

Ejemplo de aplicación conceptual del proceso de actualización VRC-4

ANEXO D
(a la Recomendación G.706)

**Lista por orden alfabético de las abreviaturas contenidas
en esta Recomendación**

Inglés	Español	
BFA	ATB	Alineación de trama básica
CMB	BMV	Bloque de mensaje de verificación por redundancia cíclica
CRC	VRC	Verificación por redundancia cíclica
ET	TC	Terminal de central
MFA	AMT	Alineación de multitrama
RAI	IAD	Indicación de alarma distante
SMF	SMT	Submultitrama

Bibliografía

- [1] LEUNG (C.) y WITZKE (K. A.): A comparison of some error detecting CRC code standards, *IEEE Trans.*, Vol. COM-33, páginas 996-998, 1985.