



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

UIT-T

G.192

SECTOR DE NORMALIZACIÓN
DE LAS TELECOMUNICACIONES
DE LA UIT

(03/96)

**CARACTERÍSTICAS GENERALES DE LAS
CONEXIONES Y CIRCUITOS TELEFÓNICOS
INTERNACIONALES**

**INTERFAZ PARALELO DIGITAL COMÚN
PARA ACTIVIDADES DE NORMALIZACIÓN
DE SEÑALES VOCALES**

Recomendación UIT-T G.192

(Anteriormente «Recomendación del CCITT»)

PREFACIO

El UIT-T (Sector de Normalización de las Telecomunicaciones) es un órgano permanente de la Unión Internacional de Telecomunicaciones (UIT). Este órgano estudia los aspectos técnicos, de explotación y tarifarios y publica Recomendaciones sobre los mismos, con miras a la normalización de las telecomunicaciones en el plano mundial.

La Conferencia Mundial de Normalización de las Telecomunicaciones (CMNT), que se celebra cada cuatro años, establece los temas que han de estudiar las Comisiones de Estudio del UIT-T, que a su vez producen Recomendaciones sobre dichos temas.

La aprobación de Recomendaciones por los Miembros del UIT-T es el objeto del procedimiento establecido en la Resolución N.º 1 de la CMNT (Helsinki, 1 al 12 de marzo de 1993).

La Recomendación UIT-T G.192 ha sido preparada por la Comisión de Estudio 15 (1993-1996) del UIT-T y fue aprobada por el procedimiento de la Resolución N.º 1 de la CMNT el 19 de marzo de 1996.

NOTA

En esta Recomendación, la expresión «Administración» se utiliza para designar, en forma abreviada, tanto una administración de telecomunicaciones como una empresa de explotación reconocida de telecomunicaciones.

© UIT 1996

Es propiedad. Ninguna parte de esta publicación puede reproducirse o utilizarse, de ninguna forma o por ningún medio, sea éste electrónico o mecánico, de fotocopia o de microfilm, sin previa autorización escrita por parte de la UIT.

ÍNDICE

	<i>Página</i>
1 Alcance	1
2 Introducción.....	1
3 Definiciones.....	1
4 Descripción general de la interfaz paralelo digital	2
4.1 Descripción lógica.....	3
4.2 Reloj maestro y reiniciación maestra	3
4.3 Temporización, intervalos de tiempo y capacidad	4
4.4 Procedimiento de reiniciación.....	5
5 Implementación del soporte físico.....	5
5.1 Tipo de conectores, asignación de patillas y cableado	5
5.2 Excitadores de línea y terminación del receptor	5
5.3 Multiplexor distribuido	5
5.4 Retardos de señal dentro de los dispositivos	9
Anexo A – Implementación de la DPI utilizando circuitos integrados lógicos TTL	9
Anexo B – Formatos de datos	12
B.1 Señales de tiempo.....	13
B.2 Tren de bits codificado.....	14
Anexo C – Reglas para la implementación de códecs	15
Anexo D – Ejemplo de configuraciones de prueba para laboratorios centrales (de acogida).....	15
Apéndice I – Interfaz paralela de prueba de códecs vocales a 8 kbit/s del UIT-T	17
I.1 Especialización de la interfaz.....	17
I.2 Formatos de datos	18
Referencias.....	18

RESUMEN

Esta Recomendación define la especificación física, eléctrica y lógica de una interfaz paralelo digital que ha de utilizarse para interconectar los diferentes dispositivos necesarios en las actividades de normalización de los códecs vocales patrocinados por el UIT-T.

En esta Recomendación se incluyen los formatos de datos a la entrada y a la salida del codificador, decodificador y dispositivos de manipulación de bits.

Por último, se incluyen reglas para la implementación de códecs que garanticen el correcto interfuncionamiento de dispositivos interconectados utilizando esa interfaz paralelo digital.

INTERFAZ PARALELO DIGITAL COMÚN PARA ACTIVIDADES DE NORMALIZACIÓN DE SEÑALES VOCALES

(Ginebra, 1996)

1 Alcance

Esta Recomendación describe una interfaz de entrada y salida paralelo a 16 bits para la interconexión de dispositivos de prueba y de referencia en actividades de normalización del UIT-T.

2 Introducción

El historial de la especificación de la interfaz paralelo digital (DPI, *digital parallel interface*) se remonta a las pruebas con códecs a 64 kbit/s de señales vocales de banda ancha del CCITT que condujeron a la actual Recomendación G.722, en la que se utilizaba una interfaz paralela similar. Esa interfaz se simplificó para que encajase en un conector de 25 patillas destinado a las sesiones de laboratorios de acogida de las pruebas subjetivas del códec a velocidad normal del sistema GSM. Esta interfaz simplificada ha sido también utilizada en la normalización del sistema GSM de segunda generación y en la normalización del codificador vocal a 8 kbit/s del UIT-T. La interfaz es sencilla de construir y fácil de utilizar, y, comparada con una interfaz serie, permite un acceso más sencillo al flujo de datos para la supervisión y medición de parámetros del códec, por ejemplo, retardo y temporización.

Esta Recomendación está estructurada como sigue: se incluye primero una visión general de los principios de la interfaz, con una descripción funcional de las señales y líneas de datos. Se consideran a continuación los aspectos del equipo físico. En los anexos se incluyen las especializaciones de la interfaz. Estas especializaciones involucran:

- la implementación de la DPI utilizando circuitos integrados de la familia TTL;
- descripción de los formatos de datos basada en el tipo de dispositivo en el que se emplea la DPI;
- reglas de implementación del dispositivo cuando se trata de un codificador vocal; y
- ejemplos de configuración de la DPI.

A modo de información se incluye como apéndice una descripción de la especificación utilizada para los trabajos del laboratorio de acogida del codificador a 8 kbit/s del UIT-T.

3 Definiciones

A los efectos de la presente Recomendación, son aplicables las definiciones y abreviaturas siguientes:

3.1 códec: Par codificador/decodificador.

3.2 señal de tren de bits: Una de las posibles representaciones de señal en la DPI, que representa en general la señal a la salida de un codificador, o a la entrada de un decodificador. Puede ser también la representación de un canal de comunicación.

3.3 CuT: Códec en prueba (*codec under test*).

3.4 DPD: Dispositivo de procesamiento digital (*digital processing device*).

3.5 DPI: Interfaz paralela digital (*digital parallel interface*) definida en esta Recomendación.

3.6 intervalo de tiempo de la interfaz (INTI, *interface timeslot*): Intervalo de tiempo de frente de subida a frente de subida de la señal de reloj. Un INTI marcado designa un INTI que se produce junto con la señal de marca activa (alta) y un INTI no marcado cuando la marca es baja.

3.7 LSb: Bit menos significativo (*least significant bit*).

3.8 señal de marca (Mark, *mark signal*): Señal de un bit que indica si los datos en el bus de datos son válidos o no.

3.9 MSb: Bit más significativo (*most significant bit*).

3.10 operación normal: Modo de operación de la interfaz utilizado para procesamiento ordinario por los dispositivos. Alternativa a la operación reiniciación.

3.11 operación reiniciación: Procedimiento iniciado cuando la señal reiniciación está activa durante 16 INTI, y que dura 1616 INTI en total. Utilizada para sincronizar todos los dispositivos de la cadena a su estado de reiniciación inicial. Tras el final de la operación reiniciación, la DPI y los dispositivos interconectados reanudan la operación normal.

NOTA – 1616 INTI representan 1 ms (16 INTI) más 100 ms (1600 INTI) para un reloj de 16 kHz.

3.12 reiniciación (Reset): Señal activa-baja de un bit, utilizada para iniciar la operación reiniciación.

3.13 Rx_Clk: Señal de reloj hacia atrás. Utilizada para sincronizar dispositivos cuando el reloj maestro se halla en uno de los dispositivos intermedios de la cadena.

3.14 Bit programado: Elemento de la señal de tren de bits codificada en la que los bits lógicos '1' y '0' están representados por palabras de 16 bits ajustadas a derecha.

3.15 palabra de sincronización: Elemento de la señal de tren de bits codificada proporcionada para fines de sincronización y de borrado de tramas.

3.16 señal de tiempo: Otra de las posibles representaciones de señal en la DPI, en general representando muestras de tiempo, utilizada necesariamente entre la fuente de datos, sumidero de datos y códecs.

3.17 Tx_Clk: Señal de reloj hacia adelante. Señal de variación temporal continua que proporciona la velocidad básica de los dispositivos interconectados.

4 Descripción general de la interfaz paralelo digital

Normalmente un conjunto de datos de prueba digitales se procesan a lo largo de diferentes códecs en prueba (CuT) durante un procedimiento de normalización de un códec vocal por el UIT-T. La Figura 1 presenta un ejemplo de configuración de prueba en el que tres dispositivos de procesamiento digital (DPD) son interconectados por medio de la DPI. Cada uno de los DPD tiene una DPI de entrada y una de salida.



T1519660-95/d01

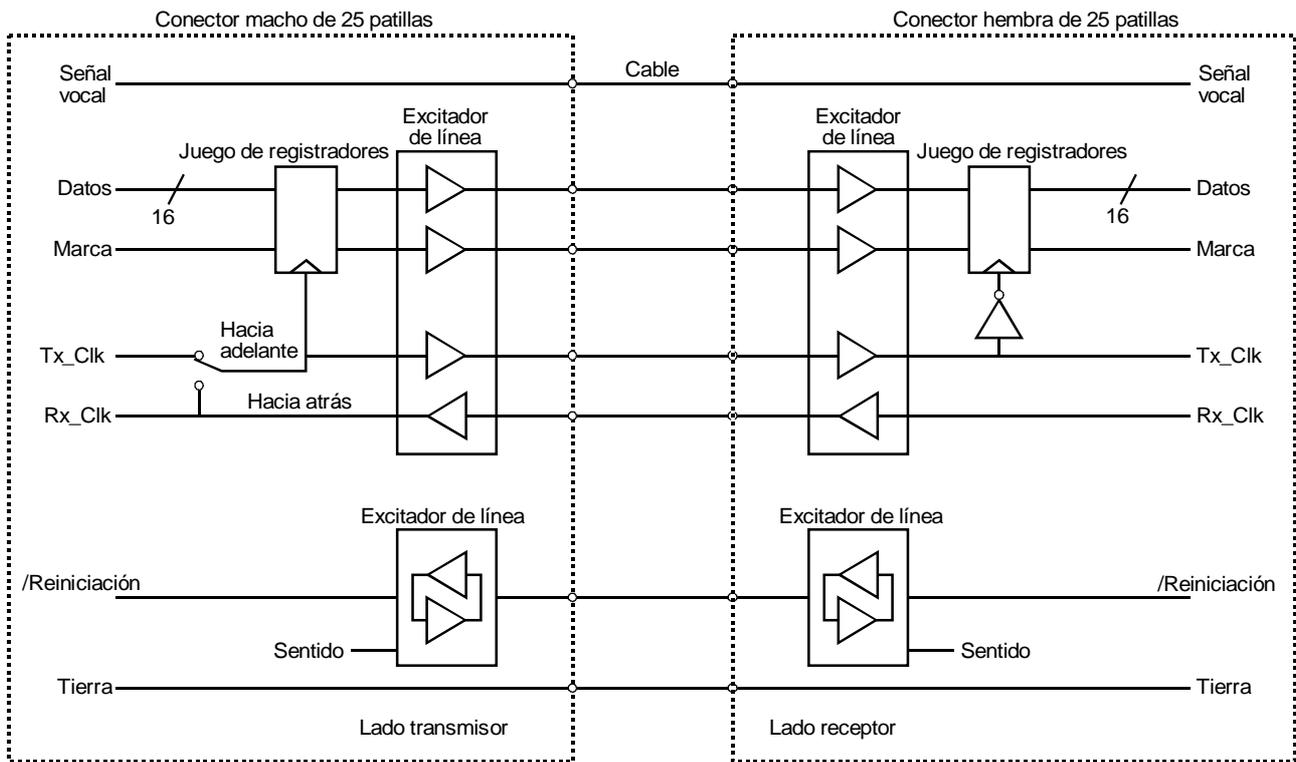
FIGURA 1/G.192

Configuración de prueba genérica en la que se utiliza la DPI

Un conjunto de datos de prueba digitales (normalmente habla digitalizada) es enviado síncronamente desde la fuente de datos al primer DPD, que podría ser la porción codificadora de un CuT. Los datos procesados se envían entonces en un formato apropiado al segundo DPD de la cadena, por ejemplo, un modelo de canal. Tras su procesamiento por el segundo DPD, los datos se envían al último DPD de la cadena del ejemplo, que podría ser la porción decodificadora de un CuT. Los datos que salen de este último DPD son finalmente recogidos por el sumidero de datos. Debe señalarse que el tipo de datos en los diferentes usos de la DPI de la Figura 1 no necesitan tener el mismo formato.

En principio podría conectarse cualquier número de DPD, permitiendo construir estructuras complejas (por ejemplo, para simular un tándem de códecs en dos sistemas móviles celulares digitales diferentes). En el Anexo D a esta Recomendación figuran otros ejemplos de aplicación.

La interfaz es incapaz de transportar en paralelo hasta 16 bits de datos (D15..D0) de un dispositivo (transmisor) a otro (receptor). Las palabras de datos válidas se identifican por medio de bits de marca.



T1519680-95/d03

FIGURA 3/G.192

Diagrama básico de la implementación del soporte físico de la DPI

En otros casos, como se ilustra en la Figura 4, el reloj maestro puede ser un dispositivo situado en otro lugar de la cadena. Podría producirse, por ejemplo, al conectar un códec a un canal real. En esta situación, el canal debe proporcionar el reloj maestro y la reiniciación maestra, y todos los demás dispositivos deben sincronizarse al canal. El canal tiene que generar relojes en sentido hacia adelante (Tx_Clk) y en sentido hacia atrás (Rx_Clk) a lo largo de la cadena. Todos los dispositivos de la cadena deben configurarse para utilizar Rx_Clk o Tx_Clk, según dónde esté situado el reloj maestro. Véase en la Figura 4 un ejemplo de configuración.

Igual ocurre con la señal de reiniciación, que un dispositivo determinado debe obtener de su interfaz de salida (en los dispositivos situados antes de la reiniciación maestra) o de su interfaz de entrada (en los dispositivos situados más adelante).

4.3 Temporización, intervalos de tiempo y capacidad

Los bits de datos y de marca se sincronizan en salida desde el lado transmisor en el frente de subida de Tx_Clk y en entrada en el lado receptor en el frente de bajada de Tx_Clk (véase la Figura 5).

Un «intervalo de tiempo de interfaz» (INTI) se define como un periodo de reloj desde el frente de subida al frente de bajada de la señal de reloj. Dieciséis bits de datos, numerados D0 a D15, y un bit de marca son transmitidos por cada INTI. Los INTI con marca alta (alto activo) se denominan «marcados», que en otro caso se denominan «no marcados» (unmarked).

Las funciones de la interfaz son en principio independientes de la velocidad de reloj, que puede alcanzar hasta varios MHz, condicionada por los largos de cable y la familia lógica de los circuitos integrados utilizados. En los códecs de telefonía, se utilizará en la mayoría de los casos un reloj de 16 kHz (Tx_Clk) que tenga un ciclo de trabajo del 50%, lo que arroja en principio una capacidad total de 256 kbit/s (16 bits × 16 kHz).

Si el dispositivo maestro está situado dentro de una cadena de dispositivos interconectados, como en la Figura 4, su interfaz de entrada envía entonces la Rx_Clk hacia atrás en la cadena. El dispositivo más próximo hacia atrás tiene que generar esta señal de reloj y utilizarla como Tx_Clk. Debido a posibles desplazamientos de fase entre Rx_Clk y Tx_Clk, los bits de datos y de marca serán siempre activados con la línea de reloj en sentido hacia adelante, Tx_Clk.

4.4 Procedimiento de reiniciación

La señal de reiniciación /Reset es una señal activa-baja cuya finalidad es sincronizar todos los dispositivos de la cadena. En operación normal, /Reset será inactivo (alto). La señal de reiniciación será aplicada por la reiniciación maestra (por ejemplo, la fuente de datos o el canal) al dispositivo (o dispositivos) adyacente de la cadena. En el procedimiento de reiniciación deben seguirse los pasos descritos más adelante para garantizar la sincronización deseada. La Figura 6 ilustra las señales durante el procedimiento de reiniciación.

El procedimiento de reiniciación es iniciado conmutando la señal de reiniciación /Reset a bajo (activo) con el frente de subida de Tx_Clk (igual que los bits de datos y de marca).

Cada dispositivo de la cadena tiene que recibir la señal de reiniciación en su entrada /Reset y debe regenerar y sacar la señal de reiniciación en su salida /Reset (la entrada y la salida pueden depender de la ubicación de la reiniciación maestra).

Todos los dispositivos probarán la señal de reiniciación con el frente de bajada de Tx_Clk (igual que los bits de datos y de marca) e iniciar o continuar su procedimiento de reiniciación específico cuando la reiniciación está activada (bajo) en ese momento.

La señal de reiniciación permanecerá activa durante al menos 16 ciclos de reloj (1 ms para un reloj de 16 kHz) y se conmutará a inactivo (alto) con el frente de subida de Tx_Clk. Esto se indica en la Figura 6.

La fuente de datos esperará exactamente otros 1600 ciclos de reloj (100 ms para un reloj de 16 kHz) antes de que se marque el primer INTI para transmitir el primer valor de datos válido (por ejemplo, primera muestra a un codificador vocal). Éste será el tiempo disponible para que todos los dispositivos de la cadena se inicialicen correctamente y estén preparados para el procesamiento.

5 Implementación del soporte físico

5.1 Tipo de conectores, asignación de patillas y cableado

En el lado transmisor hay un conector macho Sub-D de 25 patillas y en el lado receptor hay un conector hembra Sub-D de 25 patillas. El Cuadro 1 muestra la asignación de patillas para la interfaz paralelo digital.

Es aconsejable utilizar una estrategia de cableado que minimice el rechazo del ruido. Para reducir la influencia del ruido, se recomienda utilizar conductores paralelos de pares retorcidos con la asignación de patillas del Cuadro 1. En este caso, las señales marca /Reset, Tx_Clk y Rx_Clk deben combinarse con tierra especialmente en el caso de largos de cable de ordinarios a grandes.

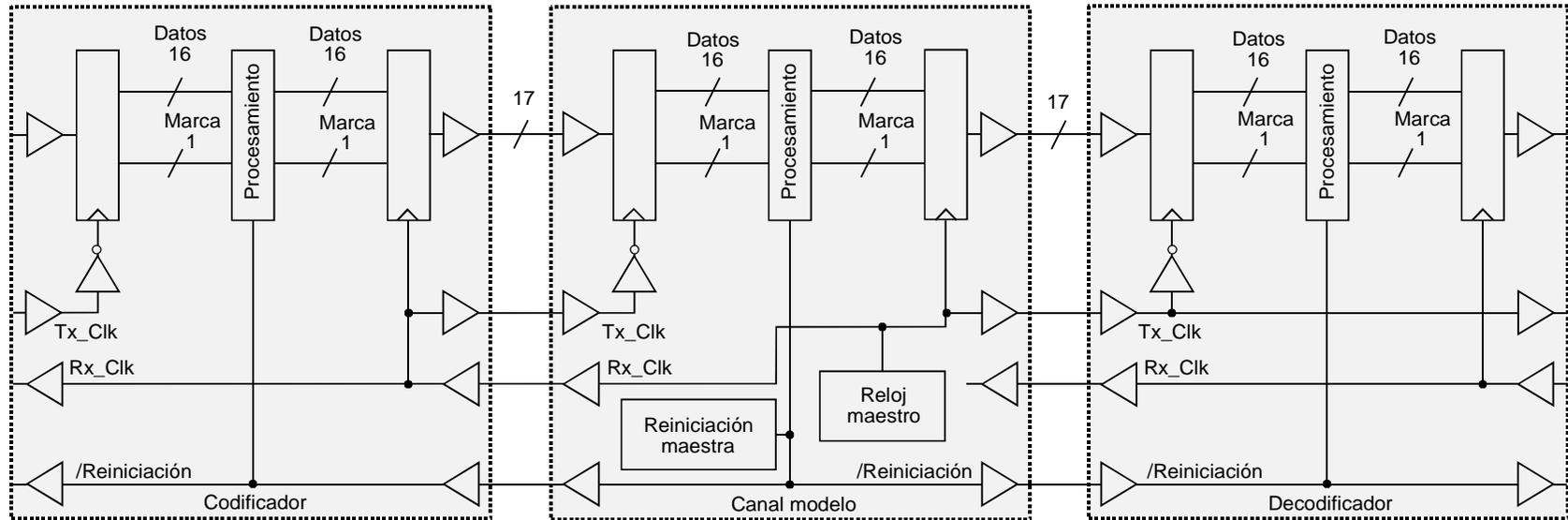
5.2 Excitadores de línea y terminación del receptor

Dado que todas las líneas de datos, marca, reiniciación y reloj deben ser excitadas mediante excitadores de línea para la tensión de señalización aplicada, debería haber una terminación de línea adecuada para evitar reflexiones. El tipo de terminación dependerá de la familia lógica. El Anexo A incluye una especificación para la familia TTL.

5.3 Multiplexor distribuido

Las redes de terminación no se dispondrán dentro de los dispositivos de recepción, sino exteriormente en el extremo (o extremos) distante del cable, lo cual hace posible la conexión de más de un receptor a la misma línea, siempre que se habilite sólo uno en un determinado momento, mientras los otros están en triestado.

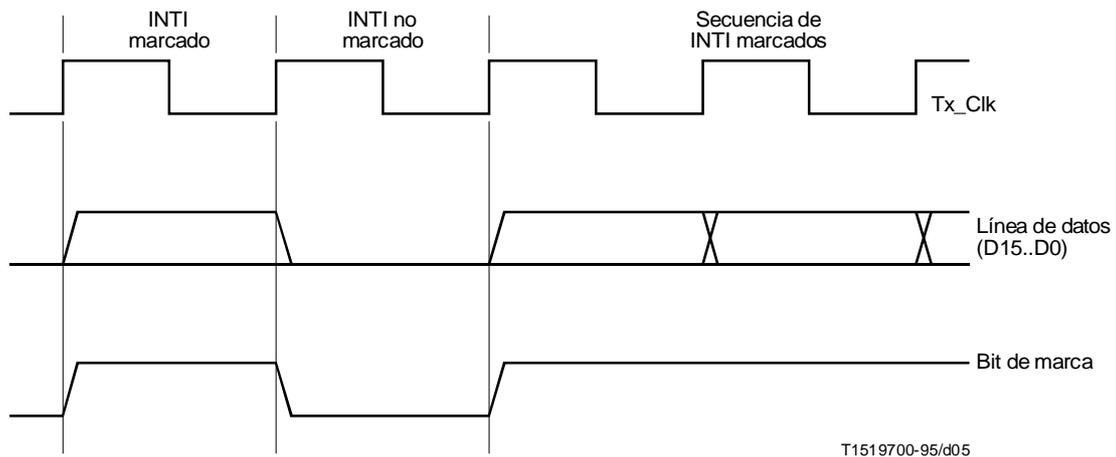
Ambas características juntas (redes de terminación exteriores y memoria intermedias en triestado) pueden utilizarse para implementar multiplexores y demultiplexores distribuidos. Esta función puede utilizarse, por ejemplo, para la aleatorización del material vocal en pruebas subjetivas.



T1519690-95/d04

FIGURA 4/G.192

Ejemplo de utilización de Rx_Clk, cuando el reloj maestro se halla dentro de la cadena de dispositivos – en este caso, en el canal modelo

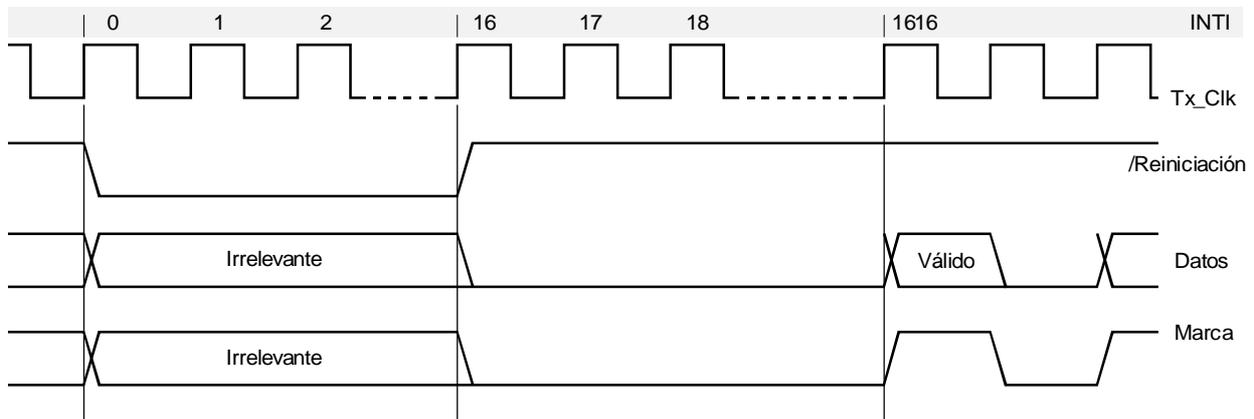


T1519700-95/d05

INTI Intervalo de tiempo de interfaz

FIGURA 5/G.192

Ejemplo de temporización de interfaz



T1519710-95/d06

FIGURA 6/G.192

Temporización durante el procedimiento de reiniciación (salida de la fuente de datos)

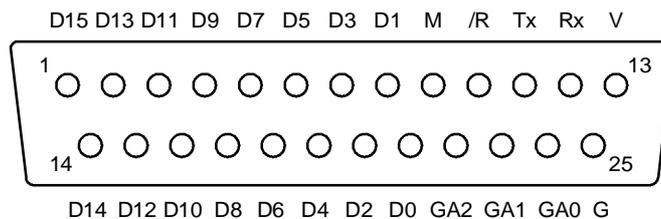
Puede incorporarse funcionalidad adicional a la DPI utilizando las patillas 22, 23 y 24 como líneas de dirección de dispositivo, en lugar de ponerse a tierra. La configuración extendida permite que la interfaz se utilice como un simple bus de datos. Dado que estas líneas supondrían que la tierra esté combinada con las líneas de reloj, esto podría introducir una pérdida en el rechazo del ruido¹⁾. Las ventajas del uso de líneas de dirección son la selección automática por la fuente de datos de uno de entre varios dispositivos en una configuración múltiplex distribuida.

Para permitir la compatibilidad hacia abajo con los dispositivos existentes, la dirección 0 se definirá como «seleccionados todos los dispositivos», ya que es eléctricamente equivalente a tener las patillas 22, 23 y 24 como tierra. Por tanto, hay espacio de dirección para hasta siete dispositivos diferentes en una configuración múltiple. La línea de dirección A0 se asigna a la patilla 24, A1 a la patilla 23 y A2 a la patilla 22.

¹⁾ Es necesario seguir estudiando este tema a fin de determinar las condiciones ambientales y de cableado para asegurar una operación fiable.

Asignación de patillas para la interfaz paralelo digital

Patilla	Nombre de señal	Patilla	Sentido	Patilla	Nombre de señal	Patilla
14	D14	D15	→	1	D15	14
15	D12	D13	→	2	D13	15
16	D10	D11	→	3	D11	16
17	D8	D9	→	4	D9	17
18	D6	D7	→	5	D7	18
19	D4	D5	→	6	D5	19
20	D2	D3	→	7	D3	20
21	D0	D1	→	8	D1	21
22	Tierra/A2	Marca	→	9	Marca	22
23	Tierra/A1	/Reset	Tierra/→ (←) →	10	/Reset	23
24	Tierra/A0	Tx_Clk	Tierra/→	11	Tx_Clk	24
25	Tierra	Rx_Clk	Tierra/→	12	Rx_Clk	25
	+5 V/2 Ω		←	13	No conectado	
Interfaz de salida digital Conector macho Vista a las patillas				Interfaz de entrada digital Conector hembra Vista a los agujeros		
D15-D0	16 bits de datos en paralelo (D15 = MSb; D0 = LSb)					
A2-A0	Dirección de 3 bits opcional en desplazamiento hacia adelante					
Marca	Bit adicional para fines especiales					
Tx_Clk	Señal de reloj hacia adelante					
Rx_Clk	Señal de reloj hacia atrás					
/Reset	Señal de reiniciación bajo-activo a/desde ese dispositivo					
+5 V/2 Ω	Alimentación de energía para la red de terminación con una resistencia serie de 2 Ω					
Tierra/→	O conexión a tierra o la línea de dirección en sentido hacia adelante					



T1519720-95/d07

M: Marca /R: /Reiniciación Tx: Reloj de transmisión Rx: Reloj de recepción
V: Alimentación G: tierra
(Contenedor macho)

Las líneas de dirección son activas todo el tiempo, y los dispositivos comprobarán la selección cada frente de subida de la Tx_Clk, y la fuente de datos la cambiará en el frente de subida de la Tx_Clk de un INTI no marcado. Los dispositivos no seleccionados pueden seguir funcionando como si la entrada se pusiera a valor 0, o simplemente congelarse. Este aspecto queda en estudio.

En el caso de que estas líneas se utilicen como bits de dirección, se someterán a memorización intermedia y tendrán terminaciones como se hace con las líneas de datos, de marca, de reloj y de reiniciación, siempre en sentido hacia adelante, como se indica en el Cuadro 1. Si no se utiliza esta característica, estas líneas deben conectarse directamente de la entrada a la salida del dispositivo.

5.4 Retardos de señal dentro de los dispositivos

Los dispositivos con datos de recepción en su entrada, los procesan y entregan los datos a su salida, deben tratar los relojes y la señal de reiniciación de la forma descrita, para asegurar un funcionamiento adecuado en la cadena completa de dispositivos.

Las señales de reloj Tx_Clk y Rx_Clk y la señal de reiniciación /Reset deben regenerarse dentro de los dispositivos y enviarse al otro extremo. El retardo de estas señales dentro del dispositivo será lo más bajo posible (por ejemplo, tan bajo como el retardo de dos SN74LS245, es decir, hasta 20 ns). Se garantizará así la relación de fase adecuada entre todas las señales en aplicaciones prácticas, con lo que se simplificará la temporización para interconectar dispositivos directores y subordinados.

Anexo A

Implementación de la DPI utilizando circuitos integrados lógicos TTL

(Este anexo es parte integrante de esta Recomendación)

La Figura A.1 muestra la implementación del equipo físico de la DPI desde el punto de vista de los dispositivos interconectados utilizando circuitos integrados (TTL, *lógica transistor-transistor*) normalizados.

Todas las líneas de datos, de marca y de reloj se excitan mediante excitadores TTL simples del tipo SN74LS245. Para el registro de datos paralelos se utiliza un SN74LS273. Pueden utilizarse tipos de circuitos integrados equivalentes, pero debe tenerse precaución en este caso.

La alimentación de energía de $5\text{ V}/2\ \Omega$ es proporcionada por el transmisor con el único fin de alimentar la red de terminación de línea en el lado receptor. Como las redes de terminación son exteriores a la interfaz, esta línea no se conectará eléctricamente en el lado receptor.

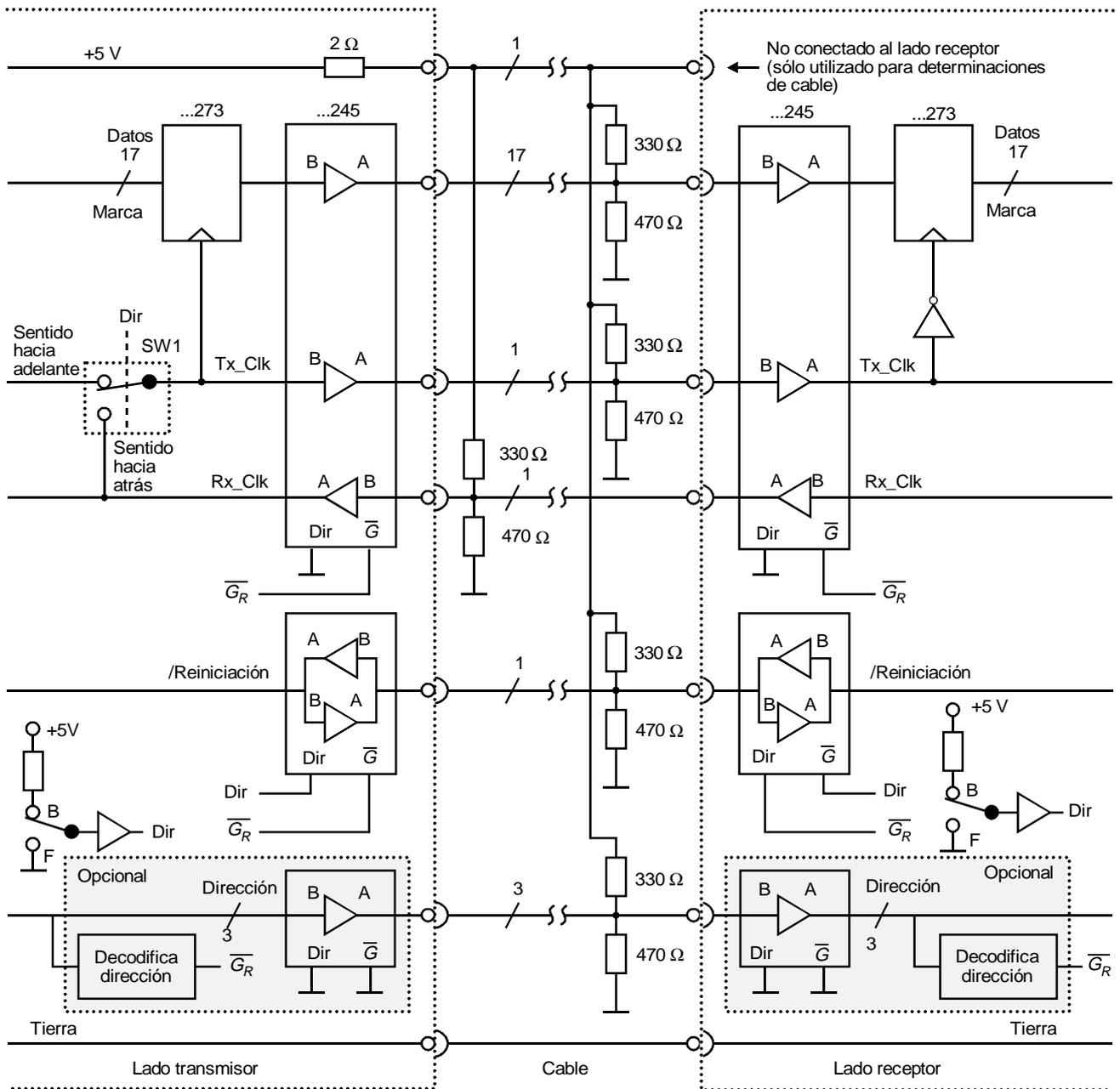
Se necesita un tipo especial de terminación de cable para evitar reflexiones de señal. Con largos de cable de 2 a 10 metros, todas las líneas terminarán en el extremo de destino (de recepción) de la señal con una red pasiva de $330/470\ \Omega$ a +5 V/tierra respectivamente. Es esta la razón por la que, en la Figura A.1, todas las señales en sentido hacia adelante terminan en el lado del receptor, mientras que sólo la señal de sentido hacia atrás, Rx_Clk, termina en el lado del transmisor.

Con largos de cable pequeños (inferiores a 2 metros) la terminación puede omitirse. Con cables muy largos (superiores a 10 metros) pueden ser necesarias redes de terminación en ambos extremos de las líneas.

SW1 en la Figura A.1 conecta Tx_Clk a la posición designada hacia adelante cuando el lado transmisor de un DPD está delante del reloj maestro, y a la posición designada hacia atrás cuando el lado transmisor está detrás del mismo. Véanse ejemplos de conexión en la Figura 4.

Las señales Dir y \overline{G}_R son generadas íntegramente por cada DPD de la cadena. La señal Dir indicaba si el DPD está delante ('0') o detrás ('1'). La señal \overline{G}_R es una señal activo-bajo que define si el DPD está habilitado o inhabilitado. \overline{G}_R es generado desde las líneas de dirección si se utiliza el modo bus de la DPI. Si no se utiliza la característica del modo bus, \overline{G}_R se conectará a tierra.

Para ayudar a entender la descripción de la interfaz, la DPI se describe en las Figuras A.2A y A.2B para un determinado DPD. La Figura A.2A describe la implementación de la DPI para un dispositivo que no es un reloj maestro/reiniciación maestra. Este dispositivo operará en sentido hacia adelante si el conmutador SW1 está en la posición F y en sentido hacia atrás si está en la posición B. La Figura A.2B describe la implementación DPI para un dispositivo de reloj maestro y de reiniciación maestra.



T1519730-95/d08

FIGURA A.1/G.192

Diagrama de la interfaz de soporte físico de la configuración básica para dos DPD interconectados – Las líneas de dirección de la configuración ampliada son opcionales (véanse detalles en el cuerpo principal de esta Recomendación) – Las señales Dir y \overline{G}_R son generadas por cada DPD de la cadena

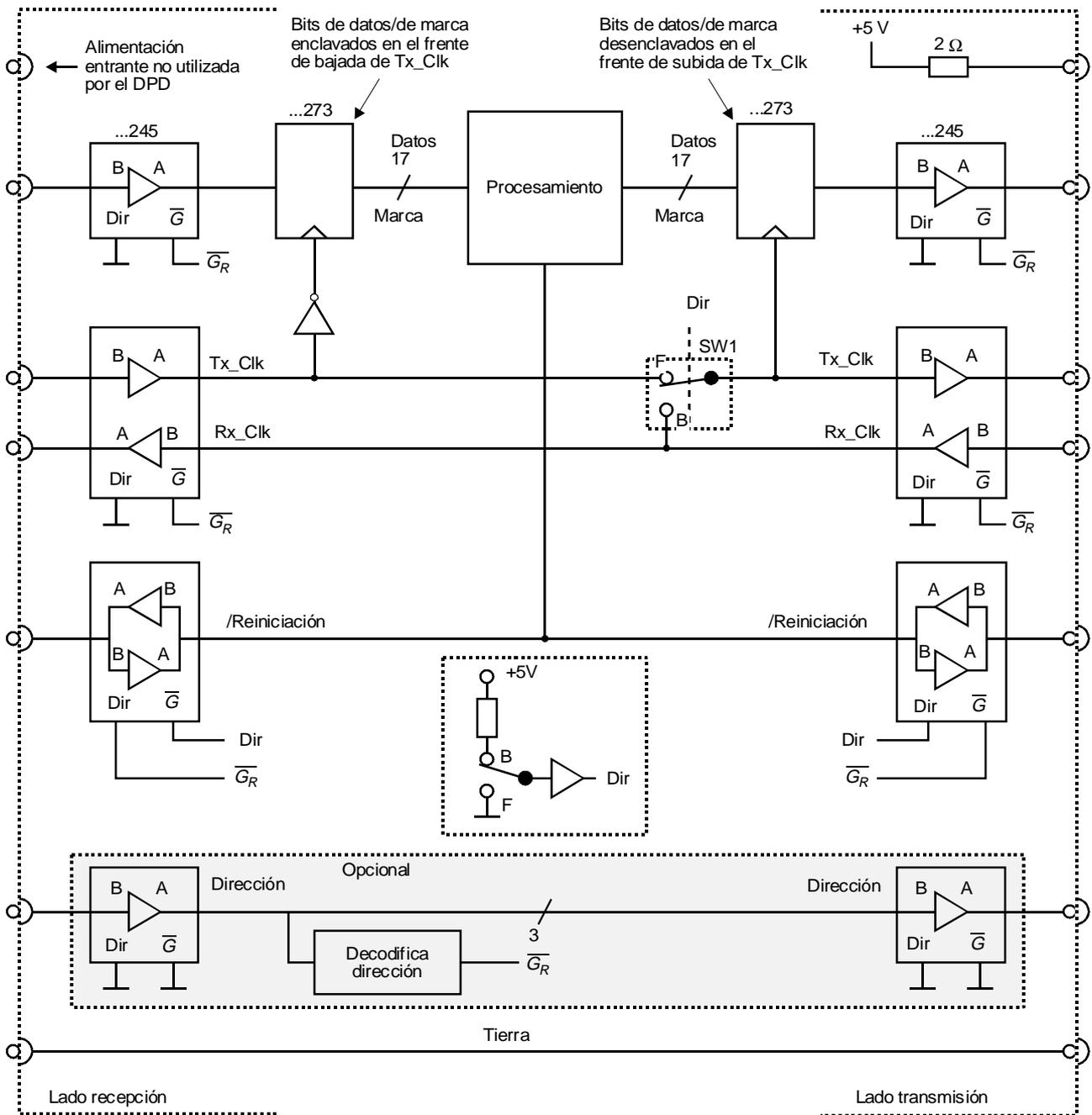


FIGURA A.2A/G.192

Diagrama de la interfaz de soporte físico de la configuración básica para un determinado DPD cuando el dispositivo no es el reloj maestro/la reiniciación maestra – Si el conmutador SW1 está en la posición B, el dispositivo operará en el sentido hacia atrás, y si SW1 está en la posición F, el DPD operará en el sentido hacia adelante

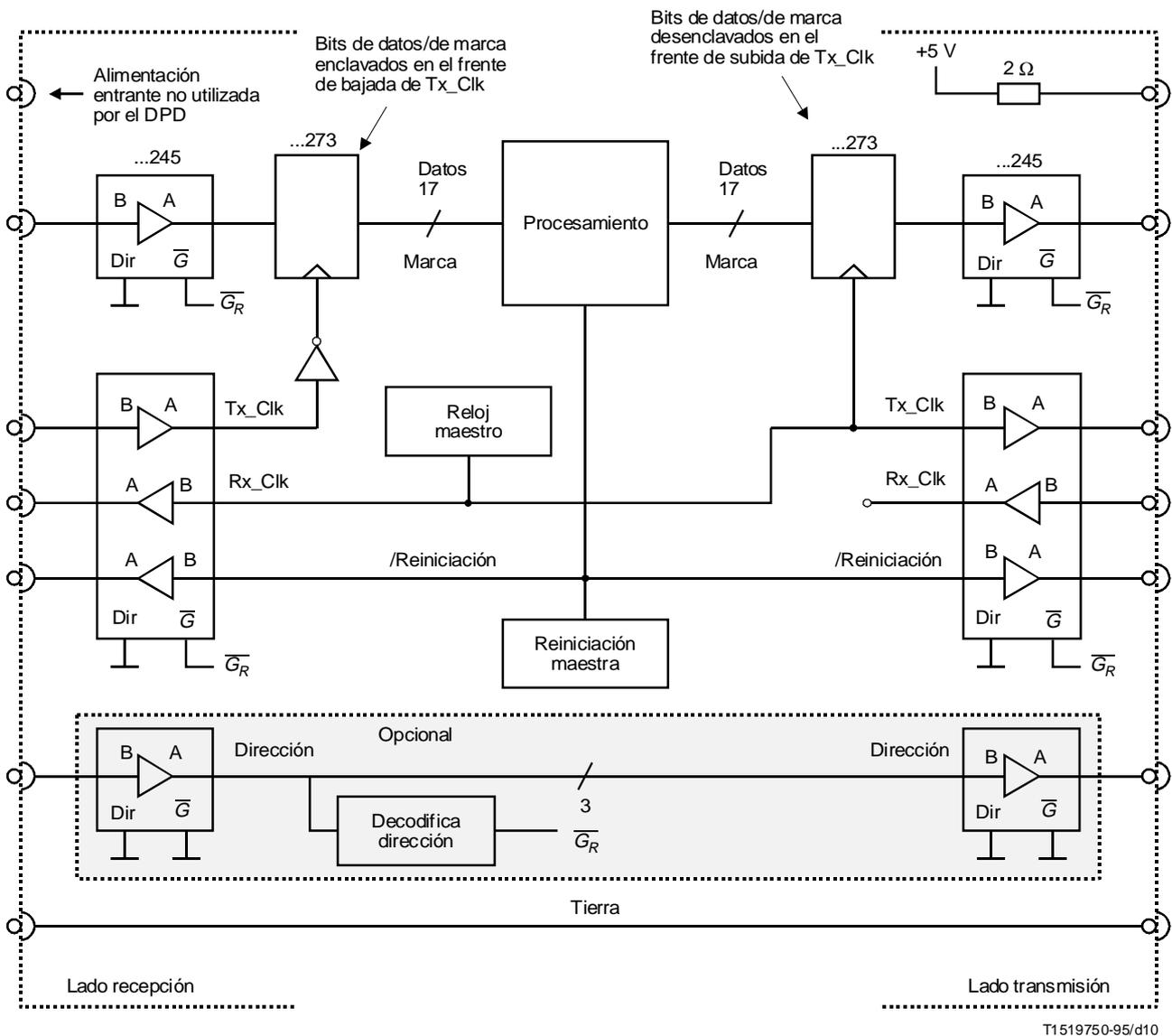


FIGURA A.2B/G.192

Diagrama de la interfaz de soporte físico de la configuración básica para un DPD reloj maestro/reiniciación maestra – Este dispositivo generará el reloj delantero (Tx_Clk) y el reloj trasero (Rx_Clk), así como la señal /Reset, para el DPD interconectado. La Tx_Clk utilizada por el DPD maestro procede del DPD precedente que ha regenerado Rx_Clk como su Tx_Clk

Anexo B

Formatos de datos

(Este anexo es parte integrante de esta Recomendación)

La DPI es capaz de transportar diferentes estructuras de datos entre diferentes dispositivos sin cambio ninguno en las especificaciones físicas o eléctricas. Sin embargo, se han definido diferentes formatos de datos y protocolos para la operación en capas superiores.

En la actualidad sólo hay definidos dos tipos de datos: señales de tiempo (que representan, por ejemplo, muestras de señales vocales) y trenes de bits codificados (que representan, por ejemplo, parámetros de códec). Sigue a continuación la descripción de la estructura de estos tipos de datos.

B.1 Señales de tiempo

Las señales de tiempo serán transportadas en el formato descrito a continuación a la entrada de un codificador y la salida de un codificador. Esto garantiza que puedan utilizarse diferentes configuraciones de interconexión.

La representación de datos está justificada a izquierda, formato de complemento a 2 de 16 bits, es decir, el bit más significativo es siempre el bit D15. Si se necesita una resolución de bits b diferente de 16 bits, los $(16-b)$ bits menos significativos se pondrán a cero. Este es también el convenio adoptado para la representación de números enteros de la biblioteca de herramientas de soporte lógico del UIT-T definida en la Recomendación G.191.

La velocidad de muestreo debe fijarse a 8 kHz en el caso general de códecs de telefonía. Debe señalarse que la frecuencia de muestreo es independiente de la señal de velocidad de reloj (Tx_Clk o Rx_Clk), y puede ser mayor que la velocidad de muestreo (por ejemplo, 16 kHz para un códec de telefonía).

Siempre que una muestra es transportada por medio de la interfaz digital se fija el bit de marca (alto).

La estructura de un dato muestreado viene definida por un INTI marcado seguido siempre por un INTI no marcado. Se hace así para permitir el procesamiento en tiempo real por los dispositivos de la cadena durante las frases vocales. Múltiples INTI no marcados de una fila sólo son permitidos entre materiales completamente procesados (por ejemplo, entre el extremo de un fichero vocal y el comienzo del siguiente), debido a que en ese momento no habrá señales de tiempo que transportar por la DPI. Se simplifica así el tratamiento de datos dentro de la fuente de datos y del sumidero de datos. No se necesita a este nivel ninguna otra estructuración de datos para la representación de señales de tiempo de la DPI. Véanse las Figuras B.1 y B.2.

Como se ha indicado más arriba, después de aplicar el procedimiento de reiniciación, el codificador recibe la primera muestra procedente de la fuente de datos. Todas las demás muestras seguirán en la estructura de datos definida, hasta que termina el procesamiento de los datos completos. La Figura B.1 ilustra un posible flujo de datos en el que cada muestra tiene una resolución de 13 bits.

NOTA – Para mediciones objetivas (tales como datos en banda vocal), la fuente y el sumidero de datos pueden ser un dispositivo convertidor A/D y D/A. Éste utilizará exactamente el mismo formato de datos. Además, el formato de datos hace posible conectar la fuente de datos directamente al sumidero de datos, por ejemplo, para fines de verificación del soporte físico.

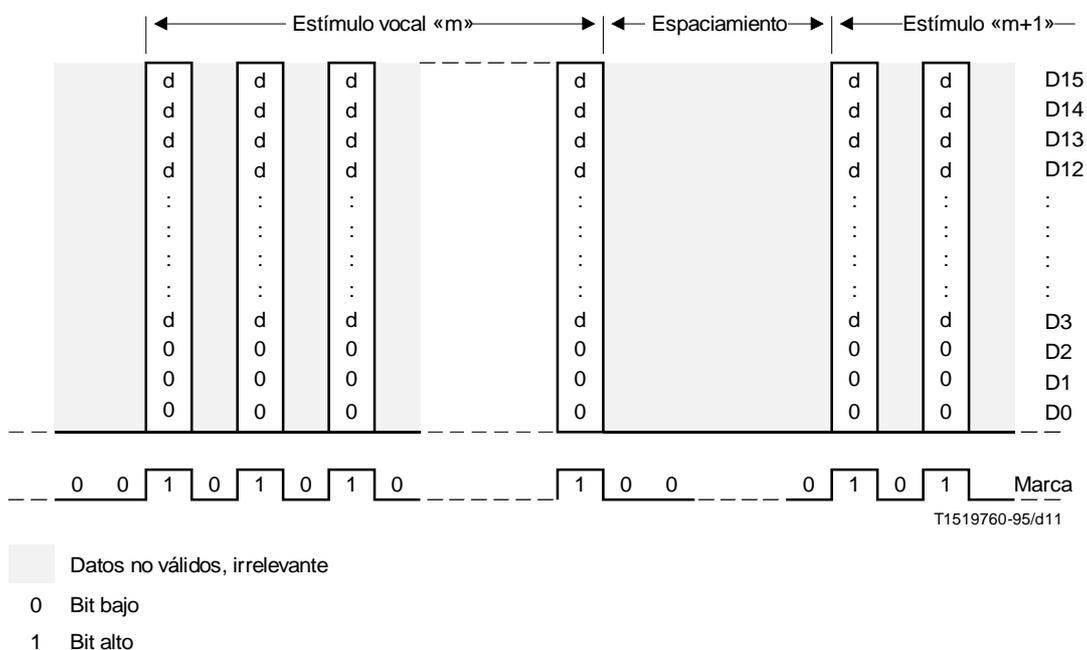


FIGURA B.1/G.192

Ejemplo de una señal de tiempo que representa un dato muestreado con resolución de 13 bits (justificado a izquierda)

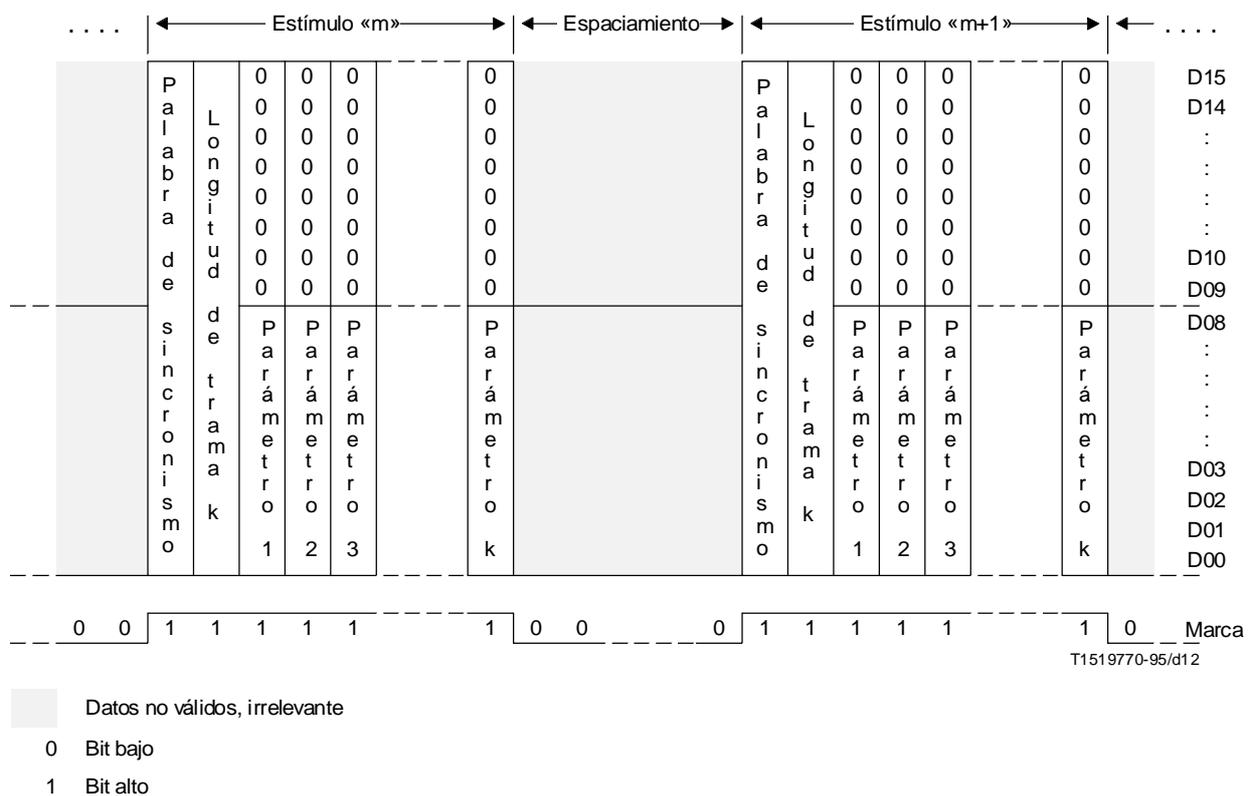


FIGURA B.2/G.192

Ejemplo de una señal de tren de bits codificada que representa una trama de datos de k bits programados, precedida por una palabra de sincronización y su longitud k (todos justificados a derecha)

B.2 Tren de bits codificado

Cuando los DPD son implementaciones de la porción codificador de un códec, su DPI de salida representará un tren de bits codificado. Lo mismo ocurre con la DPI de entrada de un DPD que implementa un decodificador.

A fin de habilitar a la DPI a transportar formatos de trenes de bits diferentes sin cambios eléctricos o físicos, es necesario definir un formato flexible.

Cada bit de los datos del tren de bits es representado como una palabra de 16 bits, precedida por una palabra de sincronización y una palabra de longitud de trama. Esto permite la aplicación del concepto de «bits blandos», lo cual permite una fácil introducción de palabras de sincronización en el tren de bits, y permite el uso de modelos probabilísticos para someter a las muestras o tramas a errores de varios tipos (por ejemplo, aleatorios, en ráfagas, así como errores de borrado de trama).

La definición recomendada de los bits blandos figura en el Manual biblioteca de herramientas de soporte lógico del UIT-T. Los bits de salida de un codificador se codifican como palabras de bits programados con 256 niveles. Un bit '0' se codifica como el bit blando 0x007F y un bit '1' como el bit blando 0x0081. Los datos en el decodificador con estos valores se suponen correctos, mientras que otros valores de la gama de 0..255 se toman como muestras con una posibilidad asociada de ser erróneos. La información (dura) del bit blando puede verse en el MSb de los datos de bits blandos de 8 bits. Los bits blandos de la gama 0x6B21..0x6B2F se utilizan como palabras de sincronización. Los cuatro LSb de la palabra de sincronización se utilizan para distinguir entre los diferentes tipos de palabras de sincronización que pueden aparecer en un sistema. Una palabra de sincronización de 0x6B20 es el indicador de trama incorrecta. La palabra de longitud es siempre justificada a derecha y su valor dependerá del tamaño de trama y de la velocidad de datos del códec. Por ejemplo, la palabra de longitud será 80 (0x0050) para un códec de 8 kbit/s con un tamaño de trama de 10 ms.

La Figura B.2 ilustra una disposición de tren de bits codificado, en el que el tren de bits tiene k bits (blandos) y cada trama viene precedida por una palabra de sincronización y su longitud k (todos justificados a derecha).

Anexo C

Reglas para la implementación de códecs

(Este anexo es parte integrante de esta Recomendación)

Como se expone en el Anexo B, puede producirse un número indefinido de INTI no marcados en la interfaz de salida digital de la fuente de datos digital en cualquier momento, a fin de simplificar el tratamiento de ficheros dentro de la fuente y el sumidero de datos. Por tanto, un codificador de la cadena no debe sincronizarse a la Tx_Clk (que será un reloj de funcionamiento continuo, que proporciona el medio de transporte) sino al bit de marca a su entrada (véase la Figura 4). Para cada bit de marca recibido tiene que desplazarse otra muestra en la memoria intermedia de entrada del decodificador y procesarse con arreglo al algoritmo de codificación.

La salida del decodificador debe sólo transmitir y completar tramas codificadas. El bit de marca debe fijarse en consecuencia, como se ilustra en la Figura B.2.

Para garantizar un arranque correcto después de la reiniciación y mantener mínimo el retardo, todas las variables contenidas en el decodificador deben reiniciarse durante el procedimiento de reiniciación. Reiniciar significa poner todas las variables a valores como si hubiese sido una secuencia de entrada de muestra 0 durante un tiempo infinitamente largo antes de que se reciba la primera muestra procedente del sistema de control o del dispositivo de acondicionamiento. Posibles excepciones a esta regla son las variables que el implementador decida que tienen un valor de reiniciación inicial especial en el codificador.

Los dispositivos que manipulan el tren de bits de trama codificado (por ejemplo, dispositivos de inserción de errores) pueden introducir breves retardos de unos pocos INTI en la cadena de procesamiento a fin de sincronizar su operación con una palabra de sincronización del tren de bits.

Similarmente al codificador, el decodificador debe sincronizar el bit de marca en su interfaz de entrada, procesar la palabra o trama codificada recibida y sacar su propia muestra válida cuando esté disponible. Antes de este evento, sólo deben generarse INTI no marcados. El decodificador debe suponer de nuevo una secuencia infinitamente larga de «silencio codificado» (secuencia de muestra 0) antes de que se reciba el primer tren de bits válido después de la reiniciación. Ahora también, posibles excepciones a estas reglas son las variables de que el implementador decida que tienen un valor de reiniciación inicial especial en el decodificador. El decodificador tiene que asegurar que dentro de un estímulo vocal determinado (por ejemplo, un fichero vocal proporcionado por un computador que actúa como fuente de datos), los datos serán sacados cada dos INTI sin espaciamentos (véase la Figura B.1)

NOTAS

1 Este protocolo de sincronización permite mediciones en tiempo real utilizando convertidores A/D y D/A, como ocurre para la evaluación de la calidad de funcionamiento de datos en banda vocal. El sumidero de datos tomará la primera muestra que emerge de la salida del decodificador como respuesta a la primera muestra a la entrada del codificador.

2 Midiendo el intervalo de tiempo entre estos dos instantes, puede obtenerse una estimación del retardo de señal para la cadena «codificador, dispositivos de manipulación de bits y decodificador».

Anexo D

Ejemplo de configuraciones de prueba para laboratorios centrales (de acogida)

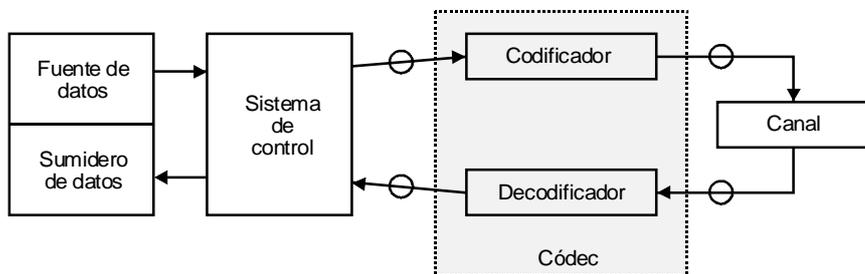
(Este anexo es parte integrante de esta Recomendación)

En general, en una configuración de prueba habrá un sistema de control que emite señales de control a los dispositivos interconectados, que también opera como fuente y sumidero de datos. Los dispositivos interconectados pueden ser, por ejemplo, un codificador y su decodificador conectados por un modelo de soporte físico del canal de transmisión, lo cual se representa en la Figura D.1 a).

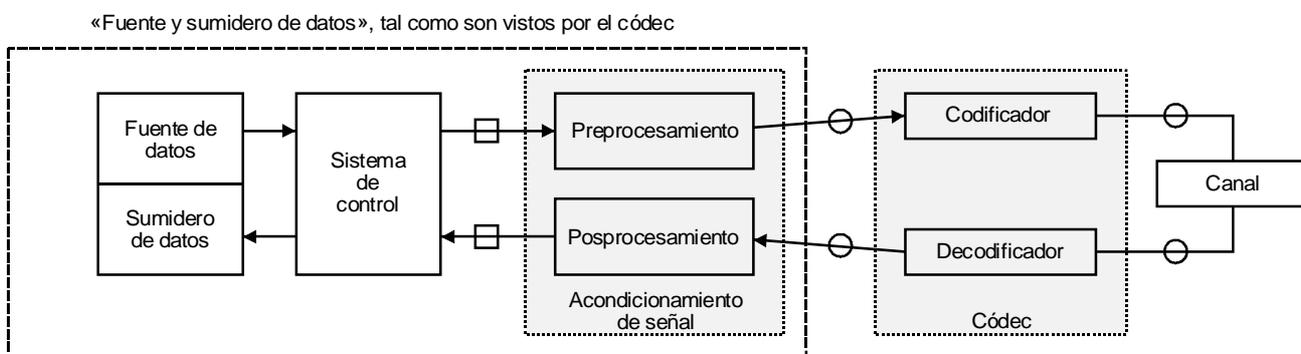
Otra configuración podría consistir en tener un dispositivo de acondicionamiento de señal entre el sistema de control y el códec, a fin de efectuar preprocesamiento y posprocesamiento de los datos de fuente y de sumidero, respectivamente. Esta configuración se muestra en la Figura D.1 b).

Cuando se mide la calidad de funcionamiento de un sistema para señales analógicas, puede ser necesario que la fuente de datos sea un convertidor A/D, y el sumidero de datos un convertidor D/A. Este es el caso para llevar a cabo mediciones de datos en banda vocal, lo cual se muestra en la Figura D.1 c).

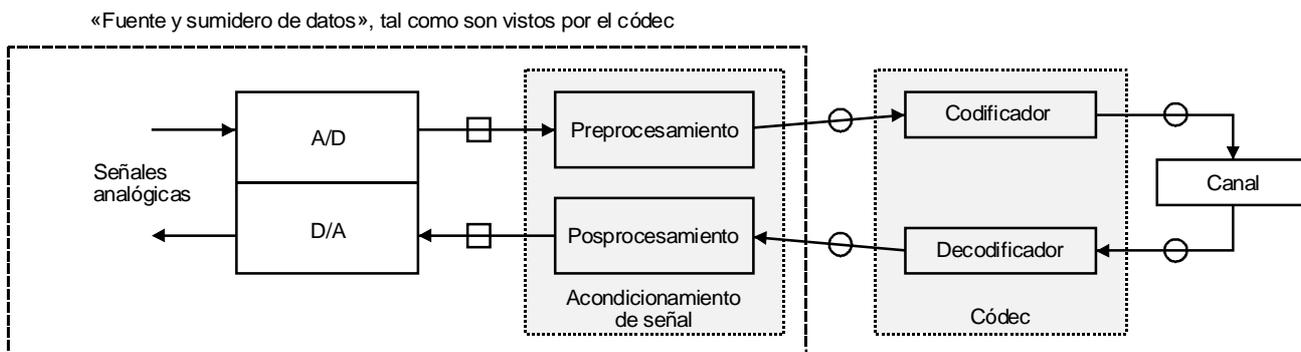
La interfaz de esta Recomendación se ha decidido que sea suficientemente flexible para acomodar a una amplia gama de configuraciones que suelen aparecer en los procesos de evaluación de las actividades de normalización del UIT-T.



a) Configuración sin un dispositivo de acondicionamiento de señal



b) Configuración con un dispositivo de acondicionamiento de señal



T1519780-95/d13

c) Configuración con fuentes de señal procedente de un convertidor A/D

FIGURA D. 1/G. 192

Ejemplo de configuraciones de referencia para la interconexión de dispositivos utilizando la interfaz paralelo digital – Los círculos representan los datos de la interfaz paralelo digital y los cuadrados una interfaz de gran calidad de funcionamiento potencialmente especializada (como utilizada en laboratorio de acogida del códec a 8 kbit/s del UIT-T)

Apéndice I

Interfaz paralela de prueba de códecs vocales a 8 kbit/s del UIT-T

(Este apéndice no es parte integrante de esta Recomendación)

Se decidió utilizar un planteamiento totalmente digital en la sesión del laboratorio de acogida para la evaluación de la calidad vocal subjetiva de los códecs candidatos para la prueba de selección de códecs a 8 kbit/s del UIT-T [SQ-10.92].

En el montaje de soporte físico utilizado por el laboratorio de acogida, se utilizó el «sistema de control del laboratorio de acogida» (HLCS, *host laboratory control system*) como fuente de datos y sumidero de datos. El HLCS envía datos de estímulo (frases de prueba) mediante el dispositivo de «acondicionamiento de señal» (SCD, *signal conditioning device*) al codificador (vocal y de canal) en prueba, y recopila la salida del decodificador (vocal y de canal) (habla resintetizada). La selección de los datos de estímulo, el control del SCD y el «dispositivo de inserción de errores» (EID, *error insertion device*), y la aleatorización de las frases procesadas se efectúa mediante soporte lógico dentro del HLCS. El dispositivo de inserción de errores se utilizó para implementar el modelo de canal radioeléctrico.

La Figura I.1 presenta una visión de conjunto y muestra los dispositivos de la cadena del flujo de datos. Véanse más detalles en el documento [SQ-21.94].

Todas las interfaces en las entradas y salidas del códec candidato en prueba, ilustradas en la Figura I.1, son completamente digitales y del mismo tipo.

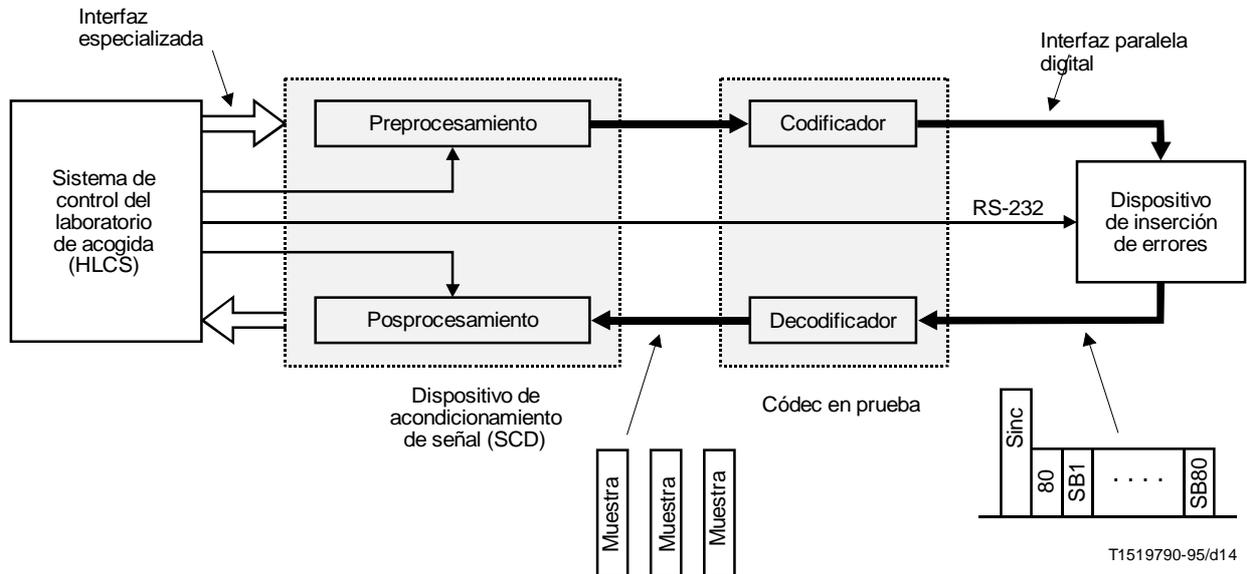


FIGURA I.1/G.192

Cadena de flujo de datos para sesión del laboratorio de acogida

I.1 Especialización de la interfaz

El laboratorio central (de acogida) para las pruebas de selección del códec vocal a 8 kbit/s de la Recomendación UIT-T G.729 utilizó la DPI definida en esta Recomendación. No todas las funciones de esta interfaz fueron necesarias en las sesiones del laboratorio de acogida de la selección del códec y de las pruebas de caracterización del códec.

Para simplificar todo lo posible la interfaz, se definieron las siguientes especificaciones:

- Sólo se conectó un transmisor a sólo un receptor. No se utilizó multiplexión distribuida. Todos los excitadores de línea en el lado transmisor y receptor estuvieron siempre habilitados.
- Sólo se utilizó Tx_Clk en la totalidad de las pruebas; no se utilizó Rx_Clk (el dispositivo HLCS era la fuente de reloj maestro).

- iii) /Reset se utilizó solamente en sentido hacia delante (el HLCS fue la fuente de reiniciación maestra).
- iv) Sólo los INTI marcados mantuvieron datos válidos. Los bits de datos en los INTI no marcados se pusieron a '0' en el lado transmisor y no se consideraron en el lado receptor.
- v) La fuente y el sumidero de datos fue el HLCS/SCD (para el procesamiento del material vocal) o convertidores A/D y D/A equivalentes (para mediciones objetivas con datos en banda vocal).

I.2 Formatos de datos

Señales de tiempo – La configuración del laboratorio central (de acogida) de selección del códec a 8 kbit/s utilizó el formato de señal de tiempo entre el SCD y los códecs en prueba.

Señales de tren de bit – Para las señales comprendidas entre el EID y los códecs en prueba se utilizó un formato de tren de bits con una palabra de longitud igual a 80 (01010000 en binario). Este formato de tren de datos se ilustra en la Figura I.2. En el caso de borrados de trama, el EID no cambió la palabra de sincronización 0x6B21 a 0x6B20, sino que cambió todos los bits blandos de la trama a 0x0000 para indicar pérdida de información.

Ambas definiciones permitieron dejar a un lado el EID o los códecs, para la verificación de la operación adecuada del sistema.

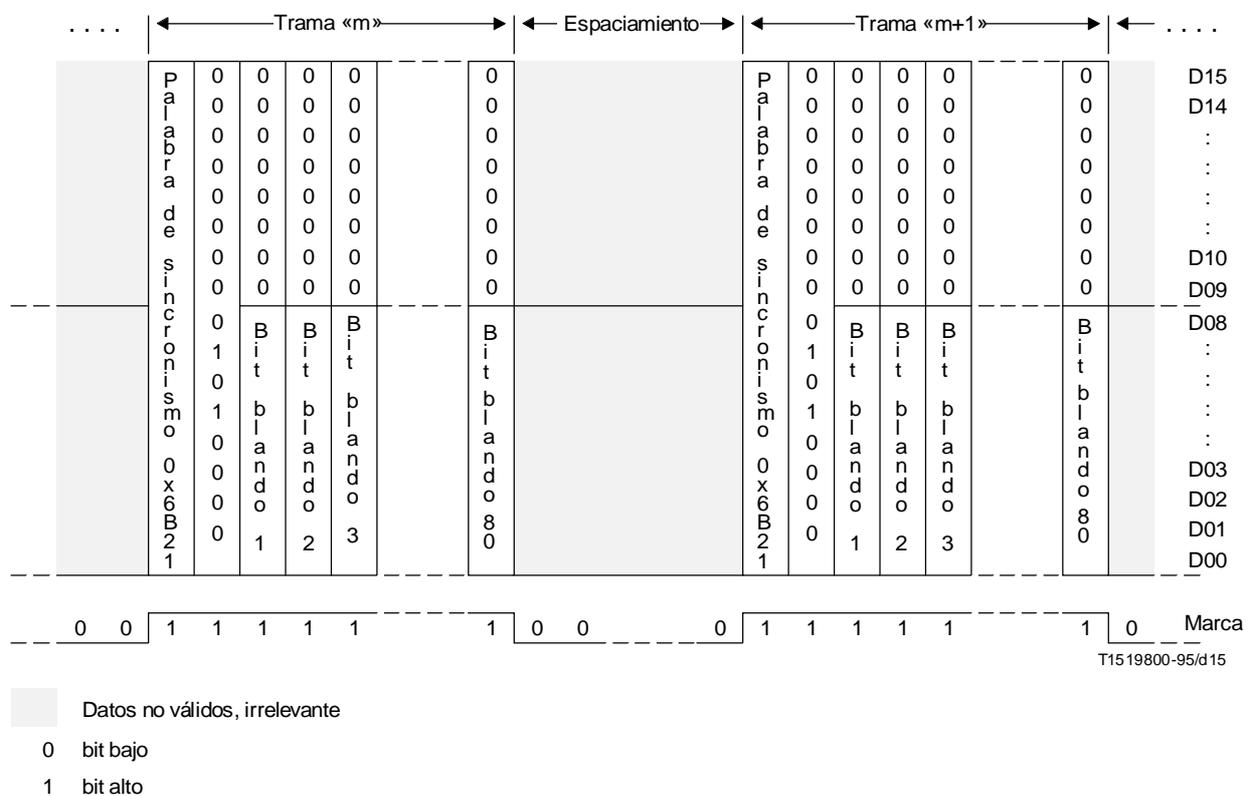


FIGURA I.2/G.192

Señal de canal que representa el tren de bits codificado de un códec a 8 kbit/s para una longitud de trama vocal de 10 ms

Referencias

- Recomendación UIT-T G.729 (1996), *Codificación de la voz a 8 kbit/s utilizando predicción lineal con excitación de código algebraico de estructura conjugada.*
- Recomendación UIT-T G.191 (1993), *Herramientas de soporte lógico para la normalización de la codificación de señales vocales y de audio.*