



UNIÓN INTERNACIONAL DE TELECOMUNICACIONES

**CCITT**

**G.727**

COMITÉ CONSULTIVO  
INTERNACIONAL  
TELEGRÁFICO Y TELEFÓNICO

**APECTOS GENERALES DE LOS SISTEMAS  
DE TRANSMISIÓN DIGITAL;  
EQUIPOS TERMINALES**

---

**MODULACIÓN POR IMPULSOS CODIFICADOS  
DIFERENCIAL ADAPTATIVA Y (MICDA)  
JERARQUIZADA CON 5, 4, 3 Y 2 bits  
POR MUESTRA**

**Recomendación G.727**

---



Ginebra, 1990

## PREFACIO

El CCITT (Comité Consultivo Internacional Telegráfico y Telefónico) es un órgano permanente de la Unión Internacional de Telecomunicaciones (UIT). Este órgano estudia los aspectos técnicos, de explotación y tarifarios y publica Recomendaciones sobre los mismos, con miras a la normalización de las telecomunicaciones en el plano mundial.

La Asamblea Plenaria del CCITT, que se celebra cada cuatro años, establece los temas que han de estudiarse y aprueba las Recomendaciones preparadas por sus Comisiones de Estudio. La aprobación de Recomendaciones por los miembros del CCITT entre las Asambleas Plenarias de éste es el objeto del procedimiento establecido en la Resolución N.º 2 del CCITT (Melbourne, 1988).

La Recomendación G.727 ha sido preparada por la Comisión de Estudio XV y fue aprobada por el procedimiento de la Resolución N.º 2 el 14 de diciembre de 1990.

---

## NOTA DEL CCITT

En esta Recomendación, la expresión «Administración» se utiliza para designar, en forma abreviada, tanto una Administración de telecomunicaciones como una empresa privada de explotación de telecomunicaciones reconocida.

© UIT 1990

Es propiedad. Ninguna parte de esta publicación puede reproducirse o utilizarse, de ninguna forma o por ningún medio, sea éste electrónico o mecánico, de fotocopia o de microfilm, sin previa autorización escrita por parte de la UIT.

## Recomendación G.727

### MODULACIÓN POR IMPULSOS CODIFICADOS DIFERENCIAL ADAPTATIVA JERARQUIZADA CON 5, 4, 3 Y 2 bits POR MUESTRA

#### 1 Introducción

Esta Recomendación contiene la especificación de un algoritmo de modulación por impulsos codificados diferencial adaptativa (MICDA) jerarquizada que funciona con 5, 4, 3 y 2 bits por muestra (por ejemplo, a velocidades de 40, 32, 24 y 16 kbit/s). Se recomiendan las características indicadas a continuación para la conversión de canales MIC de ley A o ley  $\mu$  de 64 kbit/s en canales de MICDA jerarquizada de velocidad variable, y viceversa.

Se define también la ley de transcodificación aplicable cuando la señal fuente es una señal de modulación por impulsos codificados con una velocidad de impulsos de 64 kbit/s, formada a partir de señales analógicas de frecuencias vocales, conforme se especifica en todos sus detalles en la Recomendación G.711 del CCITT (Libro Azul).

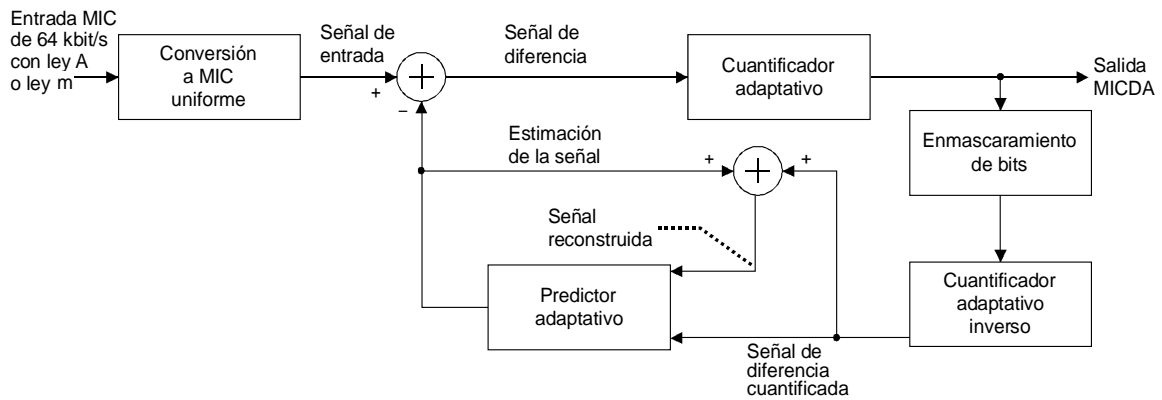
En las aplicaciones donde el codificador conoce y el decodificador desconoce la manera en que se han alterado los bits de la palabra de código MICDA, o donde tanto el codificador como el decodificador conocen las alteraciones de las palabras de código, o donde ni el codificador ni el decodificador conocen la manera en que se han alterado los bits, puede recurrirse a otros algoritmos de MICDA jerarquizada.

#### 2 Consideraciones generales

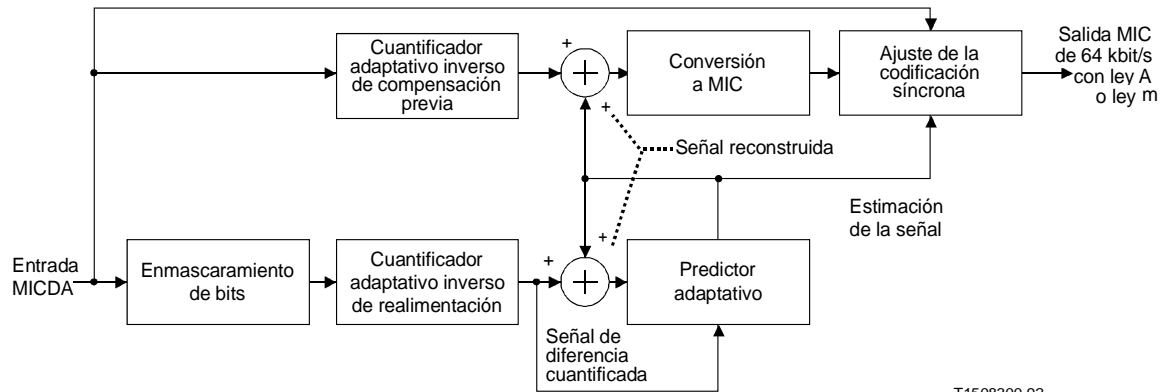
Los algoritmos de MICDA jerarquizada especificados en la presente Recomendación son ampliaciones de los algoritmos MICDA definidos en G.726, y se recomienda utilizarlos en los sistemas de paquetización de voz que funcionan de conformidad con el protocolo de voz paquetizada (PVP) especificado en el proyecto de Recomendación G.764.

El PVP permite aliviar una congestión modificando el tamaño de un paquete de señales vocales, cuando ello resulta necesario. Utilizando la propiedad jerarquizada del algoritmo descrito aquí, puede hacerse caso omiso de uno o más bits menos significativos de cada palabra de código en los puntos de paquetización y/o nodos intermedios, a fin de aliviar la congestión. Se obtiene así un resultado bastante mejor que abandonando paquetes durante la congestión.

En el § 3 se describe en forma resumida el algoritmo de transcodificación MICDA. En la figura 1/G.727 se muestra un diagrama de bloques simplificado del codificador y del decodificador. En los § 4 y 5 figuran, respectivamente, los principios y las descripciones funcionales de los algoritmos de codificación y de decodificación MICDA. El § 6 contiene los detalles del cálculo del algoritmo. En este punto se define con precisión cada subbloque del codificador y del decodificador, empleando una secuencia lógica particular. Si se emplean otros métodos de cálculo, debe procederse con sumo cuidado para garantizar que arrojen *exactamente* el mismo valor de las variables de tratamiento de salida. Cualquier otra diferencia con respecto a los procedimientos detallados en el § 6 producirá degradaciones del funcionamiento que pueden resultar graves.



a) Codificador



T1508300-92

b) Decodificador

FIGURA 1/G.727

Diagramas de bloques simplificados

### 3 Algoritmos de MICDA jerarquizada

Los algoritmos de MICDA jerarquizada son algoritmos de codificación a velocidades variables que ofrecen la posibilidad de abandonar bits de los bloques del codificador y del decodificador. Constituyen una serie de algoritmos tales que los niveles de decisión de los cuantificadores de velocidad inferior son subconjuntos del cuantificador que funciona a la velocidad más alta. Esto permite reducir el número de bits en cualquier punto de la red sin necesidad de una coordinación entre el transmisor y el receptor. A diferencia de ello, los niveles de decisión de los algoritmos MICDA clásicos, como los indicados en la Recomendación G.726, no forman subconjuntos y, por lo tanto, el transmisor tiene que informar al receptor de la velocidad de codificación y del algoritmo de codificación.

Los algoritmos jerarquizados permiten absorber las características imprevisibles con ráfagas de los esquemas de tráfico que requieren un alivio de la congestión. Como la congestión puede aliviarse después de la codificación, la codificación jerarquizada es distinta de la codificación de velocidad variable, en la que el codificador y el decodificador deben emplear el mismo número de bits en cada muestra. En ambos casos, el decodificador debe recibir una indicación del número de bits que debe utilizar en cada muestra.

Los algoritmos jerarquizados producen palabras de código que contienen bits de mejoramiento y bits de núcleo. El trayecto de alimentación adelantada (FF) utiliza bits de mejoramiento y de núcleo, mientras que el trayecto de realimentación (FB) sólo utiliza bits de núcleo. El cuantificador inverso y el predictor del codificador y del decodificador emplean los bits de núcleo. Con esta estructura, pueden descartarse bits de mejoramiento durante la congestión de la red. No obstante, el número de bits de núcleo de los trayectos FB del codificador y del decodificador debe ser el mismo, a fin de evitar errores de pérdida de rastreo.

Las cuatro velocidades de MICDA jerarquizada son 40, 32, 24 y 16 kbit/s, y los niveles de decisión de los cuantificadores de 32, 24 y 16 kbit/s son subconjuntos de los del cuantificador de 40 kbit/s. Los algoritmos de MICDA jerarquizada se designan por pares  $(x, y)$  donde  $x$  se refiere a los bits FF (de mejoramiento y núcleo) de la MICDA, e  $y$  se refiere a los bits FB (de núcleo) de MICDA. Por ejemplo, si  $y$  se fija en 2 bits, (5,2) representará el algoritmo jerarquizado de 40 kbit/s, (4,2) representará el algoritmo jerarquizado de 32 kbit/s, (3,2) representará el algoritmo jerarquizado de 24 kbit/s y (2,2) el algoritmo de 16 kbit/s. La velocidad binaria nunca es menor a 16 kbit/s, porque el número mínimo de bits del núcleo es 2. En la figura 1/G.727 aparecen diagramas de bloques simplificados del codificador y del decodificador de MICDA jerarquizada.

La Recomendación prevé las velocidades de codificación de 40, 32, 24 y 16 kbit/s y velocidades binarias de núcleo de 32, 24 y 16 kbit/s. Esto corresponde a los pares siguientes: (5,2), (4,2), (3,2), (2,2); (5,3), (4,3), (3,3); (5,4), (4,4).

### 3.1 *Codificador MICDA*

Tras la conversión de la señal de entrada MIC de ley A o ley  $\mu$  en una señal MIC uniforme, se obtiene una señal de diferencia sustrayendo, de la señal de entrada, una estimación de dicha señal. Se utiliza un cuantificador adaptativo de 4, 8, 16 ó 32 niveles para asignar 2, 3, 4 ó 5 dígitos binarios al valor de la señal de diferencia para su transmisión al decodificador. (No todos los bits llegan necesariamente al decodificador, ya que algunos de ellos pueden ser abandonados para aliviar la congestión en la red de paquetes. Sin embargo, para una determinada muestra recibida, se garantiza la llegada de los bits de núcleo si no hay errores de transmisión y si los paquetes llegan a su destino.) Los bits FB se aplican al cuantificador inverso. El número de bits de núcleo depende del algoritmo jerarquizado seleccionado; por ejemplo, el algoritmo (5,2) contendrá siempre 2 bits de núcleo. El cuantificador inverso produce una señal de diferencia cuantificada a partir de estos dígitos binarios. El valor estimado de la señal (estimación de señal) se añade a esta señal de diferencia cuantificada para producir la versión reconstruida de la señal de entrada. Tanto la señal reconstruida como la señal de diferencia cuantificada se someten a un predictor adaptativo que produce la estimación de la señal de entrada, completándose así el bucle de realimentación.

### 3.2 *Decodificador MICDA*

El decodificador comprende una estructura idéntica a la parte FB del codificador. Además, tiene un trayecto FF que contiene una conversión de MIC uniforme a ley A o ley  $\mu$ . Los bits tanto de núcleo como de mejoramiento son empleados por el bloque de ajuste de la codificación síncrona para impedir la acumulación de distorsiones en las codificaciones síncronas en cascada (conexiones digitales MICDA-MIC-MICDA, etc.) en ciertas condiciones (véase el § 5.10). El ajuste de la codificación síncrona se consigue ajustando los códigos de salida MIC para eliminar la distorsión de cuantificación en la siguiente etapa de codificación MICDA.

### 3.3 *Requisitos de densidad de «unos»*

Estos algoritmos producen las palabras de código «todos ceros». Si en las redes nacionales existen requisitos en cuanto a la densidad de «unos», deben utilizarse otros métodos para cumplir estos requisitos.

En la aplicación prevista de acuerdo con la Recomendación G.764, el campo de tipo de codificación (TC) y el campo de indicador de abandono de bloque (IAB) del encabezamiento del paquete definido en la Recomendación G.764 informarán al codificador acerca del algoritmo que debe utilizar. En toda otra aplicación, debe comunicarse al decodificador la información que facilita el PVP.

#### 4 Principios del codificador MICDA

La figura 2/G.727 es un esquema de bloques del codificador. Para cada variable descrita,  $k$  es el índice de muestreo, y se toman muestras a intervalos de 125  $\mu$ s. En los § 4.1 a 4.9 se describen los distintos bloques.

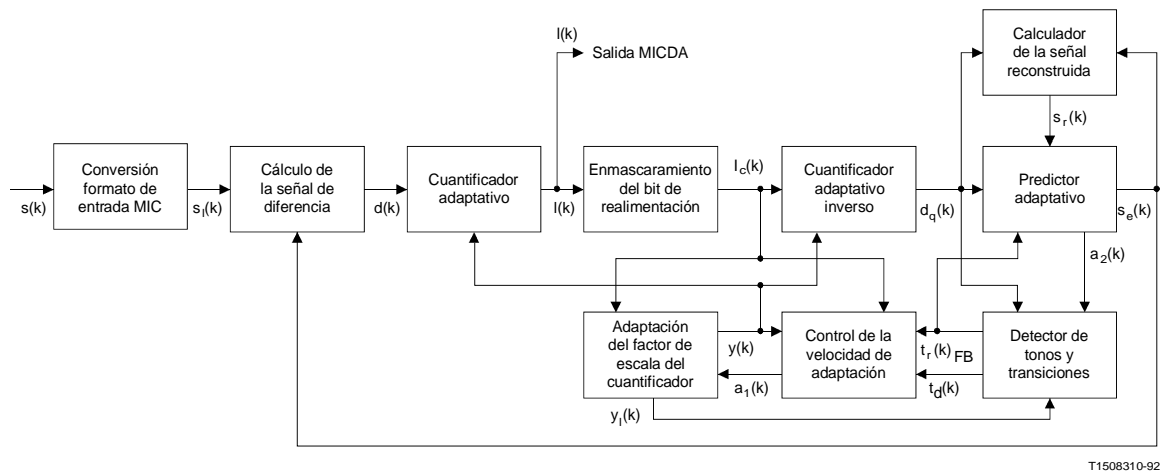


FIGURA 2/G.727  
Esquema de bloques del codificador

##### 4.1 Conversión del formato MIC de entrada

Este bloque convierte la señal de entrada MIC codificada según la ley A o la ley  $\mu$ ,  $s(k)$ , en una señal MIC uniforme,  $s_l(k)$ .

##### 4.2 Cálculo de la señal diferencia

Este bloque calcula la señal diferencia,  $d(k)$ , a partir de la señal MIC uniforme  $s_l(k)$  y de la estimación de señal  $s_e(k)$ :

$$d(k) = s_l(k) - s_e(k) \tag{4-1}$$

### 4.3 Cuantificador adaptativo

Se utiliza un cuantificador de rampa central adaptativo no uniforme de 4, 8, 16 ó 32 niveles para cuantificar la señal diferencia  $d(k)$ . Antes de la cuantificación,  $d(k)$  se convierte a una representación logarítmica de base 2 y es proporcionalizado por el factor de escala  $y(k)$ , calculado por el bloque de adaptación del factor de escala. La característica normalizada de entrada/salida (valores de precisión infinita) del cuantificador se indica en los cuadros 1/G.727 a 4/G.727 para los algoritmos de 16, 24, 32 y 40 kbit/s, respectivamente. Se utilizan 2, 3, 4 ó 5 dígitos binarios para especificar el nivel cuantitativo que representa a  $d(k)$  (el bit más significativo representa el bit de signo y los bits restantes representan la magnitud). La salida de 2, 3, 4 ó 5 bits del cuantificador,  $I(k)$ , constituye la señal de salida a 16, 24, 32 ó 40 kbit/s y se aplica también al bloque de enmascaramiento de bits.  $I(k)$  contiene tanto los bits de mejoramiento como los de núcleo.

### 4.4 Enmascaramiento de bits

Este bloque produce los bits de núcleo,  $I_c(k)$ , desplazando lógicamente hacia la derecha la señal de entrada  $I(k)$ , a fin de enmascarar el mayor número posible de bits abandonables (menos significativos). El número de bits por enmascarar y el número de emplazamientos por desplazar hacia la derecha dependen del algoritmo jerarquizado seleccionado; por ejemplo, este bloque enmascarará los dos bits menos significativos (LSB) y desplazará los bits restantes dos emplazamientos hacia la derecha, cuando se seleccione el algoritmo (4,2). La salida  $I_c(k)$  del bloque de enmascaramiento de bits se aplica a los bloques de cuantificador adaptativo inverso, de adaptación del factor de escala del cuantificador y de control de la velocidad de adaptación.

CUADRO 1/G.727

**Característica de entrada/salida normalizada del cuantificador para el funcionamiento jerarquizado a 16 kbit/s**

| Gama de entrada normalizada del cuantificador<br>$\log_2  d(k)  - y(k)$ | $ I(k) $<br>$ I_c(k) $ | Salida normalizada del cuantificador<br>$\log_2  d_q(k)  - y(k)$ |
|---|------------------------|--|
| $(-\infty, 2,04)$   | 0                      | 0,91   |
| $[2,04, \infty)$  | 1                      | 2,85   |

Nota – En los cuadros 1/G.727 a 4/G.727, «[» indica que el valor extremo está incluido, en la gama, y «(» ó «)» indica que el valor extremo no está incluido en la gama.

CUADRO 2/G.727

**Característica de entrada/salida normalizada del cuantificador para el funcionamiento jerarquizado a 24 kbit/s**

| Gama de entrada normalizada del cuantificador<br>$\log_2  d(k)  - y(k)$ | $ I(k) $<br>$ I_c(k) $ | Salida normalizada del cuantificador<br>$\log_2  d_q(k)  - y(k)$ |
|---|------------------------|--|
| $(-\infty, 0,96)$   | 0                      | -0,09  |
| $[0,96, 2,04)$  | 1                      | 1,55   |
| $[2,04, 2,78)$  | 2                      | 2,40   |
| $[2,78, \infty)$  | 3                      | 3,09   |

CUADRO 3/G.727

**Característica de entrada/salida normalizada  
del cuantificador para el funcionamiento jerarquizado a 32 kbit/s**

| Gama de entrada normalizada<br>del cuantificador<br>$\log_2  d(k)  - y(k)$ | $ I(k) $<br>$ I_c(k) $ | Salida normalizada<br>del cuantificador<br>$\log_2  d_q(k)  - y(k)$ |
|--|------------------------|---|
| $(-\infty, -0,05)$   | 0                      | -1,06   |
| $[-0,05, 0,96)$  | 1                      | 0,53  |
| $[0,96, 1,58)$   | 2                      | 1,29  |
| $[1,58, 2,04)$   | 3                      | 1,81  |
| $[2,04, 2,42)$   | 4                      | 2,23  |
| $[2,42, 2,78)$   | 5                      | 2,59  |
| $[2,78, 3,16)$   | 6                      | 2,95  |
| $[3,16, \infty)$   | 7                      | 3,34  |

CUADRO 4/G.727

**Característica de entrada/salida normalizada  
del cuantificador para el funcionamiento jerarquizado a 40 kbit/s**

| Gama de entrada normalizada<br>del cuantificador<br>$\log_2  d(k)  - y(k)$ | $ I(k) $ | Salida normalizada<br>del cuantificador<br>$\log_2  d_q(k)  - y(k)$ |
|--|----------|---|
| $(-\infty, -1,05)$   | 0        | -2,06   |
| $[1,05, -0,05)$  | 1        | -0,48   |
| $[-0,05, 0,54)$  | 2        | 0,27  |
| $[0,54, 0,96)$   | 3        | 0,76  |
| $[0,96, 1,30)$   | 4        | 1,13  |
| $[1,30, 1,58)$   | 5        | 1,44  |
| $[1,58, 1,82)$   | 6        | 1,70  |
| $[1,82, 2,04)$   | 7        | 1,92  |
| $[2,04, 2,23)$   | 8        | 2,13  |
| $[2,23, 2,42)$   | 9        | 2,33  |
| $[2,42, 2,60)$   | 10       | 2,51  |
| $[2,60, 2,78)$   | 11       | 2,69  |
| $[2,78, 2,97)$   | 12       | 2,87  |
| $[2,97, 3,16)$   | 13       | 3,05  |
| $[3,16, 3,43)$   | 14       | 3,27  |
| $[3,43, \infty)$   | 15       | 3,56  |



#### 4.5 Cuantificador adaptativo inverso

El cuantificador inverso utiliza los bits de núcleo para calcular una versión cuantificada  $d_q(k)$  de la señal diferencia mediante el factor de escala  $y(k)$  y el cuadro 1/G.727, 2/G.727, 3/G.727 ó 4/G.727 y tomando seguidamente el antilogaritmo en base 2 del resultado. La diferencia estimada  $s_e(k)$  se añade a  $d_q(k)$  para producir la versión reconstruida  $s_r(k)$  de la señal de entrada. El cuadro 1/G.727, 2/G.727, 3/G.727 ó 4/G.727 es aplicable únicamente cuando hay, respectivamente 2, 3, 4 ó 5 bits, en el trayecto FF.

#### 4.6 Adaptación del factor de escala del cuantificador

Este bloque calcula  $y(k)$ , el factor de escala para el cuantificador y el cuantificador inverso. [Se aplica también el factor de escala  $y(k)$  al bloque de control de la velocidad de adaptación.] Las señales de entrada están constituidas por la salida con enmascaramiento de bit  $I_c(k)$  y el parámetro de control de la velocidad de adaptación  $a_l(k)$ .

Para la proporcionalización del cuantificador, se sigue el principio básico de la adaptación bimodal:

- un modo rápido para señales que producen señales diferencia con grandes fluctuaciones (por ejemplo, las señales vocales);
- un modo lento para señales que producen señales diferencia con pequeñas fluctuaciones (por ejemplo, datos en banda vocal, tonos).

La velocidad de adaptación se controla mediante una combinación de factores de escala con adaptación rápida y lenta.

El factor de escala (no bloqueado) con adaptación rápida  $y_u(k)$  se calcula recursivamente en el dominio logarítmico de base 2 a partir del factor de escala logarítmico resultante  $y(k)$ :

$$y_u(k) = (1 - 2^{-5}) y(k) + 2^{-5} W[I_c(k)] \quad (4-2)$$

donde:

$y_u(k)$  es tal que  $1,06 \leq y_u(k) \leq 10,00$ .

En el funcionamiento con 2 bits de núcleo (1 bit de signo), la función discreta  $W[I_c(k)]$  se define de la manera siguiente (valores de precisión infinita):

|              |       |       |
|--------------|-------|-------|
| $  I_c(k)  $ | 1     | 0     |
| $W[I_c(k)]$  | 27,44 | -1,38 |

En el funcionamiento con 3 bits de núcleo (1 bit de signo), la función discreta  $W[I_c(k)]$  se define de la manera siguiente (valores de precisión infinita):

|             |       |      |      |       |
|-------------|-------|------|------|-------|
| $ I_c(k) $  | 3     | 2    | 1    | 0     |
| $W[I_c(k)]$ | 36,38 | 8,56 | 1,88 | -0,25 |

En el funcionamiento con 4 bits de núcleo (1 bit de signo), la función discreta  $W[I_c(k)]$  se define de la manera siguiente (valores de precisión infinita):

|             |       |       |       |      |      |      |      |       |
|-------------|-------|-------|-------|------|------|------|------|-------|
| $ I_c(k) $  | 7     | 6     | 5     | 4    | 3    | 2    | 1    | 0     |
| $W[I_c(k)]$ | 69,25 | 21,25 | 11,50 | 6,13 | 3,13 | 1,69 | 0,25 | -0,75 |

El factor  $(1 - 2^{-5})$  introduce una memoria finita en el proceso adaptativo, de manera que los estados del codificador y decodificador convergen tras errores de transmisión.

El factor de escala (bloqueado) con adaptación lenta  $y_l(k)$  se obtiene aplicando a  $y_u(k)$  una operación de filtrado de paso bajo:

$$y_l(k) = (1 - 2^{-6}) y_l(k - 1) + 2^{-6} y_u(k) \quad (4-3)$$

Los factores de escala con adaptación rápida y lenta se combinan entonces para formar el factor de escala resultante:

$$y(k) = a_l(k) y_u(k - 1) + [1 - a_l(k)] y_l(k - 1) \quad (4-4)$$

donde:

$$0 \leq a_l(k) \leq 1.$$

#### 4.7 Control de la velocidad de adaptación

El parámetro de control  $a_l(k)$  puede tomar valores en la del intervalo  $[0, 1]$ . Tiende a uno para las señales vocales y a cero para las señales de datos en banda vocal. Se obtiene a partir de una medida de la tasa de variación de la señal de diferencia.

Se calculan dos medidas de la magnitud media de  $I_c(k)$ :

$$d_{ms}(k) = (1 - 2^{-5}) d_{ms}(k - 1) + 2^{-5} F [I_c(k - 1)] \quad (4-5)$$

y

$$d_{ml}(k) = (1 - 2^{-7}) d_{ml}(k - 1) + 2^{-7} F [I_c(k - 1)] \quad (4-6)$$

donde:

$F[I_c(k)]$  se define por

|              |   |   |
|--------------|---|---|
| $  I_c(k)  $ | 1 | 0 |
| $F[I_c(k)]$  | 7 | 0 |

en el funcionamiento con 2 bits de núcleo (1 bit de signo); o por

|              |   |   |   |   |
|--------------|---|---|---|---|
| $  I_c(k)  $ | 3 | 2 | 1 | 0 |
| $F[I_c(k)]$  | 7 | 2 | 1 | 0 |

en el funcionamiento con 3 bits de núcleo (1 bit de signo); o por

|              |   |   |   |   |   |   |   |   |
|--------------|---|---|---|---|---|---|---|---|
| $  I_c(k)  $ | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
| $F[I_c(k)]$  | 7 | 3 | 1 | 1 | 1 | 0 | 0 | 0 |

en el funcionamiento con 4 bits de núcleo (1 bit de signo).

Por lo tanto,  $d_{ms}(k)$  es un valor medio de  $F[I_c(k)]$  a relativamente corto plazo; y  $d_{ml}(k)$  es un valor medio de  $F[I_c(k)]$  a relativamente largo plazo.

Utilizando estos dos valores medios, la variable  $a_p(k)$  se define de la manera siguiente:

$$a_p(k) = \begin{cases} (1 - 2^{-4}) a_p(k - 1) + 2^{-3}, & \text{si } | d_{ms}(k) - d_{ml}(k) | \geq 2^{-3} d_{ml}(k) \\ (1 - 2^{-4}) a_p(k - 1) + 2^{-3}, & \text{si } y(k) < 3 \\ (1 - 2^{-4}) a_p(k - 1) + 2^{-3}, & \text{si } t_d(k) = 1 \\ 1, & \text{si } t_r(k) = 1 \\ (1 - 2^{-4}) a_p(k - 1), & \text{en los demás casos} \end{cases} \quad (4-7)$$

De esta manera,  $a_p(k)$  tiende a dos si la diferencia entre  $d_{ms}(k)$  y  $d_{ml}(k)$  es grande [magnitud media de  $I_c(k)$  variable], para las señales de canal en reposo [indicado por  $y(k) < 3$ ] o para las señales de banda parcial [indicada por  $t_d(k) = 1$  según se describe en el § 4.9]. El valor de  $a_p(k)$  tiende a cero si la diferencia es pequeña (magnitud media de  $I_c(k)$  relativamente constante). Obsérvese que  $a_p(k)$  se fija a uno al detectarse una transición de la señal de banda parcial [indicada por  $t_r(k) = 1$ , véase el § 4.9].

$a_p(k-1)$  está entonces limitada a dar la  $a_l(k)$  utilizada en la anterior ecuación (4-4), o sea:

$$a_l(k) = \begin{cases} 1, & a_p(k-1) > 1 \\ a_p(k-1), & a_p(k-1) \leq 1 \end{cases} \quad (4-8)$$

Esta limitación asimétrica tiene por efecto retrasar el comienzo de una transición del modo rápido al lento hasta que el valor absoluto de  $I_c(k)$  se mantenga constante durante cierto tiempo. Esto tiende a eliminar transiciones prematuras de las señales de entrada de tipo de impulsos, como los datos en banda vocal con portadora conmutada.

#### 4.8 *Predictor adaptativo y calculador de la señal reconstruida de realimentación*

La función primaria de un predictor adaptativo consiste en generar la estimación de señal  $s_e(k)$  a partir de la señal de diferencia cuantificada  $d_q(k)$ . Para el predictor adaptativo se utiliza una doble estructura constituida por una sección de sexto orden que modela ceros y una sección de segundo orden que modela polos en la señal de entrada. Esta doble estructura responde eficazmente a la diversidad de señales de entrada que pueden darse.

La estimación de señal viene dada por:

$$s_e(k) = \sum_{i=1}^2 a_i(k-1) s_r(k-i) + s_{ez}(k) \quad (4-9)$$

donde:

$$s_{ez}(k) = \sum_{i=1}^6 b_i(k-1) d_q(k-i)$$

y la señal reconstruida se define como:

$$s_r(k-i) = s_e(k-i) + d_q(k-i)$$

Ambos conjuntos de coeficientes del predictor se actualizan mediante un algoritmo de gradiente simplificado.

Para el predictor de segundo orden:

$$a_1(k) = (1 - 2^{-8}) a_1(k-1) + (3 \cdot 2^{-8}) \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-1)] \quad (4-10)$$

$$a_2(k) = (1 - 2^{-7}) a_2(k-1) + 2^{-7} \left\{ \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-2)] - f [a_1(k-1)] \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-1)] \right\} \quad (4-11)$$

donde:

$$p(k) = d_q(k) + s_{ez}(k)$$

$$f(a_1) = \begin{cases} 4a_1, & |a_1| \leq 2^{-1} \\ 2\text{sgn}(a_1), & |a_1| > 2^{-1} \end{cases}$$

y  $\text{sgn}[0] = 1$ , con la salvedad de que por definición  $\text{sgn}[p(k - i)]$  sólo se anula para  $p(k - i) = 0$  e  $i = 0$ ; con las limitaciones de estabilidad:

$$|a_2(k)| \leq 0,75 \text{ y } |a_1(k)| \leq 1 - 2^{-4} - a_2(k)$$

Si  $t_r(k) = 1$  (véase el § 4.9),  $a_1(k) = a_2(k) = 0$ .

Para el predictor de sexto orden:

$$b_i(k) = (1 - 2^{-8}) b_i(k - 1) + 2^{-7} \text{sgn} [d_q(k)] \text{sgn} [d_q(k - i)] \quad (4-12)$$

para  $i = 1, 2, \dots, 6$ .

Si  $t_r(k) = 1$  (véase el § 4.9),  $b_1(k) = b_2(k) = \dots = b_6(k) = 0$ .

Al igual que en el caso anterior,  $\text{sgn}[0] = 1$ , con la salvedad que por definición  $\text{sgn}[d_q(k - i)]$  sólo se anula si  $d_q(k - i) = 0$  e  $i = 0$ . Obsérvese que  $b_i(k)$  se limita implícitamente a  $\pm 2$ .

#### 4.9 *Detector de tono y transición*

A fin de mejorar la calidad de las señales originadas en módems con modulación por desplazamiento de frecuencia (MDF) que funcionan en el modo de carácter, se define un proceso de detección en dos etapas. En primer lugar, se invoca la detección de la señal en banda parcial (por ejemplo, tonos), de modo que el cuantificador pueda ponerse en el modo de adaptación rápido:

$$t_d(k) = \begin{cases} 1, & a_2(k) < -0,71875 \\ 0, & \text{en los demás casos} \end{cases} \quad (4-13)$$

Se define una transición desde una señal en banda parcial, de modo que los coeficientes del predictor puedan ponerse a cero, y pueda obligarse al cuantificador a funcionar en el modo de adaptación rápido:

$$t_r(k) = \begin{cases} 1, & a_2(k) < -0,71875 \text{ y } |d_q(k)| > 24 \cdot 2^{y_l(k)} \\ 0, & \text{en los demás casos} \end{cases} \quad (4-14)$$

## 5 Principios del decodificador MICDA

La figura 3/G.727 es un diagrama de bloques del decodificador. En los § 5.1 a 5.10 aparece una descripción funcional de cada bloque. Hay un trayecto FB y un trayecto FF. El trayecto FB utiliza los bits de núcleo para calcular la estimación de la señal. El trayecto FF contiene los bits de núcleo y mejorados, y reconstruye la palabra de código MIC de salida.

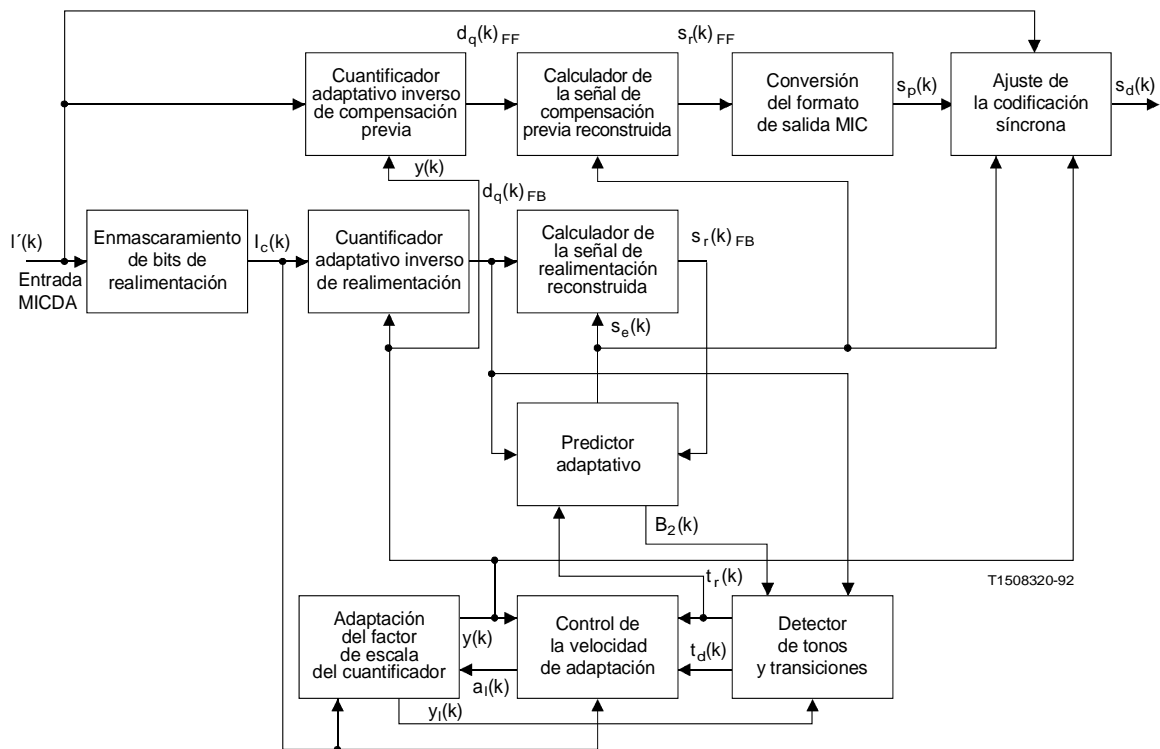


FIGURA 3/G.727

Diagrama de bloques del decodificador

5.1 *Enmascaramiento de bits*

La función de este bloque se describe en el § 4.4.

5.2 *Cuantificador adaptativo inverso de realimentación*

La función de este bloque se describe en el § 4.5.

5.3 *Cuantificador adaptativo inverso de compensación previa*

Se produce una señal diferencia cuantificada  $d_q(k)$ , de la señal diferencia a partir de la señal de entrada  $I'(k)$ , que contiene los bits de núcleo y mejorados.

5.4 *Adaptación del factor de escala del cuantificador*

La función de este bloque se describe en el § 4.6.

5.5 *Control de la velocidad de adaptación*

Las funciones de este bloque se describen en el § 4.7.

## 5.6 *Predictor adaptativo y calculador de la señal reconstruida de realimentación*

La funciones de este bloque se describen en el § 4.8.

## 5.7 *Calculador de la señal de compensación previa reconstruida*

Este bloque recibe señales de entrada viniendo del cuantificador adaptativo inverso FF y del predictor adaptativo, para reconstituir la señal MIC uniforme que se aplica al bloque de conversión de formato MIC.

## 5.8 *Detector de tonos y transiciones*

La función de este bloque se describe en el § 4.9.

## 5.9 *Conversión del formato MIC de salida*

Este bloque convierte la señal MIC uniforme reconstruida  $s_r(k)_{FF}$  en una señal MIC de ley A o de ley  $\mu$   $s_p(k)$ , según se requiera.

## 5.10 *Ajuste de codificación síncrona*

El ajuste de codificación síncrona evita que se produzcan distorsiones acumulativas en las codificaciones síncronas en cascada (conexiones digitales MICDA-MIC-MICDA, etc.), con miras a:

- la transmisión exenta de errores;
- los casos en que los trenes binarios de MICDA jerarquizada y los trenes MIC a 64 kbit/s intermedios no son perturbados por dispositivos de proceso de la señal digital.

Si el codificador y el decodificador tienen condiciones iniciales distintas, como puede ocurrir, por ejemplo, después de la conmutación, es posible que lleve tiempo establecer la propiedad de conexión en cascada síncrona. Por otra parte, si esta propiedad es perturbada o no se adquiere inicialmente, puede recuperarse para las señales de nivel suficiente con espectros que ocupen la mayoría de la banda 200 a 3400 Hz (por ejemplo, señales vocales, datos en banda vocal a 4800 bit/s).

Cuando un decodificador está síncronamente conectado a un codificador, el bloque de ajuste de codificación síncrona estima la cuantificación en el codificador. Si todas las variables de estado del decodificador y del codificador tienen valores idénticos y no hay errores de transmisión, la equivalencia forzada de ambas secuencias de salida del cuantificador de compensación previa, para todos los valores de  $k$ , garantiza que no se produzca una acumulación de distorsión.

Esto se consigue convirtiendo primero la señal de ley A o ley  $\mu$   $s_p(k)$ , en una señal MIC uniforme  $s_{lx}(k)$ , y calculando a continuación una señal diferencia  $d_x(k)$ :

$$d_x(k) = s_{lx}(k) - s_e(k) \quad (5-1)$$

Se examina entonces la señal diferencia  $d_x(k)$  para ver si cae en el intervalo de decisión del cuantificador MICDA, determinado por  $I(k)$  e  $y(k)$ . A continuación, se define la señal  $s_d(k)$  de la manera siguiente:

$$s_d(k) = \begin{cases} s_p^+(k), & d_x(k) < \text{límite inferior del intervalo} \\ s_p^-(k), & d_x(k) \geq \text{límite superior del intervalo} \\ s_p(k), & \text{en los demás casos} \end{cases} \quad (5-2)$$

donde:

$s_d(k)$ : es la palabra de código MIC de salida del decodificador,

$s_p^+(k)$ : es la palabra de código MIC que representa el siguiente nivel de salida MIC más positivo [cuando  $s_p(k)$  representa el nivel de salida más positivo,  $s_p^+(k)$  está mantenido al valor  $s_p(k)$ ],

$s_p^-(k)$ : es la palabra de código MIC que representa el siguiente nivel de salida MIC más negativo [cuando  $s_p(k)$  representa el nivel de salida más negativo,  $s_p^-(k)$  está mantenido al valor  $s_p(k)$ ].

## 6 Detalles del cálculo

En los § 6.1 y 6.2 se dan detalles del cálculo para los elementos del codificador y del decodificador.

Se obtiene una temporización adecuada para el codificador y el decodificador ejecutando todos los bloques de retardo simultáneamente y calculando a continuación las señales que pueden obtenerse a partir de los valores de salida de dichos bloques. Por ejemplo, la señal estimada (SE) de la figura 10/G.727 se calcula utilizando los valores de retardo, y a continuación se utiliza SE como se indica en la figura 4/G.727.

### 6.1 Señales de entrada y de salida

En el cuadro 5/G.727 se definen las señales de entrada y de salida del codificador y decodificador. En el cuadro 6/G.727 se definen los variables de control del algoritmo.

Una señal opcional R representa una función de reiniciación que pone todos los elementos de memoria interna en una condición especificada, de modo que un codificador o un decodificador pueda forzarse a pasar a un estado conocido. En las aplicaciones que requieren una función de reiniciación inmediata (por ejemplo, equipo de multiplicación de circuitos digitales) esta reiniciación no es opcional sino obligatoria.



CUADRO 5/G.727

**Señales de entrada y de salida**

| CODIFICADOR   |              |                |  |
|---------------|--------------|----------------|--|
|               | Nombre       | Número de bits | Descripción  |
| Entrada       | S            | 8              | Palabra de entrada MIC                             |
| Entrada       | LAW          | 1              | Selección de ley MIC,<br>0 = ley $\mu$ , 1 = ley A |
| Entrada       | R (opcional) | 1              | Reiniciación                                       |
| Salida        | I            | C + E          | C = bits de núcleo<br>E = bits de mejoramiento     |
| DECODIFICADOR |              |                |  |
|               | Nombre       | Número de bits | Descripción  |
| Entrada       | I'           | C + E          | C = bits de núcleo<br>E = bits de mejoramiento     |
| Entrada       | LAW          | 1              | Selección de ley MIC,<br>0 = ley $\mu$ , 1 = ley A |
| Entrada       | R (opcional) | 1              | Reiniciación                                       |
| Salida        | SD           | 8              | Palabra de salida MIC del<br>decodificador         |

CUADRO 6/G.727

**Variables de control**

| Velocidad de codificación (kbit/s) | Bits de núcleo (C) | Bits de mejoramiento (E) |
|------------------------------------|--------------------|--------------------------|
| 16                                 | 2                  | 0                        |
| 24                                 | 2                  | 1                        |
|                                    | 3                  | 0                        |
| 32                                 | 2                  | 2                        |
|                                    | 3                  | 1                        |
|                                    | 4                  | 0                        |
| 40                                 | 2                  | 3                        |
|                                    | 3                  | 2                        |
|                                    | 4                  | 1                        |

*Nota* – En el funcionamiento a 16 kbit/s, 24 kbit/s y 32 kbit/s, E = 0 corresponde a los algoritmos de velocidades superiores con todos los bits de mejoramiento abandonados. En el funcionamiento a 40 kbit/s, no es válido E = 0 porque no fue definido ningún algoritmo jerarquizado de velocidad superior.

CUADRO 7/G.727

## Variables del procesamiento interno

| Denominación                             | Bits  | Representación binaria | Valores opcionales de reiniciación | Descripción   |
|--|-------|------------------------|------------------------------------|---|
| A1 <sup>a)</sup> , A2 <sup>a)</sup>      | 16 TC | S,0,...,-14            | 0                                  | Coefficientes retardados de segundo orden del predictor                     |
| A1P, A2P                                 | 16 TC | S,0,...,-14            |                                    | Coefficientes del predictor de segundo orden                                |
| A1R, A2R                                 | 16 TC | S,0,...,-14            |                                    | Coefficientes activados del predictor de segundo orden                      |
| A1T                                      | 16 TC | S,0,...,-14            |                                    | Coefficiente $a_1$ ilimitado  |
| A2T                                      | 16 TC | S,0,...,-14            |                                    | Coefficiente $a_2$ ilimitado  |
| AL                                       | 7 SM  | 0,...,-6               |                                    | Parámetro de control limitado de velocidad                                  |
| AP <sup>a)</sup>                         | 10 SM | 1,...,-8               | 0                                  | Parámetro de control ilimitado retardado de velocidad                       |
| APP                                      | 10 SM | 1,...,-8               |                                    | Parámetro de control ilimitado de velocidad                                 |
| APR                                      | 10 SM | 1,...,-8               |                                    | Parámetro de control ilimitado activado de velocidad                        |
| AX                                       | 1 SM  | 1                      |                                    | Actualización del parámetro de control de velocidad                         |
| B1 <sup>a)</sup> ,...,B6 <sup>a)</sup>   | 16 TC | S,0,...,-14            | 0                                  | Coefficientes retardados del predictor de sexto orden                       |
| B1P, ..., B6P                            | 16 TC | S,0,...,-14            |                                    | Coefficientes del predictor de sexto orden                                  |
| B1R, ..., B6R                            | 16 TC | S,0,...,-14            |                                    | Coefficientes activados del predictor de sexto orden                        |
| D  | 16 TC | S,14,...,0             |                                    | Señal diferencia, sólo en codificador                                       |
| DL                                       | 11 SM | 3,...,-7               |                                    | $\text{Log}_2$ (señal diferencia), sólo en codificador                      |
| DLN                                      | 12 TC | S,3,...,-7             |                                    | $\text{Log}_2$ (diferencia normalizada), sólo en codificador                |
| DLNX                                     | 12 TC | S,3,...,-7             |                                    | $\text{Log}_2$ (diferencia normalizada), sólo en decodificador              |
| DLX                                      | 11 SM | 3,...,-7               |                                    | $\text{Log}_2$ (señal diferencia), sólo en decodificador                    |
| DML <sup>a)</sup>                        | 14 SM | 2,...,-11              | 0                                  | Media retardada a largo plazo de la secuencia F(I)                          |
| DMLP                                     | 14 SM | 2,...,-11              |                                    | Media a largo plazo de la secuencia F(I)                                    |
| DMS <sup>a)</sup>                        | 12 SM | 2,...,-9               | 0                                  | Media retardada a corto plazo de la secuencia F(I)                          |
| DMSP                                     | 12 SM | 2,...,-9               |                                    | Media a corto plazo de la secuencia F(I)                                    |
| DQ <sub>FB</sub>                         | 15 SM | S,13,...,0             |                                    | Señal diferencia cuantificada de realimentación (FB)                        |
| DQ <sub>FF</sub>                         | 15 SM | S,13,...,0             |                                    | Señal diferencia cuantificada de compensación previa (FF)                   |
| DQ0                                      | 11 FL | S,4e,6m                |                                    | Señal diferencia cuantificada con retardo 0                                 |
| DQ1 <sup>a)</sup> ,...,DQ6 <sup>a)</sup> | 11 FL | S,4e,6m                | 32                                 | Señal diferencia cuantificada con retardos 1 a 6                            |
| DQ <sub>LFB</sub>                        | 12 TC | S,3,...,-7             |                                    | $\text{Log}_2$ (señal diferencia cuantificada de realimentación)            |
| DQ <sub>LFF</sub>                        | 12 TC | S,3,...,-7             |                                    | $\text{Log}_2$ (señal diferencia cuantificada de compensación previa)       |
| DQ <sub>LNFB</sub>                       | 12 TC | S,3,...,-7             |                                    | $\text{Log}_2$ (diferencia cuantificada normalizada de realimentación)      |
| DQ <sub>LNFF</sub>                       | 12 TC | S,3,...,-7             |                                    | $\text{Log}_2$ (diferencia cuantificada normalizada de compensación previa) |
| DQS <sub>FB</sub>                        | 1 TC  | S                      |                                    | Bit de signo de señal diferencia cuantificada de realimentación             |
| DQS <sub>FF</sub>                        | 1 TC  | S                      |                                    | Bit de signo de señal diferencia cuantificada de compensación previa        |

CUADRO 7/G.727 (cont.)

| Denominación                          | Bits  | Representación binaria | Valores opcionales de reiniciación | Descripción  |
|---------------------------------------|-------|------------------------|------------------------------------|--|
| DS                                    | 1 TC  | S                      |                                    | Bit de signo de señal diferencia, sólo en codificador              |
| DSX                                   | 1 TC  | S                      |                                    | Bit de signo de señal diferencia, sólo en decodificador            |
| DX                                    | 16 TC | S,14,...,0             |                                    | Señal diferencia, sólo en decodificador                            |
| FI                                    | 3 SM  | 2,...,0                |                                    | Salida de F(I)   |
| I <sub>c</sub>                        | 2 SM  | S,0                    |                                    | Bits MICDA de núcleo con 2 bits                                    |
| I <sub>c</sub>                        | 3 SM  | S,1,0                  |                                    | Bits MICDA de núcleo con 3 bits                                    |
| I <sub>c</sub>                        | 4 SM  | S,2,...,0              |                                    | Bits MICDA de núcleo con 4 bits                                    |
| PK0                                   | 1 TC  | S                      |                                    | Signo de DQ + SEZ con retardo 0                                    |
| PK1 <sup>a)</sup> , PK2 <sup>a)</sup> | 1 TC  | S                      | 0                                  | Signo de DQ + SEZ con retardos 1 y 2                               |
| SE                                    | 15 TC | S,13,...,0             |                                    | Estimación de señal  |
| SEZ                                   | 15 TC | S,13,...,0             |                                    | Estimación de señal parcial del predictor de sexto orden           |
| SIGPK                                 | 1 TC  | 0                      |                                    | Bandera sgn [p(k)]   |
| SL                                    | 14 TC | S,12,...,0             |                                    | Señal de entrada lineal, sólo en codificador                       |
| SLX                                   | 14 TC | S,12,...,0             |                                    | Señal reconstruida, cuantificada, sólo en decodificador            |
| SP                                    | 8     |                        |                                    | Señal MIC reconstruida, sólo en decodificador                      |
| SR <sub>FF</sub>                      | 16 TC | S,14,...,0             |                                    | Señal reconstruida   |
| SR <sub>FB</sub>                      | 16 TC | S,14,...,0             |                                    | Señal reconstruida   |
| SR0                                   | 11 FL | S,4e,6m                |                                    | Señal reconstruida con retardo 0                                   |
| SR1 <sup>a)</sup> , SR2 <sup>a)</sup> | 11 FL | S,4e,6m                | 32                                 | Señal reconstruida con retardos 1 y 2                              |
| TD <sup>a)</sup>                      | 1 TC  | 0                      | 0                                  | Detección de tono retardada  |
| TDP                                   | 1 TC  | 0                      |                                    | Detección de tono  |
| TDR                                   | 1 TC  | 0                      |                                    | Detección de tono activada   |
| TR                                    | 1 TC  | 0                      |                                    | Detección de transición  |
| U1,...,U6                             | 1 TC  | S                      |                                    | Bit signo actualización coeficiente del predictor de sexto orden   |
| WA1,WA2                               | 16 TC | S,13,...,-1            |                                    | Producto parcial de estimación de señal                            |
| WB1,...,WB6                           | 16 TC | S,13,...,-1            |                                    | Producto parcial de estimación de señal                            |
| WI                                    | 12 TC | S,6,...,-4             |                                    | Multiplicador del cuantificador                                    |
| Y                                     | 13 SM | 3,...,-9               |                                    | Factor de escala con adaptación del cuantificador                  |
| YL <sup>a)</sup>                      | 19 SM | 3,...,-15              | 34816                              | Factor de escala con adaptación lenta retardado del cuantificador  |
| YLP                                   | 19 SM | 3,...,-15              |                                    | Factor de escala con adaptación lenta del cuantificador            |
| YU <sup>a)</sup>                      | 13 SM | 3,...,-9               | 544                                | Factor de escala con adaptación rápida retardado del cuantificador |
| YUP                                   | 13 SM | 3,...,-9               |                                    | Factor de escala con adaptación rápida del cuantificador           |
| YUT                                   | 13 SM | 3,...,-9               |                                    | Factor de escala con adaptación rápida ilimitado del cuantificador |

a) Variables fijadas a valores específicos por la reiniciación. Cuando se invoca la reiniciación, la salida del subbloque DELAY (véase el § 7.2.5) se indica en la cuarta columna.

TC Complemento a dos e Bits de exponente  
 SM Magnitud con signo m Bits de mantisa  
 FL Coma flotante S Bit de signo

## 6.2 Descripción de variables y especificación detallada de los subbloques

Este punto contiene una explicación detallada de todos los bloques de las figuras 2/G.727 y 3/G.727 que se han descrito en los § 4 y 5. Las explicaciones se ilustran en las figuras 4/G.727 a 13/G.727 con las variables del proceso interno definidas en el cuadro 7/G.727. Se presenta una breve descripción funcional y la especificación completa de cada subbloque.

Los símbolos utilizados en las descripciones de los subbloques son los siguientes:

|        |   |
|--------|---|
| << $n$ | Desplazamiento de $n$ bits hacia la izquierda (relleno de ceros)  |
| >> $n$ | Desplazamiento de $n$ bits a la derecha (en el sentido del bit menos significativo con relleno de cero) |
| &      | Operación lógica «y»  |
| +      | Adición aritmética  |
| -      | Sustracción aritmética  |
| *      | Multipliación aritmética  |
| **     | Operación lógica «exclusiva o»  |
|        | Observaciones sobre las ecuaciones  |

### 6.2.1 Conversión del formato MIC de entrada y cálculo de la señal de diferencia



T1508330-92

FIGURA 4/G.727

**Conversión del formato MIC de entrada y cálculo de la señal de diferencia**

## EXPAND

Entrada: S (SP en el decodificador), LAW

Salida: SL (SLX en el decodificador)

Función: Conversión de MIC de ley A o ley  $\mu$  a MIC uniforme.

Se decodifica la palabra de código MIC, S, de acuerdo con la Recomendación G.711, utilizando señales de carácter (columna 6 antes de la inversión de los bits pares para la ley A) y valores a la salida del decodificador (columna 7). Los valores a la salida del decodificador, SS, están representados en forma magnitud-signo con 13 bit para la MIC de ley A y magnitud-signo con 14 bit para la MIC de ley  $\mu$  (el bit de signo es uno para valores negativos).

*Nota* – Para la ley A, S (y SP) incluyen la inversión de los bits pares (véase la nota 2 al cuadro 1/G.711).

cuando en  $LAW = 0$ ,  $SSS = SS \gg 13$  | ley  $\mu$   
 $SSQ = SS \& 8191$  |

Cuando  $LAW = 1$ ,  $SSS = SS \gg 12$  |  
 $SSM = SS \& 4095$  | ley A  
 $SSQ = SSM \ll 1$  |

entonces

$$SL = \begin{cases} SSQ, & SSS = 0 \\ (16384 - SSQ) \& 16383, & SSS = 1 \end{cases} \quad \begin{array}{l} | \text{ Conversión de magnitud} \\ | \text{ con signo en complemento} \\ | \text{ a dos} \end{array}$$


---

## SUBTA

Entradas: SL(SLX en el decodificador), SE

Salida: D (DX en el decodificador)

Función: Cálculo de la señal de diferencia sustrayendo la estimación de la señal, de la señal de entrada (o de la señal reconstruida cuantificada en el decodificador).

$$SLS = SL \gg 13$$

$$SLI = \begin{cases} SL, & SLS = 0 \\ 49152 + SL, & SLS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extensión del signo} \\ | \end{array}$$

$$SES = SE \gg 14$$

$$SEI = \begin{cases} SE, & SES = 0 \\ 32768 + SE, & SES = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extensión del signo} \\ | \end{array}$$

$$D = (SLI + 65536 - SEI) \& 65535$$

### 6.2.2 Cuantificador adaptativo

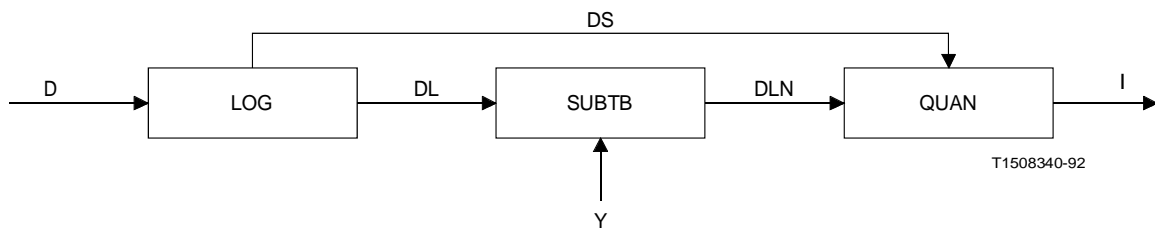


FIGURA 5/G.727  
Cuantificador adaptativo

## LOG

Entrada: D (DX en el decodificador)

Salida: DL (DLX en el decodificador), DS (DSX en el decodificador)

Función: Conversión de la señal de diferencia del dominio lineal al logarítmico.

$$DS = D \gg 15$$

$$DQM = \begin{cases} D, & DS = 0 \\ (65536 - D) \& 32767, & DS = 1 \end{cases} \quad \begin{array}{l} | \text{ Conversión de D de} \\ | \text{ complemento a dos a} \\ | \text{ magnitud con signo} \end{array}$$

$$EXP = \begin{cases} 14, & 16384 \leq DQM \\ 13, & 8192 \leq DQM \leq 16383 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 1, & 2 \leq DQM \leq 3 \\ 0, & 0 \leq DQM \leq 1 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \\ | \\ | \\ | \\ | \\ | \\ | \end{array} \quad \begin{array}{l} \\ \\ \text{Cálculo de exponente} \\ \\ \\ \\ \end{array}$$

$$MANT = ((DQM \ll 7) \gg EXP) \& 127 \quad \begin{array}{l} | \text{ Aproximación de cálculo} \\ | \log_2(1 + x) = x \end{array}$$

$$DL = (EXP \ll 7) + MANT \quad \begin{array}{l} | \text{ Combinación de 7 bits de} \\ | \text{ mantisa y 4 bits de exponente} \\ | \text{ en una palabra de 11 bits} \end{array}$$

## QUAN (codificador únicamente)

Entradas: DLN, DS

Salida: I

Función: Cuantificación de la señal de diferencia en el dominio logarítmico.

CUADRO 8/G.727

Niveles de decisión y salidas de 2 bits del cuantificador de 16 kbit/s

| DS | DLN       | I  |                                   |
|----|-----------|----|-----------------------------------|
|    |           | 12 |                                   |
| 0  | 261-2047  | 01 |                                   |
| 0  | 0- 260    | 00 | --   Parte positiva del intervalo |
| 0  | 2048-4095 | 00 | --   Parte negativa del intervalo |
| 1  | 2048-4095 | 11 | --   Parte negativa del intervalo |
| 1  | 0- 260    | 11 | --   Parte positiva del intervalo |
| 1  | 261-2047  | 10 |                                   |

CUADRO 9/G.727

Niveles de decisión y salidas de 3 bits del cuantificador de 24 kbit/s

| DS | DLN       | I   |                                   |
|----|-----------|-----|-----------------------------------|
|    |           | 123 |                                   |
| 0  | 356-2047  | 011 |                                   |
| 0  | 261- 355  | 010 |                                   |
| 0  | 123- 260  | 001 |                                   |
| 0  | 0- 122    | 000 | --   Parte positiva del intervalo |
| 0  | 2048-4095 | 000 | --   Parte negativa del intervalo |
| 1  | 2048-4095 | 111 | --   Parte negativa del intervalo |
| 1  | 0- 122    | 111 | --   Parte positiva del intervalo |
| 1  | 123- 260  | 110 |                                   |
| 1  | 261- 355  | 101 |                                   |
| 1  | 356-2047  | 100 |                                   |



CUADRO 10/G.727

Niveles de decisión y salidas de 4 bits del cuantificador de 32 kbit/s

| DS | DLN       | I    |                                  |
|----|-----------|------|----------------------------------|
|    |           | 1234 |                                  |
| 0  | 405-2047  | 0111 |                                  |
| 0  | 356- 404  | 0110 |                                  |
| 0  | 310- 355  | 0101 |                                  |
| 0  | 261- 309  | 0100 |                                  |
| 0  | 202- 260  | 0011 |                                  |
| 0  | 123- 201  | 0010 |                                  |
| 0  | 0- 122    | 0001 | --  Parte positiva del intervalo |
| 0  | 4089-4095 | 0001 | --  Parte negativa del intervalo |
| 0  | 2048-4088 | 0000 |                                  |
| 1  | 2048-4088 | 1111 |                                  |
| 1  | 4089-4095 | 1110 | --  Parte negativa del intervalo |
| 1  | 0- 122    | 1110 | --  Parte positiva del intervalo |
| 1  | 123- 201  | 1101 |                                  |
| 1  | 202- 260  | 1100 |                                  |
| 1  | 261- 309  | 1011 |                                  |
| 1  | 310- 355  | 1010 |                                  |
| 1  | 356- 404  | 1001 |                                  |
| 1  | 405-2047  | 1000 |                                  |

CUADRO 11/G.727

Niveles de decisión y salidas de 5 bits del cuantificador de 40 kbit/s

| DS | DLN       | I |   |   |   |   |                                  |
|----|-----------|---|---|---|---|---|----------------------------------|
|    |           | 1 | 2 | 3 | 4 | 5 |                                  |
| 0  | 439-2047  | 0 | 1 | 1 | 1 | 1 |                                  |
| 0  | 405- 438  | 0 | 1 | 1 | 1 | 0 |                                  |
| 0  | 380- 404  | 0 | 1 | 1 | 0 | 1 |                                  |
| 0  | 356- 379  | 0 | 1 | 1 | 0 | 0 |                                  |
| 0  | 333- 355  | 0 | 1 | 0 | 1 | 1 |                                  |
| 0  | 310- 332  | 0 | 1 | 0 | 1 | 0 |                                  |
| 0  | 286- 309  | 0 | 1 | 0 | 0 | 1 |                                  |
| 0  | 261- 285  | 0 | 1 | 0 | 0 | 0 |                                  |
| 0  | 233- 260  | 0 | 0 | 1 | 1 | 1 |                                  |
| 0  | 202- 232  | 0 | 0 | 1 | 1 | 0 |                                  |
| 0  | 166- 201  | 0 | 0 | 1 | 0 | 1 |                                  |
| 0  | 123- 165  | 0 | 0 | 0 | 1 | 0 |                                  |
| 0  | 69- 122   | 0 | 0 | 0 | 0 | 1 |                                  |
| 0  | 0- 68     | 0 | 0 | 0 | 0 | 0 | --  Parte positiva del intervalo |
| 0  | 4089-4095 | 0 | 0 | 0 | 0 | 0 | --  Parte negativa del intervalo |
| 0  | 3961-4088 | 0 | 0 | 0 | 0 | 0 |                                  |
| 0  | 2048-3960 | 0 | 0 | 0 | 0 | 0 |                                  |
| 1  | 2048-3960 | 1 | 1 | 1 | 1 | 1 |                                  |
| 1  | 3961-4088 | 1 | 1 | 1 | 1 | 0 |                                  |
| 1  | 4089-4095 | 1 | 1 | 1 | 0 | 1 | --  Parte negativa del intervalo |
| 1  | 0- 68     | 1 | 1 | 1 | 0 | 1 | --  Parte positiva del intervalo |
| 1  | 69- 122   | 1 | 1 | 1 | 0 | 0 |                                  |
| 1  | 123- 165  | 1 | 1 | 0 | 1 | 1 |                                  |
| 1  | 166- 201  | 1 | 1 | 0 | 1 | 0 |                                  |
| 1  | 202- 232  | 1 | 1 | 0 | 0 | 1 |                                  |
| 1  | 233- 260  | 1 | 1 | 0 | 0 | 0 |                                  |
| 1  | 261- 285  | 1 | 0 | 1 | 1 | 1 |                                  |
| 1  | 286- 309  | 1 | 0 | 1 | 1 | 0 |                                  |
| 1  | 310- 332  | 1 | 0 | 1 | 0 | 1 |                                  |
| 1  | 333- 355  | 1 | 0 | 0 | 1 | 0 |                                  |
| 1  | 356- 379  | 1 | 0 | 0 | 0 | 1 |                                  |
| 1  | 380- 404  | 1 | 0 | 0 | 0 | 0 |                                  |
| 1  | 405- 438  | 1 | 0 | 0 | 0 | 0 |                                  |
| 1  | 439-2047  | 1 | 0 | 0 | 0 | 0 |                                  |

Nota — Los valores de I se transmiten comenzando por el bit 1.

## SUBTB

Entradas: DL DLX en el decodificador), Y

Salida: DLN DLNX en el decodificador)

Función: Versión logarítmica de la señal de diferencia mediante sustracción del factor de escala.

$$DLN = (DL + 4096 - (Y \gg 2)) \& 4095$$

### 6.2.3 Enmascaramiento de bits



FIGURA 6/G.727

#### Enmascaramiento de bits

Entradas: I(k) o I'(k)

Salida: I<sub>c</sub>(k)

Función: Enmascaramiento de la señal de diferencia cuantificada para extraer los bits de núcleo.

Nota: La figura 6/G.727 y las ecuaciones corresponden al codificador. Son también válidas cuando se sustituye I(k) por I'(k) para el decodificador.

$$I_c = I \gg E, E = \text{bits de mejoramiento}$$

### 6.2.4 Cuantificador adaptativo inverso

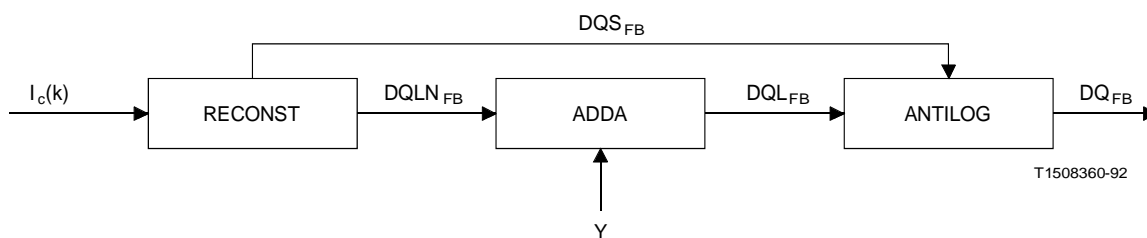


FIGURA 7/G.727

#### Cuantificador adaptativo inverso

## RECONST

Entrada:  $I_c$  o  $I'(k)$

Salidas:  $DQS_{FB}$  o  $DQS_{FF}$ ,  $DQLN_{FB}$  o  $DQLN_{FF}$

Función: Reconstrucción de la señal de diferencia cuantificada en el dominio logarítmico.

Nota: En la figura 7/G.727 se indican las ecuaciones y cuadros para el trayecto de realimentación. Son también válidos cuando se sustituye  $I'(k)$  por  $I_c(k)$ ,  $DQS_{FB}$  por  $DQS_{FF}$  y  $DQLN_{FB}$  por  $DQLN_{FF}$ .

$$DQS_{FB} = I_c \gg (C - 1)$$

$$DQS_{FF} = I' \gg (E + C - 1)$$

CUADRO 12/G.727

### Niveles de salida de cuantificador de 16 kbit/s

| $I'$ o $I_c$ | $DQS_{FF}$ o | $DQLN_{FF}$ o |
|--------------|--------------|---------------|
| 12           | $DQS_{FB}$   | $DQLN_{FB}$   |
| 01           | 0            | 365           |
| 00           | 0            | 116           |
| 11           | 1            | 116           |
| 10           | 1            | 365           |

CUADRO 13/G.727

### Niveles de salida del cuantificador de 24 kbit/s

| $I'$ o $I_c$ | $DQS_{FF}$ o | $DQLN_{FF}$ o |
|--------------|--------------|---------------|
| 123          | $DQS_{FB}$   | $DQLN_{FB}$   |
| 011          | 0            | 395           |
| 010          | 0            | 307           |
| 001          | 0            | 199           |
| 000          | 0            | 4085          |
| 111          | 1            | 4085          |
| 110          | 1            | 199           |
| 101          | 1            | 307           |
| 100          | 1            | 395           |

CUADRO 14/G.727

Niveles de salida del cuantificador de 32 kbit/s

| $I' \text{ o } I_c$ | $DQS_{FF0}$ | $DQLN_{FF0}$ |
|---------------------|-------------|--------------|
| 1234                | $DQS_{FB}$  | $DQLN_{FB}$  |
| 0111                | 0           | 428          |
| 0110                | 0           | 377          |
| 0101                | 0           | 332          |
| 0100                | 0           | 285          |
| 0011                | 0           | 232          |
| 0010                | 0           | 165          |
| 0001                | 0           | 68           |
| 0000                | 0           | 3961         |
| 1111                | 1           | 3961         |
| 1110                | 1           | 68           |
| 1101                | 1           | 165          |
| 1100                | 1           | 232          |
| 1011                | 1           | 285          |
| 1010                | 1           | 332          |
| 1001                | 1           | 377          |
| 1000                | 1           | 428          |

CUADRO 15/G.727

## Niveles de salida del cuantificador de 40 kbit/s

| I'    | DQS <sub>FF</sub> | DQLN <sub>FF</sub> |
|-------|-------------------|--------------------|
| 12345 |                   |                    |
| 01111 | 0                 | 456                |
| 01110 | 0                 | 419                |
| 01101 | 0                 | 391                |
| 01100 | 0                 | 367                |
| 01011 | 0                 | 344                |
| 01010 | 0                 | 321                |
| 01001 | 0                 | 298                |
| 01000 | 0                 | 273                |
| 00111 | 0                 | 246                |
| 00110 | 0                 | 217                |
| 00101 | 0                 | 184                |
| 00100 | 0                 | 145                |
| 00011 | 0                 | 97                 |
| 00010 | 0                 | 34                 |
| 00001 | 0                 | 4035               |
| 00000 | 0                 | 3832               |
| 11111 | 1                 | 3832               |
| 11110 | 1                 | 4035               |
| 11101 | 1                 | 34                 |
| 11100 | 1                 | 97                 |
| 11011 | 1                 | 145                |
| 11010 | 1                 | 184                |
| 11001 | 1                 | 217                |
| 11000 | 1                 | 246                |
| 10111 | 1                 | 273                |
| 10110 | 1                 | 298                |
| 10101 | 1                 | 321                |
| 10100 | 1                 | 344                |
| 10011 | 1                 | 367                |
| 10010 | 1                 | 391                |
| 10001 | 1                 | 419                |
| 10000 | 1                 | 456                |

*Nota 1* – Los valores de I se reciben comenzando por el bit 1.

## ADDA

Entradas:  $DQLN_{FB}$  o  $DQLN_{FF}$ ,  $Y$

Salida:  $DQL_{FB}$  o  $DQL_{FF}$

Función: Adición del factor de escala a la versión logarítmica de la señal de diferencia cuantificada.

Nota: Los subíndices se indican para el trayecto de realimentación. La figura 7/G.727 y la ecuación son también válidas cuando se sustituye  $DQLN_{FB}$  por  $DQLN_{FF}$  y  $DQL_{FB}$  por  $DQL_{FF}$ .

$$DQL_{FB} = (DQLN_{FB} + (Y \gg 2)) \& 4095$$

## ANTILOG

Entradas:  $DQL_{FB}$ ,  $DQS_{FB}$

Salida:  $DQ_{FB}$

Función: Conversión de la señal de diferencia cuantificada del dominio logarítmico al líneal.

Nota: La figura 7/G.727 y las ecuaciones se indican para el trayecto de realimentación. Las ecuaciones son también válidas cuando se sustituye  $DQL_{FB}$  por  $DQL_{FF}$ ,  $DQS_{FB}$  por  $DQS_{FF}$  y  $DQ_{FB}$  por  $DQ_{FF}$ .

$$DS = DQL_{FB} \gg 11$$

$$DEX = (DQL_{FB} \gg 7) \& 15$$

$$DMN = DQL_{FB} \& 127$$

| Extracción del exponente de 4 bits

| Extracción de la mantisa de 7 bits

$$DQT = (1 \ll 7) + DMN$$

$$DQMAG = \begin{cases} (DQT \ll 7) \gg (14 - DEX), & DS = 0 \\ 0, & DS = 1 \end{cases}$$

| Conversión de mantisa a líneal

| utilizando la aproximación  $2^x = 1 + x$

|

$$DQ_{FB} = (DQS \ll 14) + DQMAG$$

| Añadir bit de signo a la palabra

| de magnitud de signo

### 6.2.5 Adaptación del factor de escala del cuantificador

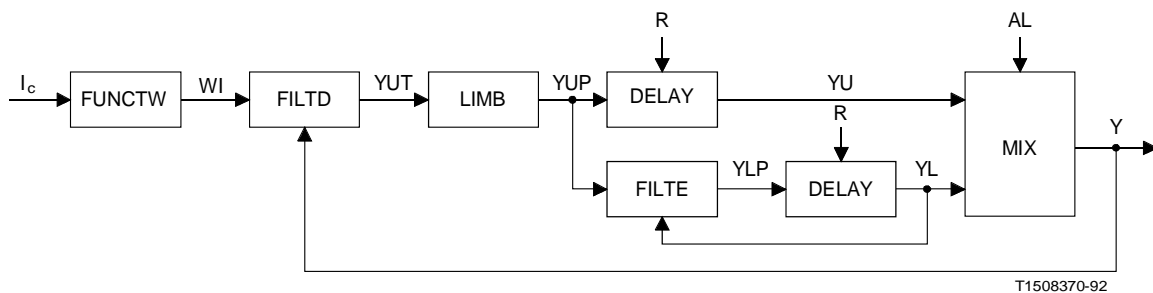


FIGURA 8/G.727

**Adaptación del factor de escala del cuantificador**

## DELAY

Entradas: x, R (optativo)

Salida: y

Función: Bloque de memoria. Para la entrada x, la salida viene dada por:

$$y(k) = \begin{cases} x(k-1), & R = 0 \\ \text{Valor optativo de reinicialización,} \\ \text{indicado en la columna 4 del cuadro 3/G.727, } & R = 1 \end{cases} \quad | \text{ Reinicialización}$$

---

## FILTD

Entradas: WI, Y

Salida: YUT

Función: Actualización del factor de escala con adaptación rápida del cuantificador.

$$\begin{aligned} DIF &= ((WI \lll 5) + 131072 - Y) \& 131071 & | \\ DIFS &= DIF \ggg 16 & | \text{ Cálculo de la diferencia} \end{aligned}$$

$$DIFSX = \begin{cases} DIF \ggg 5, & DIFS = 0 \\ (DIF \ggg 5) + 4096, & DIFS = 1 \end{cases} \quad \begin{array}{l} | \text{ La constante de tiempo es } 1/32, \\ | \text{ Extensión del signo} \end{array}$$

$$YUT = (Y + DIFSX) \& 8191$$

---

## FILTE

Entradas: YUP, YL

Salida: YLP

Función: Actualización del factor de escala con adaptación lenta del cuantificador.

$$\begin{aligned} DIF &= (YUP + ((1048576 - YL) \ggg 6)) \& 16383 & | \text{ Cálculo de la diferencia} \\ DIFS &= DIF \ggg 13 & | \text{ La constante del tiempo es } 1/64 \end{aligned}$$

$$DIFSX = \begin{cases} DIF, & DIFS = 0 \\ DIF + 507904, & DIFS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extensión del signo} \\ | \end{array}$$

$$YLP = (YL + DIFSX) \& 524287$$

---



## FUNCTW

Entrada:  $I_c$

Salida: WI

Función: Hacer corresponder la salida del cuantificador con la versión logarítmica del multiplicador del factor de escala.

$$IS = I_c \gg (C - 1), C = 2, 3, 4.$$

Para  $C = 2$ :

$$IM = \begin{cases} I_c \& I, & IS = 0 \\ (3 - I_c) \& I, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 439, & IM = 1 \\ 4074, & IM = 0 \end{cases}$$

| Multiplicadores del factor de escala

Para  $C = 3$ :

$$IM = \begin{cases} I_c \& 3, & IS = 0 \\ (7 - I_c) \& 3, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 582, & IM = 3 \\ 137, & IM = 2 \\ 30, & IM = 1 \\ 4092, & IM = 0 \end{cases}$$

| Multiplicadores del factor de escala

Para  $C = 4$ :

$$IM = \begin{cases} I_c \& 7, & IS = 0 \\ (15 - I_c) \& 7, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 1108, & IM = 7 \\ 340, & IM = 6 \\ 184, & IM = 5 \\ 98, & IM = 4 \\ 50, & IM = 3 \\ 27, & IM = 2 \\ 4, & IM = 1 \\ 4084, & IM = 0 \end{cases}$$

| Multiplicadores del factor de escala

## LIMB

Entrada: YUT

Salida: YUP

Función: Limitación del factor de escala del cuantificador.

$$GEUL = ((YUT + 11264) \& 16383) \gg 13$$

$$GELL = ((YUT + 15840) \& 16383) \gg 13$$

$$YUP = \begin{cases} 544, & GELL = 1 \\ 5120, & GEUL = 0 \\ YUT, & \text{En los demás casos} \end{cases} \quad \begin{array}{l} | \text{ Establecimiento del límite inferior a 1,06} \\ | \text{ Establecimiento del límite superior a 10,00} \end{array}$$

---

## MIX

Entradas: AL, YU, YL

Salida: Y

Función: Formación de combinación lineal de los factores de escala con adaptaciones rápida y lenta del cuantificador.

$$DIF = (YU + 16384 - (YL \gg 6)) \& 16383$$

$$DIFS = DIF \gg 13$$

|  
| Cálculo de la diferencia

$$DIFM = \begin{cases} DIF, & DIFS = 0 \\ (16384 - DIF) \& 8191, & DIFS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Cálculo de la magnitud} \\ | \text{ de la diferencia} \end{array}$$

$$PRODM = (DIFM * AL) \gg 6$$

|  
| Cálculo de la magnitud del producto

$$PROD = \begin{cases} PRODM, & DIFS = 0 \\ (16384 - PRODM) \& 16383, & DIFS = 1 \end{cases} \quad \begin{array}{l} | \text{ Conversión de la magnitud} \\ | \text{ en complemento a dos} \\ | \end{array}$$

$$Y = ((YL \gg 6) + PROD) \& 8191$$

6.2.6 Control de la velocidad de adaptación

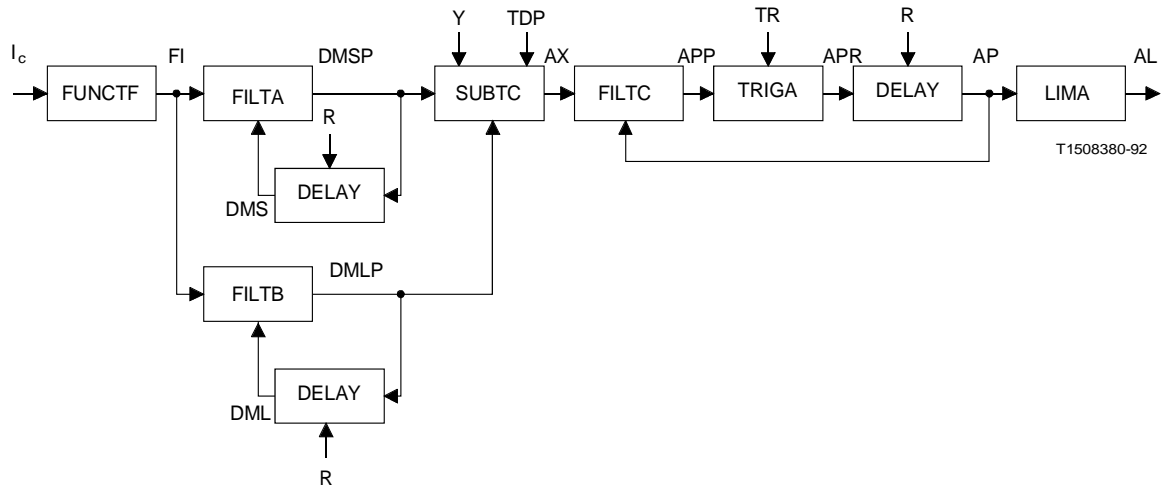


FIGURA 9/G.727  
Control de la velocidad de adaptación

DELAY

Véase el § 6.2.5 para la especificación.

FILTA

Entradas: FI, DMS

Salida: DMSP

Función: Actualización del valor medio a corto plazo de F(I).

$$DIF = ((FI \ll 9) + 8192 - DMS) \& 8191$$

$$DIFS = DIF \gg 12$$

|  
| Cálculo de la diferencia

$$DIFSX = \begin{cases} DIF \gg 5, & DIFS = 0 \\ (DIF \gg 5) + 3840, & DIFS = 1 \end{cases}$$

| La constante del tiempo es 1/32,  
| Extensión del signo  
|

$$DMSP = (DIFSX + DMS) \& 4095$$

## FILTB

Entradas: FI, DML

Salida: DMLP

Función: Actualización del valor medio a largo plazo de F(I).

$$DIF = ((FI \ll 11) + 32768 - DML) \& 32767$$

$$DIFS = DIF \gg 14$$

|  
| Cálculo de la diferencia

$$DIFSX = \begin{cases} DIF \gg 7, & DIFS = 0 \\ (DIF \gg 7) + 16128, & DIFS = 1 \end{cases}$$

|  
| La constante de tiempo es 1/28,  
| Extensión del signo  
|

$$DMLP = (DIFSX + DML) \& 16383$$

---

## FILTC

Entradas: AX, AP

Salida: APP

Función: Filtro de paso bajo del parámetro de control de velocidad.

$$DIF = ((AX \ll 9) + 2048 - AP) \& 2047$$

$$DIFS = DIF \gg 10$$

| Cálculo de la diferencia  
|

$$DIFSX = \begin{cases} DIF \gg 4, & DIFS = 0 \\ (DIF \gg 4) + 896, & DIFS = 1 \end{cases}$$

|  
| La constante de tiempo es 1/16,  
| Extensión del signo  
|

$$APP = (DIFSX + AP) \& 1023$$

---

## FUNCTF

Entrada:  $I_c$

Salida:  $FI$

Función: Salida de correspondencia del cuantificador con la función  $F(I)$ .

$IS = I_c \gg (C - 1)$ ,  $C = 2, 3, 4$ .

Para  $C = 2$ :

$$IM = \begin{cases} I_c \& 1, & IS = 0 \\ (3 - I_c) \& 1, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 7, & IM = 1 \\ 0, & IM = 0 \end{cases}$$

Para  $C = 3$ :

$$IM = \begin{cases} I_c \& 3, & IS = 0 \\ (7 - I_c) \& 3, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 7, & IM = 3 \\ 2, & IM = 2 \\ 1, & IM = 1 \\ 0, & IM = 0 \end{cases}$$

Para  $C = 4$ :

$$IM = \begin{cases} I_c \& 7, & IS = 0 \\ (15 - I_c) \& 7, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 0, & 0 \leq IM \leq 2 \\ 1, & 3 \leq IM \leq 5 \\ 3, & IM = 6 \\ 7, & IM = 7 \end{cases}$$

---

## LIMA

Entrada:  $AP$

Salida:  $AL$

Función: Limitación del parámetro de control de velocidad.

$$AL = \begin{cases} 64, & AP \geq 256 \\ AP \gg 2, & AP \leq 255 \end{cases}$$

## SUBTC

Entradas: DMSP, DMLP, TDP, Y

Salida: AX

Función: Cálculo de la magnitud de la diferencia de las funciones a corto y largo plazo de la secuencia de salida del cuantificador y comparación de umbrales para el parámetro de control de velocidad de adaptación del cuantificador.

$$DIF = ((DMSP \ll 2) + 32768 - DMLP) \& 32767$$

$$DIFS = DIF \gg 14$$

|  
| Cálculo de diferencia

$$DIFM = \begin{cases} DIF, & DIFS = 0 \\ (32768 - DIF) \& 16383, & DIFS = 1 \end{cases}$$

|  
| Cálculo de la magnitud  
| de la diferencia  
|

$$DTHR = DMLP \gg 3$$

$$AX = \begin{cases} 0, & Y \geq 1536 \text{ y } DIFM < DTHR \text{ y } TDP = 0 \\ 1, & \text{en los demás casos} \end{cases}$$

---

## TRIGA

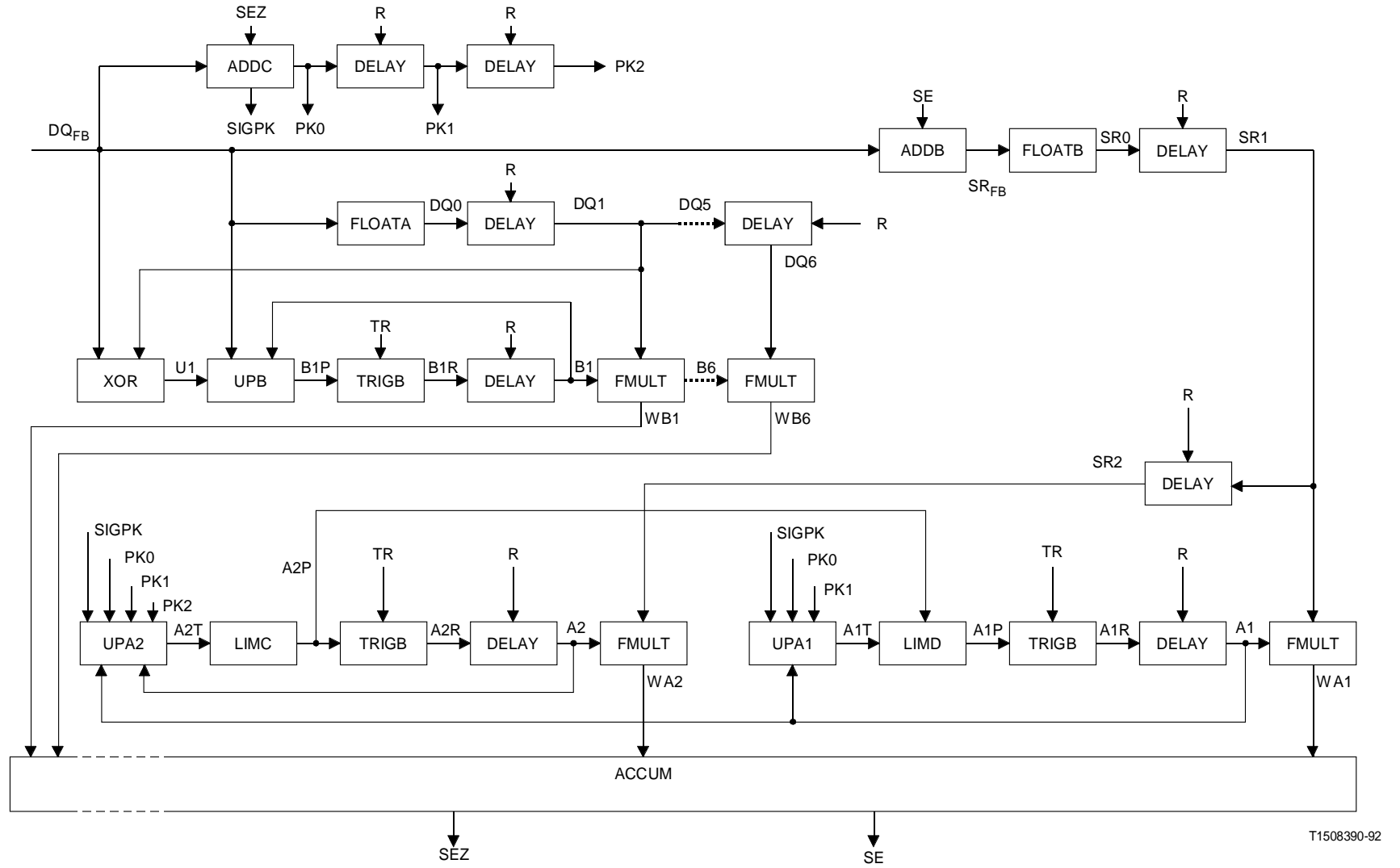
Entradas: TR, APP

Salida: APR

Función: Bloque de disparador del control de velocidad.

$$APR = \begin{cases} APP, & TR = 0 \\ 256, & TR = 1 \end{cases}$$

### 6.2.7 *Predicador adaptativo y calculador de la señal reconstruida (trayecto de realimentación)*



T1508390-92

FIGURA 10/G.727

Predicador adaptativo y calculador de la señal reconstruida

### ACCUM

Entradas: WA1, WA2, WB1, WB2, WB3, WB4, WB5, WB6

Salidas: SE, SEZ

Función: Adición de salidas del predictor para formar la estimación parcial de la señal (a partir del predictor del sexto orden) y la estimación de la señal.

$$SEZI = (((((((((WB1 + WB2) \& 65535) + WB3) \& 65535) + WB4) \& 65535) + WB5) \& 65535) + WB6) \& 65535$$

| Suma para estimación parcial  
| de la señal

$$SEI = (((SEZI + WA2) \& 65535) + WA1) \& 65535$$

| Completar la suma para estimación  
| de la señal

$$SEZ = SEZI \gg 1$$

$$SE = SEI \gg 1$$

### ADDB

Entradas: DQ<sub>FB</sub> o DQ<sub>FF</sub>, SE

Salida: SR<sub>FB</sub> o SR<sub>FF</sub>

Función: Adición de la señal de diferencia cuantificada y estimación de la señal para formar la señal reconstruida.

Nota: Los subíndices indicados corresponden al trayecto de realimentación. La ecuación también es válida cuando se sustituye DQ<sub>FB</sub> por DQ<sub>FF</sub> y DQS<sub>FB</sub> por DQS<sub>FF</sub>

$$DQS_{FB} = DQ_{FB} \gg 14$$

$$DQI = \begin{cases} DQ_{FB}, & DQS_{FB} = 0 \\ (65536 - (DQ_{FB} \& 16383)) \& 65535, & DQS_{FB} = 1 \end{cases}$$

| Conversión de la magnitud con signo  
| en complemento a dos

$$SES = SE \gg 14$$

$$SEI = \begin{cases} SE, & SES = 0 \\ (1 \ll 15) + SE, & SES = 1 \end{cases}$$

|  
| Extensión del signo  
|

$$SR_{FB} = (DQI + SEI) \& 65535$$



## ADDC

Entradas: DQ, SEZ

Salidas: PK0, SIGPK

Función: Obtención del signo de adición de la señal de diferencia cuantificada y la estimación parcial de la señal.

$$DQS_{FB} = DQ_{FB} \gg 14$$

$$DQI = \begin{cases} DQ_{FB}, & DQS_{FB} = 0 \\ (65536 - (DQ_{FB} \& 16383)) \& 65535, & DQS_{FB} = 1: \end{cases} \quad \begin{array}{l} | \text{ Conversión de la magnitud con signo} \\ | \text{ en complemento a dos} \end{array}$$

$$SEZS = SEZ \gg 14$$

$$SEZI = \begin{cases} SEZ, & SEZS = 0 \\ (1 \ll 15) + SEZ, & SEZS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extensión del signo} \\ | \end{array}$$

$$DQSEZ = (DQI + SEZI) \& 65535$$

$$PK0 = DQSEZ \gg 15$$

$$SIGPK = \begin{cases} 1, & DQSEZ = 0 \\ 0, & \text{en los demás casos} \end{cases}$$

---

## DELAY

Véase el § 6.2.5 para la especificación.

---

## FLOATA

Entrada:  $DQ_{FB}$   
 Salida:  $DQ_0$   
 Función: Conversión de magnitud con signo de 15 bits en coma flotante.

$$DQS_{FB} = DQ_{FB} \gg 14$$

$$MAG = DQ_{FB} \& 16383$$

| Cálculo de la magnitud

$$EXP = \begin{cases} 14, & 8192 \leq MAG \\ 13, & 4096 \leq MAG \leq 8191 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq MAG \leq 3 \\ 1, & MAG = 1 \\ 0, & MAG = 0 \end{cases}$$

| Cálculo del exponente

$$MANT = \begin{cases} 1 \ll 5, & MAG = 0 \\ (MAG \ll 6) \gg EXP, & \text{en los demás casos} \end{cases}$$

| Cálculo de la mantisa con un  
 | 1 en el bit más significativo

$$DQ_0 = (DQS_{FB} \ll 10) + (EXP \ll 6) + MANT$$

| Combinación del bit de signo, cuatro bits  
 | de exponente y seis bits de mantisa  
 | en una palabra de 11 bits

## FLOATB

Entrada: SR

Salida: SR0

Función: Conversión de complemento a dos de 16 bits en coma flotante

$$SRS = SR_{FB} \gg 15$$

$$MAG = \begin{cases} SR_{FB}, & RS = 0 \\ ((65536 - SR_{FB}) \& 32767), & SRS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Cálculo de la magnitud} \\ | \end{array}$$

$$EXP = \begin{cases} 15, & 16384 \leq MAG \\ 14, & 8192 \leq MAG \leq 16383 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq MAG \leq 3 \\ 1, & MAG = 1 \\ 0, & MAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \\ | \\ | \text{ Cálculo del exponente} \\ | \\ | \\ | \end{array}$$

$$MANT = \begin{cases} 1 \ll 5, & MAG = 0 \\ (MAG \ll 6) \gg EXP, & \text{en los demás casos} \end{cases} \quad \begin{array}{l} | \text{ Cálculo de la mantisa con un 1 en el bit} \\ | \text{ más significativo} \end{array}$$

$$SR0 = (SRS \ll 10) + (EXP \ll 6) + MANT \quad \begin{array}{l} | \text{ Combinación del bit de signo,} \\ | \text{ cuatro bits de exponentes} \\ | \text{ y seis bits de mantisa bits} \\ | \text{ en una palabra de 11 bits} \end{array}$$

## FMULT

Entradas: An o Bn, SRn o DQn

Salidas: WAn o WBn

Nota: Se indican ecuaciones para An, SRn y WAn. Las ecuaciones son también válidas al sustituir An por Bn, SRn por DQn y WAn por WBn.

Función: Multiplicación de coeficientes del predictor por la señal diferencia cuantificada o la señal reconstruida correspondiente. La multiplicación se hace en formato de coma flotante.

$AnS = An \gg 15$

$$AnMAG = \begin{cases} An \gg 2, & AnS = 0 \\ (16384 - (An \gg 2)) \& 8191, & AnS = 1 \end{cases} \quad \begin{array}{l} | \text{ Conversión de complemento a dos} \\ | \text{ a magnitud con signo} \end{array}$$

$$AnEXP = \begin{cases} 13, & 4096 \leq AnMAG \\ 12, & 2048 \leq AnMAG \leq 4095 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq AnMAG \leq 3 \\ 1, & AnMAG = 1 \\ 0, & AnMAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \\ | \\ | \\ | \\ | \end{array} \quad \begin{array}{l} \\ \\ \\ | \text{ Cálculo del exponente} \\ \\ \\ \\ \end{array}$$

$$AnMANT = \begin{cases} 1 \ll 5, & AnMAG = 0 \\ (AnMAG \ll 6) \gg AnEXP, & \text{en los demás casos} \end{cases} \quad \begin{array}{l} | \text{ Cálculo de la mantisa con un 1 en el} \\ | \text{ bit más significativo} \end{array}$$

$SRnS = SRn \gg 10$

$SRnEXP = (SRn \gg 6) \& 15$

$SRnMANT = SRn \& 63$

| División de la palabra en coma  
| flotante en bit de signo, exponente,  
| y mantisa

$WAnS = SRnS ** AnS$

$WAnEXP = SRnEXP + AnEXP$

$WAnMANT = ((SRnMANT * AnMANT) + 48) \gg 4$

| Multiplicación en coma flotante  
|

$$WAnMAG = \begin{cases} (WAnMANT \ll 7) \gg (26 - WAnEXP), & WAnEXP \leq 26 \\ ((WAnMANT \ll 7) \ll (WAnEXP - 26)) \& 32767, & WAnEXP > 26 \end{cases}$$

| Conversión en  
| coma flotante  
| a magnitud

$$WAn = \begin{cases} WAnMAG, & WAnS = 0 \\ (65536 - WAnMAG) \& 65536, & WAnS = 1 \end{cases} \quad \begin{array}{l} | \text{ Conversión de magnitud} \\ | \text{ a complemento a dos} \end{array}$$

## LIMC

Entrada: A2T

Salida: A2P

Función: Limitación del coeficiente  $a_2$  del predictor de segundo orden.

$A2UL = 12288$  | Límite superior de +0,75

$A2LL = 53248$  | Límite inferior de -0,75

$$A2P = \begin{cases} A2LL, & 32768 \leq A2T \leq A2LL \\ A2UL, & A2UL \leq A2T \leq 32767 \\ A2T, & \text{en los demás casos} \end{cases}$$

---

## LIMD

Entradas: A1T, A2P

Salida: A1P

Función: Limitación del coeficiente  $a_1$  del predictor de segundo orden.

$OME = 15360$  | (1 -  $\epsilon$ ) donde  
|  $\epsilon = 1/16$

$A1UL = (OME + 65536 - A2P) \& 65535$  | Cálculo del límite superior,

$A1LL = (A2P + 65536 - OME) \& 65535$  | Cálculo del límite inferior

$$A1P = \begin{cases} A1LL, & 32768 \leq A1T \text{ y } A1T \leq A1LL \\ A1UL, & A1UL \leq A1T \text{ y } A1T \leq 32767 \\ A1T, & \text{en los demás casos} \end{cases}$$

---

## TRIGB

Entradas: TR, AnP o BnP o TDP

Salidas: AnR o BnR o TDR

Nota: Se da la ecuación para AnP y AnR. La ecuación es también válida al sustituir AnP y AnR por BnP y BnR o TDP y TDR respectivamente.

Función: Bloque de activación del predictor

$$AnR = \begin{cases} AnP, & TR = 0 \\ 0, & TR = 1 \end{cases}$$

## UPA1

Entradas: PK0, PK1, A1, SIGPK

Salida: A1T

Función: Actualización del coeficiente  $a_1$  del predictor de segundo orden.

$$PKS = PK0 ** PK1 \quad | \text{ 1 bit «exclusiva o»}$$

$$UGA1 = \begin{cases} 192, & PKS = 0 \text{ and } SIGPK = 0 \\ 65344, & PKS = 1 \text{ and } SIGPK = 0 \\ 0, & SIGPK = 1 \end{cases} \quad \begin{array}{l} | \\ | \\ | \text{ Ganancia} = \pm 3/256 \\ | \\ | \end{array}$$

$$A1S = A1 \gg 15$$

$$ULA1 = \begin{cases} (65536 - (A1 \gg 8)) \& 65535, & A1S = 0 \\ (65536 - ((A1 \gg 8) + 65280)) \& 65535, & A1S = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Factor de fuga} = 1/256 \\ | \end{array}$$

$$UA1 = (UGA1 + ULA1) \& 65535 \quad | \text{ Cálculo de la actualización}$$

$$A1T = (A1 + UA1) \& 65535 \quad |$$

## UPA2

Entradas: PK0, PK1, PK2, A1, A2, SIGPK

Salida: A2T

Función: Actualización del coeficiente  $a_2$  del predictor de segundo orden.

$$PKS1 = PK0 ** PK1 \quad | \text{ 1 bit «exclusiva o»}$$

$$PKS2 = PK0 ** PK2 \quad | \text{ 1 bit «exclusiva o»}$$

$$UGA2A = \begin{cases} 16384, & PKS2 = 0 \\ 114688, & PKS2 = 1 \end{cases}$$

$$A1S = A1 \gg 15$$

Si  $A1S = 0$ ,

$$FA1 = \begin{cases} A1 \ll 2, & A1 \leq 8191 \\ 8191 \ll 2, & A1 \geq 8192 \end{cases} \quad \begin{array}{l} | \text{ Aplicación de } f(a_1) \\ | \text{ con limitación} \\ | \text{ a } +1/2 \end{array}$$

Si  $A1S = 1$ ,

$$FA1 = \begin{cases} (A1 \ll 2) \& 131071, & A1 \geq 57345 \\ 24577 \ll 2, & A1 \leq 57344 \end{cases} \quad \begin{array}{l} | \text{ Aplicación de } f(a_1) \\ | \text{ con limitación} \\ | \text{ a } -1/2 \end{array}$$

$$FA = \begin{cases} FA1, & PKS1 = 1 \\ (131072 - FA1) \& 131071, & PKS1 = 0 \end{cases} \quad \begin{array}{l} | \text{ Adición del signo al} \\ | \text{ resultado de } f(a_1) \\ | \end{array}$$

$$UGA2B = (UGA2A + FA) \& 131071$$

$$UGA2S = UGA2B \gg 16$$

$$UGA2 = \begin{cases} UGA2B \gg 7, & UGA2S = 0 \text{ y } SIGPK = 0 \\ (UGA2B \gg 7) + 64512, & UGA2S = 1 \text{ y } SIGPK = 0 \\ 0, & SIGPK = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Cálculo de ganancia,} \\ | \text{ ganancia } = \pm 1/128 \\ | \end{array}$$

$$A2S = A2 \gg 15$$

$$ULA2 = \begin{cases} (65536 - (A2 \gg 7)) \& 65535, & A2S = 0 \\ (65536 - ((A2 \gg 7) + 65024)) \& 65535, & A2S = 1 \end{cases} \quad \begin{array}{l} | \text{ El factor de fuga} \\ | \text{ es } 1/128 \\ | \end{array}$$

$$UA2 = (UGA2 + ULA2) \& 65535$$

$$A2T = (A2 + UA2) \& 65535$$

| Actualización del cálculo

## UPB

Entradas: Un, Bn, DQ<sub>FB</sub>

Salida: BnP

Función: Actualización de los coeficientes del predictor de sexto orden.

$$DQMAG = DQ_{FB} \& 16383$$

$$UGBn = \begin{cases} 128, & Un = 0 \text{ y } DQMAG \neq 0 \\ 65408, & Un = 1 \text{ y } DQMAG \neq 0 \\ 0, & DQMAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \text{ Ganancia} = \pm 1/128 \text{ ó } 0 \\ | \\ | \end{array}$$

$$BnS = Bn \gg 15$$

$$ULBn = \begin{cases} (65536 - (Bn \gg 8)) \& 65535, & BnS = 0 \\ (65536 - ((Bn \gg 8) + 65280)) \& 65535, & BnS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ El factor de fuga es } 1/256 \\ | \end{array}$$

$$UBn = (UGBn + ULBn) \& 65535 \quad | \text{ Actualización del cálculo}$$

$$BnP = (Bn + UBn) \& 65535 \quad |$$


---

## XOR

Entradas: DQ<sub>n</sub>, DQ<sub>FB</sub>

Salida: Un

Función: «Exclusiva o» de 1 bit del signo de la señal de diferencia y del signo de la señal de diferencia retardada.

$$DQS_{FB} = DQ_{FB} \gg 14$$

$$DQnS = DQ_n \gg 10$$

$$Un = DQS_{FB} ** DQnS \quad | \text{ 1 bit «exclusiva o»}$$

### 6.2.8 Calculador de la señal reconstruida (trayecto de compensación previa)



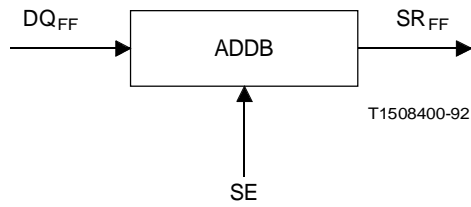


FIGURA 11/G.727

**Calculador de la señal reconstruida (trayecto de compensación previa)**

6.2.9 *Detector de tonos y transiciones*

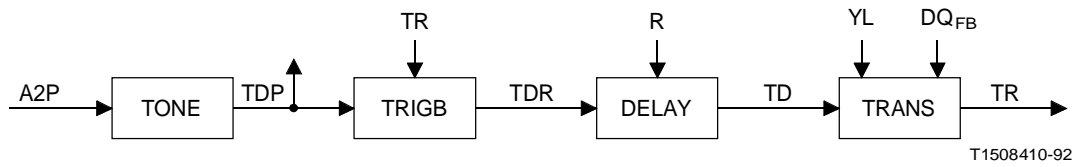


FIGURA 12/G.727

**Detector de tonos y transiciones**

DELAY

Véase el § 6.2.5 para la especificación.

TONE

Entrada: A2P  
 Salida: TDP  
 Función: Detección de la señal en banda parcial.

$$TDP = \begin{cases} 1, & 32768 \leq A2P \text{ y } A2P < 53760 \\ 0, & \text{en los demás casos.} \end{cases}$$

## TRANS

Entrada: TD, YL, DQ<sub>FB</sub>  
 Salida: TR  
 Función: Detector de transición.

$$DQMAG = DQ_{FB} \& 16383$$

$$YLINT = YL \gg 15$$

$$YLFAC = (YL \gg 10) \& 31$$

$$THR1 = (32 + YLFAC) \ll YLINT$$

$$THR2 = \begin{cases} 31 \ll 9, YLINT > 8: \\ THR1, & \text{en los demás casos.} \end{cases}$$

$$DQTHR = (THR2 + (THR2 \gg 1)) \gg 1$$

$$TR = \begin{cases} 1, DQMAG > DQTHR \text{ y } TD = 1 \\ 0, & \text{en los demás casos.} \end{cases}$$

## TRIGB

Véase el § 6.2.7 para la especificación.

### 6.2.10 Conversión del formato MIC de salida y ajuste de codificación síncrona

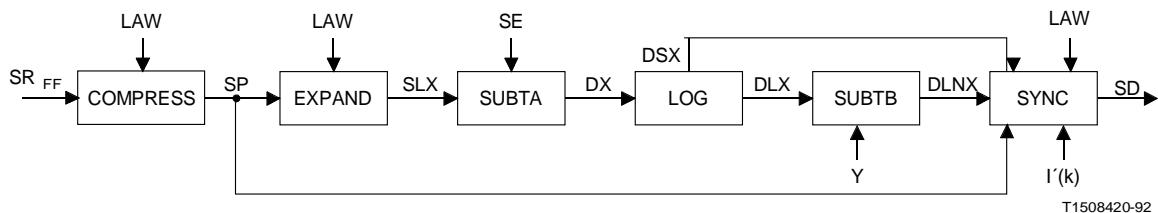


FIGURA 13/G.727

**Conversión del formato MIC de salida y ajuste de codificación síncrona**

COMPRESS (decodificador únicamente)

Entrada:  $SR_{FF}$ ,  $LAW$

Salida:  $SP$

Función: Conversión de MIC uniforme en MIC de ley A o de ley  $\mu$ .

$$IS = SR_{FF} \gg 15$$

$$IM = \begin{cases} SR_{FF}, & IS = 0 \\ (65536 - SR_{FF}) \& 32767, & IS = 1 \end{cases} \quad \begin{array}{l} | \text{ Conversión de} \\ | \text{ complemento a dos en} \\ | \text{ magnitud con signo} \\ | \end{array}$$

$$IMAG = \begin{cases} IM, & LAW = 0 \\ IM \gg 1, & LAW = 1 \text{ e } IS = 0 \\ (IM + 1) \gg 1, & LAW = 1 \text{ e } IS = 1 \end{cases} \quad \begin{array}{l} | \text{ Ley } \mu \\ | \text{ Ley A} \\ | \end{array}$$

IMAG se cuantifica (véase la nota) de acuerdo con la Recomendación G.711 del CCITT utilizando los valores de decisión (columna 5 de los cuadros 1a/G.711, 1b/G.711, 2a y 2b/G.711) de la manera siguiente:

$$SP = \begin{cases} \text{señal de carácter después de la inversión de bits} \\ \text{pares deducida del cuadro 1a/G.711 (columna 6),} & IS = 0 \text{ y } LAW = 1 \\ \text{señal de carácter después de la inversión de bits} \\ \text{pares deducida del cuadro 1b/G.711 (columna 6),} & IS = 1 \text{ y } LAW = 1 \\ \text{señal de carácter del cuadro 2a/G.711 (columna 6),} & IS = 0 \text{ y } LAW = 0 \\ \text{señal de carácter del cuadro 2b/G.711 (columna 6),} & S = 1 \text{ y } LAW = 0 \end{cases}$$

Nota – Cuando IMAG está fuera del intervalo definido por el nivel de decisión virtual, SP debe fijarse para que sea igual a la palabra de código MIC máxima. Para mayor claridad, en el cuadro siguiente se indican ejemplos de conversión para ley A (después de la inversión de los bits pares) y ley  $\mu$  en la proximidad del origen:

CUADRO 16/G.727

Ejemplos de conversión para las leyes A y  $\mu$

| IS | IMAG | SP de la palabra de código MIC |           |
|----|------|--------------------------------|-----------|
|    |      | ley A                          | ley $\mu$ |
| 0  | 3    | 11010100                       | 11111101  |
| 0  | 2    | 11010100                       | 11111110  |
| 0  | 1    | 11010101                       | 11111110  |
| 0  | 0    | 11010101                       | 11111111  |
| 1  | 1    | 01010101                       | 01111110  |
| 1  | 2    | 01010101                       | 01111110  |
| 1  | 3    | 01010100                       | 01111101  |

## EXPAND

Para la especificación, véase el § 6.2.1. Sustituir S por SP como entrada y SL por SLX como salida.

---

## SUBTA

Para la especificación, véase el § 6.2.1. Sustituir L por SLX como entrada y D por DX como salida.

---

## LOG

Para la especificación, véase el § 6.2.2. Sustituir D por DX como entrada, DL por DLX y DS por DSX como salidas.

---

## SUBTB

Para la especificación, véase el § 6.2.2. Sustituir DL por DLX como entrada y DLN por DLNX como salida.

---

## SYNC (decodificador únicamente)

Entradas: I, SP, DLNX, DSX, LAW

Salida: SD

Función: Recodificación de la muestra MIC de salida en el decodificador para codificación síncrona en cascada.

$$IS = I' \gg (E + C - 1)$$

Para  $E + C = 2$ :

$$IM = \begin{cases} I' + 2, & IS = 0 \\ I' \& 1, & IS = 1 \end{cases}$$

ID se define con arreglo al cuadro siguiente:

CUADRO 17/G.727

**Definición de ID para E + C = 2**

| DSX | DLNX      | ID |  |
|-----|-----------|----|--|
| 0   | 261-2047  | 3  |  |
| 0   | 0- 260    | 2  | -   Parte positiva del intervalo de decisión |
| 0   | 2048-4095 | 2  | -   Parte negativa del intervalo de decisión |
| 1   | 2048-4095 | 1  | -   Parte negativa del intervalo de decisión |
| 1   | 0- 260    | 1  | -   Parte positiva del intervalo de decisión |
| 1   | 261-2047  | 0  |  |

Para (E + C = 3):

$$IM = \begin{cases} I' + 4, IS = 0 \\ I' \& 3, IS = 1 \end{cases}$$

ID se define con arreglo al cuadro siguiente:

CUADRO 18/G.727

**Definición de ID para E + C = 3**

| DSX | DLNX      | ID |  |
|-----|-----------|----|--|
| 0   | 356-2047  | 7  |  |
| 0   | 261- 355  | 6  |  |
| 0   | 123- 260  | 5  |  |
| 0   | 0- 122    | 4  | -   Parte positiva del intervalo de decisión |
| 0   | 2048-4095 | 4  | -   Parte negativa del intervalo de decisión |
| 1   | 2048-4095 | 3  | -   Parte negativa del intervalo de decisión |
| 1   | 0- 122    | 3  | -   Parte positiva del intervalo de decisión |
| 1   | 123- 260  | 2  |  |
| 1   | 261- 355  | 1  |  |
| 1   | 356-2047  | 0  |  |

Para (E + C) = 4):

$$IM = \begin{cases} I' + 8, IS = 0 \\ I' \& 7, IS = 1 \end{cases}$$

ID se define con arreglo al cuadro siguiente:

CUADRO 19/G.727

**Definición de ID para E + C = 4**

| DSX | DLNX      | ID |  |
|-----|-----------|----|--|
| 0   | 405-2047  | 15 |  |
| 0   | 356- 404  | 14 |  |
| 0   | 310- 355  | 13 |  |
| 0   | 261- 309  | 12 |  |
| 0   | 202- 260  | 11 |  |
| 0   | 123- 201  | 10 |  |
| 0   | 0- 122    | 9  | --  Parte positiva del intervalo de decisión |
| 0   | 4089-4095 | 9  | --  Parte negativa del intervalo de decisión |
| 0   | 2048-4088 | 8  |  |
| 1   | 2048-4088 | 7  |  |
| 1   | 4089-4095 | 6  | --  Parte negativa del intervalo de decisión |
| 1   | 0- 122    | 6  | --  Parte positiva del intervalo de decisión |
| 1   | 123- 201  | 5  |  |
| 1   | 202- 260  | 4  |  |
| 1   | 261- 309  | 3  |  |
| 1   | 310- 355  | 2  |  |
| 1   | 356- 404  | 1  |  |
| 1   | 405-2047  | 0  |  |

Para (E + C = 5):

$$IM = \begin{cases} I + 16, IS = 0 \\ I \& 15, IS = 1 \end{cases}$$

ID se define con arreglo al cuadro siguiente:

CUADRO 20/G.727

**Definición de ID para E + C = 5**

| DSX | DLNX      | ID |  |
|-----|-----------|----|--|
| 0   | 439-2047  | 31 |  |
| 0   | 405- 438  | 30 |  |
| 0   | 380- 404  | 29 |  |
| 0   | 356- 379  | 28 |  |
| 0   | 333- 355  | 27 |  |
| 0   | 310- 332  | 26 |  |
| 0   | 286- 309  | 25 |  |
| 0   | 261- 285  | 24 |  |
| 0   | 233- 260  | 23 |  |
| 0   | 202- 232  | 22 |  |
| 0   | 166- 201  | 21 |  |
| 0   | 123- 165  | 20 |  |
| 0   | 69- 122   | 19 |  |
| 0   | 0- 68     | 18 | -   Parte positiva del intervalo de decisión |
| 0   | 4089-4095 | 18 | -   Parte negativa del intervalo de decisión |
| 0   | 3961-4088 | 17 |  |
| 0   | 2048-3960 | 16 |  |
| 1   | 2048-3960 | 15 |  |
| 1   | 3961-4088 | 14 |  |
| 1   | 4089-4095 | 13 | -   Parte negativa del intervalo de decisión |
| 1   | 0- 68     | 13 | -   Parte positiva del intervalo de decisión |
| 1   | 69- 122   | 12 |  |
| 1   | 123- 165  | 11 |  |
| 1   | 166- 201  | 10 |  |
| 1   | 202- 232  | 9  |  |
| 1   | 233- 260  | 8  |  |
| 1   | 261- 285  | 7  |  |
| 1   | 286- 309  | 6  |  |
| 1   | 310- 332  | 5  |  |
| 1   | 333- 355  | 4  |  |
| 1   | 356- 379  | 3  |  |
| 1   | 380- 404  | 2  |  |
| 1   | 405- 438  | 1  |  |
| 1   | 439-2047  | 0  |  |

$$SD = \begin{cases} SP^+, ID < IM \\ SP, ID = IM \\ SP^-, ID > IM \end{cases}$$

donde

$SP^+$  = palabra código MIC que representa el nivel de salida MIC más positivo siguiente (cuando  $SP$  representa el nivel de salida MIC más positivo,  $SP^+$  está forzado a ser  $SP$ ),

$SP^-$  = palabra código MIC que representa el nivel de salida MIC más negativo siguiente (cuando  $SP$  representa el nivel de salida MIC más negativo,  $SP^-$  está forzado a ser  $SP$ ).

Para mayor claridad, en el cuadro siguiente se dan ejemplos de recodificación y para la ley A (después de la inversión de los bits pares) y la ley  $\mu$  en la proximidad del origen:

CUADRO 21/G.727

**Ejemplos de recodificación para las leyes A y  $\mu$**

| Comparación de ID e IM | Ley A    |          | Ley $\mu$ |          |
|------------------------|----------|----------|-----------|----------|
|                        | SP       | SD       | SP        | SD       |
| ID > IM                | 11010101 | 01010101 | 11111110  | 11111111 |
| ID = IM                | "        | 11010101 | "         | 11111110 |
| ID < IM                | "        | 11010100 | "         | 11111101 |
| ID > IM                | 01010101 | 01010100 | 11111111  | 01111110 |
| ID = IM                | "        | 01010101 | "         | 11111111 |
| ID < IM                | "        | 11010101 | "         | 11111110 |
| ID > IM                | 01010100 | 01010111 | 01111110  | 01111101 |
| ID = IM                | "        | 01010100 | "         | 01111110 |
| ID < IM                | "        | 01010101 | "         | 01111111 |

*Nota* – SP (y SD) representan señales de carácter definidas según los cuadros 1/G.711 y 2/G.711. Para la representación exacta de SP (y SD) véase el subbloque COMPRESS.



## APÉNDICE I

(a la Recomendación G.727)

### **Secuencias de prueba digitales para la verificación de los algoritmos de la Recomendación G.727**

Este apéndice ofrece información sobre las secuencias de prueba digitales que se han elegido para la verificación de las realizaciones de los algoritmos de la Recomendación G.727. Pueden obtenerse copias de las secuencias en discos flexibles con una descripción detallada enviando el pedido al Servicio de Ventas de la UIT. (Véase la carta colectiva N.º 12/XV, 1991.)

#### II.1 *Objeto de las secuencias de prueba digitales*

Las secuencias digitales se utilizan para verificar la conformidad de una realización de un algoritmo de transcodificación digital. Las secuencias se eligen para poder probar los componentes aritméticos principales, dando con ello un nivel razonable de confianza al cumplimiento con esta Recomendación de una realización. Obsérvese que con un número limitado de secuencias de prueba no es posible demostrar la cobertura al 100% de todos los estados de la realización. Los puntos más generales de las pruebas de dichos algoritmos son motivo de investigación en cuanto a pruebas de circuitos VLSI y pruebas de conformidad de protocolos.

#### II.2 *Interfaz y formato del disco*

La UIT dispone de copias de las secuencias de prueba digitales en doce discos de 5 1/4". Los discos se han creado en el sistema operativo MS-DOS (versión 3.2 o más reciente), tienen un formato MS-DOS y son de 1,2 Mbyte, doble cara alta densidad con 96 pistas por pulgada.