



UNION INTERNATIONALE DES TÉLÉCOMMUNICATIONS

CCITT

G.726

COMITÉ CONSULTATIF
INTERNATIONAL
TÉLÉGRAPHIQUE ET TÉLÉPHONIQUE

**ASPECTS GÉNÉRAUX DES SYSTÈMES
DE TRANSMISSION NUMÉRIQUES;
ÉQUIPEMENTS TERMINAUX**

**MODULATION PAR IMPULSIONS ET CODAGE
DIFFÉRENTIEL ADAPTATIF (MICDA)
À 40, 32, 24, 16 kbit/s**

Recommandation G.726



Genève, 1990

AVANT-PROPOS

Le CCITT (Comité consultatif international télégraphique et téléphonique) est un organe permanent de l'Union internationale des télécommunications (UIT). Il est chargé de l'étude des questions techniques, d'exploitation et de tarification, et émet à ce sujet des Recommandations en vue de la normalisation des télécommunications à l'échelle mondiale.

L'Assemblée plénière du CCITT, qui se réunit tous les quatre ans, détermine les thèmes d'études et approuve les Recommandations rédigées par ses Commissions d'études. Entre les Assemblées plénières, l'approbation des Recommandations par les membres du CCITT s'effectue selon la procédure définie dans la Résolution n° 2 du CCITT (Melbourne, 1988).

La Recommandation G.726, que l'on doit à la Commission d'études XV, a été approuvée le 14 décembre 1990 selon la procédure définie dans la Résolution n° 2.

NOTE DU CCITT

Dans cette Recommandation, l'expression «Administration» est utilisée pour désigner de façon abrégée aussi bien une Administration de télécommunications qu'une exploitation privée reconnue de télécommunications.

© UIT 1990

Droits de reproduction réservés. Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

Recommandation G.726

MODULATION PAR IMPULSIONS ET CODAGE DIFFÉRENTIEL ADAPTATIF (MICDA) À 40, 32, 24, 16 kbit/s¹⁾

1 Considérations générales

La présente Recommandation indique les caractéristiques à employer pour la conversion d'une voie de modulation par impulsions et codage (MIC) utilisant la loi A ou la loi μ à 64 kbit/s en une voie à 40, 32, 24 ou 16 kbit/s, et vice versa. Le signal MIC est converti à l'aide d'une technique de transcodage MICDA. Les relations entre les signaux à fréquences vocales et les lois de codage et de décodage MIC sont exposées en détail dans la Recommandation G.711.

La principale application des voies à 24 et à 16 kbit/s est celle des voies de surcharge transmettant des signaux vocaux dans l'équipement de multiplication de circuit numérique (EMCN).

La principale application des voies à 40 kbit/s est de transmettre les signaux des modems de données dans l'EMCN, en particulier lorsque ces modems fonctionnent à plus de 4800 bit/s.

Les § 1.1 et 1.2 de la présente Recommandation donnent une description succincte de l'algorithme de transcodage MICDA, les § 2 et 3 exposent respectivement les principes et les descriptions fonctionnelles des algorithmes de codage et de décodage MICDA, le § 4 donne la spécification précise des calculs de l'algorithme. Les appendices I et II contiennent, respectivement, quelques considérations sur le fonctionnement dans le réseau et les séquences numériques de test.

On trouvera à la figure 1/G.726 les schémas de principe simplifiés du codeur et du décodeur MICDA.

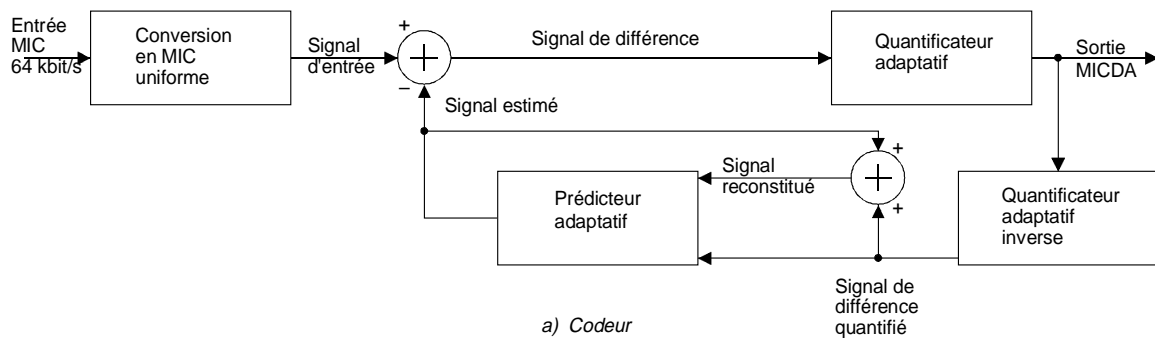
Au § 4, chaque sous-bloc dans le codeur et dans le décodeur est défini avec précision en utilisant une séquence logique particulière. Si d'autres méthodes de calcul sont utilisées, il faut prendre un soin extrême pour assurer qu'elles donnent *exactement* la même valeur aux variables de sortie. Tout autre écart par rapport aux procédures détaillées au § 4 entraînera une dégradation, parfois importante, de la qualité de transmission.

Remarque 1 – Antérieurement à la définition de la présente Recommandation, d'autres algorithmes MICDA à performance comparable à l'algorithme pour 40 kbit/s spécifique ont été inclus dans la conception des EMCN et utilisés dans les réseaux de télécommunication. Des accords bilatéraux peuvent être envisagés, en certaines circonstances, pour ces algorithmes dans un nombre limité d'applications de la MICDA aux EMCN. On trouvera des descriptions techniques fournissant des informations sur deux algorithmes de ce type, dans les documents COM XVIII-101 et COM XVIII-102 de la période d'études 1984-1988.

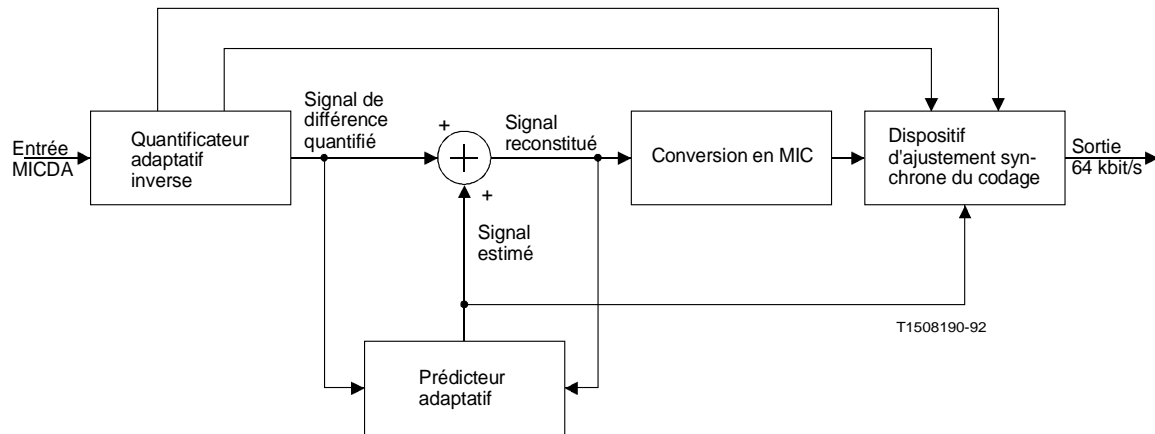
Remarque 2 – Il n'entre dans l'objectif de la présente Recommandation ni d'assigner les voies EMCN à 16, 24, 32 et 40 kbit/s, ni de fixer le choix des débits de codage correspondants; [voir, par exemple, les Recommandations G.761 et G.763 (révisée; 1990)].

Remarque 3 – Les aspects concernant la signalisation et le multiplexage dépassent le cadre de la présente Recommandation [voir, par exemple, les Recommandations G.761 et G.763 (révisée; 1990)].

1) La présente Recommandation remplace entièrement le texte des Recommandations G.721 et G.723 publiées dans le fascicule III.4 du Livre bleu. Il convient de noter que les systèmes conçus conformément à la présente Recommandation seront compatibles avec des systèmes établis sur la base des spécifications de la version du Livre bleu.



a) Codeur



b) Décodeur

FIGURE 1/G.726

Schémas de principe simplifiés

1.1 *Codeur MICDA*

On obtient un signal de différence en soustrayant du signal d'entrée (préalablement converti de la loi A ou la loi μ en MIC uniforme) une valeur estimée de ce signal. Un quantificateur adaptatif à 31, 15, 7 ou 4 niveaux permet d'attribuer, respectivement, cinq, quatre, trois ou deux éléments binaires à la valeur de ce signal de différence en vue de sa transmission jusqu'au décodeur. Un quantificateur inverse produit le signal de différence quantifié à partir de ces mêmes cinq, quatre, trois ou deux éléments binaires. La valeur estimée du signal est ajoutée au signal de différence quantifié pour fournir une version reconstituée du signal d'entrée. Un prédicteur adaptatif, qui agit tant sur le signal reconstitué que sur le signal de différence quantifié, fournit une estimation du signal d'entrée, ce qui ferme la boucle de contre-réaction.

1.2 *Décodeur MICDA*

Le décodeur comporte une structure identique à celle de la boucle de contre-réaction du codeur ainsi qu'un dispositif de conversion du code MIC uniforme en loi A ou en loi μ et un dispositif d'ajustement synchrone du codage.

Le dispositif d'ajustement synchrone du codage empêche l'accumulation de la distorsion que l'on pourrait observer avec des codages synchrones en cascade (connexions numériques MICDA-MIC-MICDA, etc.) dans certaines conditions (voir le § 3.7). On parvient à ce résultat en ajustant le code de sortie MIC de façon à tenter d'éliminer la distorsion de quantification dans l'étage de codage MICDA suivant.

2 Principes du codeur MICDA

La figure 2/G.726 est un schéma de principe du codeur. Pour chacune des variables décrites, k représente l'indice d'échantillonnage, les échantillons étant prélevés à intervalles de $125 \mu\text{s}$. On trouvera aux § 2.1 à 2.8 ci-après une description des fonctions de chaque bloc du schéma.

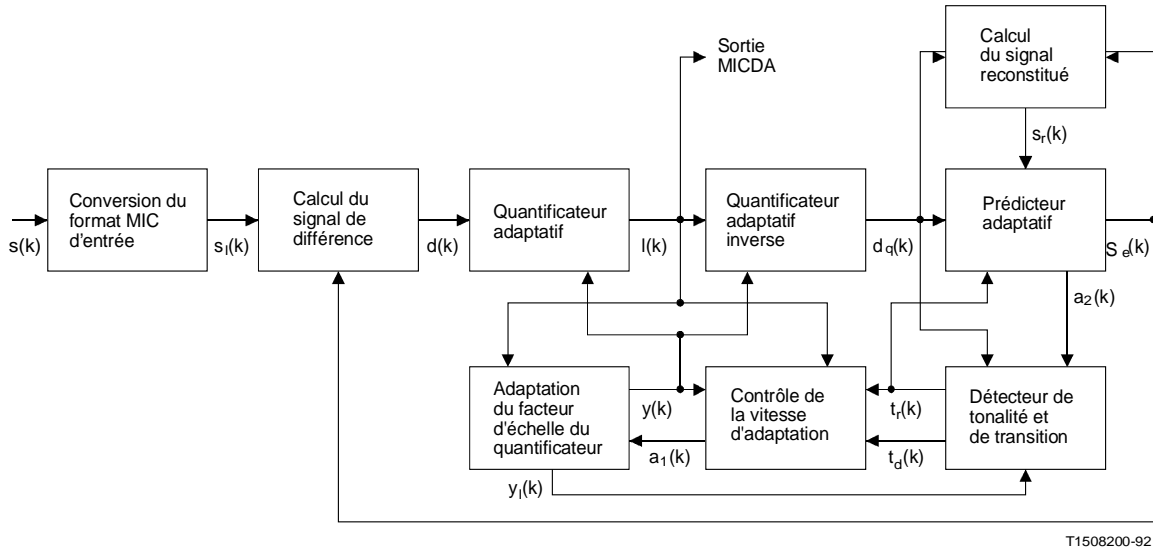


FIGURE 2/G.726

Schéma de principe du codeur

2.1 Conversion du format MIC d'entrée

Ce bloc convertit le signal d'entrée $s(k)$ (signal MIC selon la loi A ou la loi μ) en un signal MIC uniforme $s_l(k)$.

2.2 Calcul du signal de différence

Ce bloc calcule le signal de différence $d(k)$ d'après le signal MIC uniforme $s_l(k)$ et le signal estimé $s_e(k)$:

$$d(k) = s_l(k) - s_e(k) \quad (2-1)$$

2.3 Quantificateur adaptatif

On utilise un quantificateur adaptatif non uniforme à 31, 15, 7 ou 4 niveaux pour quantifier le signal de différence $d(k)$ en vue d'un fonctionnement à 40, 32, 24 ou 16 kbit/s respectivement. Avant la quantification, $d(k)$ est converti en une représentation logarithmique en base 2 avec le facteur d'échelle $y(k)$, qui est calculé au moyen du bloc d'adaptation du facteur d'échelle. Les tableaux 1/G.726 à 4/G.726 donnent la caractéristique normalisée entrée/sortie du quantificateur (valeurs en précision infinie).

2.3.1 *Fonctionnement à 40 kbit/s*

Cinq éléments binaires permettent de spécifier le niveau quantifié qui représente $d(k)$ (quatre pour l'amplitude et un pour le signe). Le signal à 5 bits $I(k)$, délivré par le quantificateur, forme le signal de sortie à 40 kbit/s; $I(k)$ prenant une valeur parmi 31 valeurs différentes de zéro. $I(k)$ est injecté également dans le quantificateur adaptatif inverse, le bloc de contrôle de la vitesse d'adaptation et le bloc d'adaptation du facteur d'échelle du quantificateur qui fonctionnent avec un $I(k)$ de 5 bits ayant pris une valeur parmi 32 valeurs possibles. $I(k) = 00000$ est une entrée valable pour ces blocs lorsqu'elle est utilisée dans le décodeur, en raison d'erreurs de transmission.

TABLEAU 1/G.726

**Caractéristiques des entrées et sorties normalisées
du quantificateur pour un fonctionnement à 40 kbit/s**

Niveaux d'entrée normalisés du quantificateur $\log_2 d(k) - y(k)$	$ I(k) $	Niveaux de sortie normalisés du quantificateur $\log_2 d_q(k) - y(k)$
[4,31, +∞)	15	4,42
[4,12, 4,31)	14	4,21
[3,91, 4,12)	13	4,02
[3,70, 3,91)	12	3,81
[3,47, 3,70)	11	3,59
[3,22, 3,47)	10	3,35
[2,95, 3,22)	9	3,09
[2,64, 2,95)	8	2,80
[2,32, 2,64)	7	2,48
[1,95, 2,32)	6	2,14
[1,54, 1,95)	5	1,75
[1,08, 1,54)	4	1,32
[0,52, 1,08)	3	0,81
[-0,13, 0,52)	2	0,22
[-0,96, -0,13)	1	-0,52
(-∞, -0,96)		-∞

Remarque – Dans les tableaux 1/G.726 à 4/G.726, le signe «[» indique que la borne est incluse dans l'intervalle tandis que le signe «(» ou «)» ou indique qu'elle en est exclue.

2.3.2 *Fonctionnement à 32 kbit/s*

Quatre éléments binaires permettent de spécifier le niveau quantifié qui représente $d(k)$ (trois pour l'amplitude et un pour le signe). Le signal à 4 bits $I(k)$, délivré par le quantificateur, forme le signal de sortie à 32 kbit/s; il est injecté également dans le quantificateur adaptatif inverse, le bloc de contrôle de la vitesse d'adaptation et le bloc d'adaptation du facteur d'échelle du quantificateur. $I(k) = 0000$ est une entrée valable pour ces blocs lorsqu'elle est utilisée dans le décodeur, en raison d'erreurs de transmission.

TABLEAU 2/G.726

**Caractéristiques des entrées et sorties normalisées
du quantificateur pour un fonctionnement à 32 kbit/s**

Niveaux d'entrée normalisés du quantificateur $\log_2 d(k) - y(k) $	$ I(k) $	Niveaux de sortie normalisés du quantificateur $\log_2 d_q(k) - y(k) $
$[3,12, +\infty)$	7	3,32
$[2,72, 3,12)$	6	2,91
$[2,34, 2,72)$	5	2,52
$[1,91, 2,34)$	4	2,13
$[1,38, 1,91)$	3	1,66
$[0,62, 1,38)$	2	1,05
$[-0,98, 0,62)$	1	0,031
$(-\infty, -0,98)$	0	$-\infty$

2.3.3 Fonctionnement à 24 kbit/s

Trois éléments binaires permettent de spécifier le niveau quantifié qui représente $d(k)$ (deux pour l'amplitude et un pour le signe). Le signal à 3 bits $I(k)$, délivré par le quantificateur, forme le signal de sortie à 24 kbit/s, où $I(k)$ prend une des sept valeurs différentes de zéro; $I(k)$ est injecté également dans le quantificateur adaptatif inverse, le bloc de contrôle de la vitesse d'adaptation et le bloc d'adaptation du facteur d'échelle du quantificateur, chacun de ces éléments est modifié pour fonctionner avec un $I(k)$ de 3 bits ayant pris une valeur parmi huit valeurs possibles. $I(k) = 000$ est une entrée valable pour ces blocs lorsqu'elle est utilisée dans le décodeur, en raison d'erreurs de transmission.

TABLEAU 3/G.726

**Caractéristiques des entrées et sorties normalisées du quantificateur
pour un fonctionnement à 24 kbit/s**

Niveaux d'entrée normalisés du quantificateur $\log_2 d(k) - y(k) $	$ I(k) $	Niveaux de sortie normalisés du quantificateur $\log_2 d_q(k) - y(k) $
$[2,58, +\infty)$	3	2,91
$[1,70, 2,58)$	2	2,13
$[0,06, 1,70)$	1	1,05
$(-\infty, 0,06)$	0	$-\infty$

2.3.4 Fonctionnement à 16 kbit/s

Deux éléments binaires permettent de spécifier le niveau quantifié qui représente $d(k)$ (un pour l'amplitude et un pour le signe). Le signal à 2 bits $I(k)$, délivré par le quantificateur, forme le signal de sortie à 16 kbit/s; il est injecté également dans le quantificateur adaptatif inverse, le bloc de contrôle de la vitesse d'adaptation et le bloc d'adaptation du facteur d'échelle du quantificateur.

TABLEAU 4/G.726

**Caractéristiques des entrées et sorties normalisées du quantificateur
pour un fonctionnement à 16 kbit/s**

Niveaux d'entrée normalisés du quantificateur $\log_2 d(k) - y(k) $	$ I(k) $	Niveaux de sortie normalisés du quantificateur $\log_2 d_q(k) - y(k) $
$[2,04, +\infty)$	1	2,85
$(-\infty, 2,04)$	0	0,91

A la différence des quantificateurs décrits au § 2.3.1 pour un fonctionnement à 40 kbit/s, au § 2.3.2 pour un fonctionnement à 32 kbit/s et au § 2.3.3 pour un fonctionnement à 24 kbit/s, le quantificateur pour un fonctionnement à 16 kbit/s est un quantificateur à un nombre pair de niveaux (4 niveaux). Le quantificateur à un nombre pair de niveaux pour le MICDA à 16 kbit/s a été choisi car sa qualité de fonctionnement est supérieure à celle du quantificateur correspondant à un nombre impair de niveaux (3 niveaux).

2.4 Quantificateur adaptatif inverse

Une version quantifiée $d_q(k)$ du signal de différence est obtenue en utilisant le facteur d'échelle $y(k)$ pour les valeurs spécifiques de la caractéristique de quantification normalisée indiquée aux tableaux 1/G.726 à 4/G.726, et en transformant le résultat à partir du domaine logarithmique.

2.5 Adaptation du facteur d'échelle du quantificateur

Ce bloc calcule $y(k)$, facteur d'échelle du quantificateur et du quantificateur inverse. Les entrées correspondantes sont le signal de sortie du quantificateur à 5, 4, 3, 2 bits $I(k)$ et le paramètre de contrôle de la vitesse d'adaptation, $a_l(k)$.

Le principe de base appliqué pour déterminer le facteur d'échelle du quantificateur est l'adaptation bimodale:

- adaptation «rapide» pour les signaux qui produisent des signaux de différence à grandes fluctuations (par exemple, signaux vocaux);
- adaptation «lente» pour les signaux qui produisent des signaux de différence à fluctuations faibles (par exemple, données transmises dans la bande vocale, tonalités).

La vitesse d'adaptation est déterminée par une combinaison de facteurs d'échelle à adaptation lente et rapide.

Le facteur d'échelle (non verrouillé) à adaptation rapide $y_u(k)$ se calcule par récurrence dans le domaine logarithmique en base 2, à partir du facteur d'échelle logarithmique $y(k)$:

$$y_u(k) = (1 - 2^{-5}) y(k) + 2^{-5} W[I(k)], \quad (2-2)$$

où $y_u(k)$ est limité à l'intervalle $1,06 \leq y_u(k) \leq 10,00$.

Pour un codage MICDA à 40 kbit/s, la fonction discrète $W(I)$, est définie comme suit (valeurs en précision infinie):

$ I(k) $	15	14	13	12	11	10	9	8
$W[I(k)]$	43,50	33,06	27,50	22,38	17,50	13,69	11,19	8,81

$ I(k) $	7	6	5	4	3	2	1	0
$W[I(k)]$	6,25	3,63	2,56	2,50	2,44	1,50	0,88	0,88

Pour un codage MICDA à 32 kbit/s, la fonction discrète $W(I)$, est définie comme suit (valeurs en précision infinie):

$ I(k) $	7	6	5	4	3	2	1	0
$W[I(k)]$	70,13	22,19	12,38	7,00	4,00	2,56	1,13	-0,75

Pour un codage MICDA à 24 kbit/s, la fonction discrète $W(I)$, est définie comme suit (valeurs en précision infinie):

$ I(k) $	3	2	1	0
$W[I(k)]$	36,38	8,56	1,88	-0,25

Pour un codage MICDA à 16 kbit/s, la fonction discrète $W(I)$, est définie comme suit (valeurs en précision infinie):

Le facteur $(1 - 2^{-5})$ introduit une mémoire finie dans le processus d'adaptation, de sorte que les états du codeur et du décodeur convergent à la suite d'erreurs de transmission.

$ I(k) $	1	0
$W[I(k)]$	27,44	-1,38

Le facteur d'échelle à adaptation lente (verrouillé) $y_l(k)$ est déduit de $y_u(k)$ à l'aide d'un filtre passe-bas:

$$y_l(k) = (1 - 2^{-6}) y_l(k - 1) + 2^{-6} y_u(k) \quad (2-3)$$

On obtient le facteur d'échelle en combinant les facteurs d'échelle à adaptation rapide et à adaptation lente:

$$y(k) = a_l(k) y_u(k - 1) + [1 - a_l(k)] y_l(k - 1) \quad (2-4)$$

où $0 \leq a_l(k) \leq 1$ (voir le § 2.6).

2.6 *Contrôle de la vitesse d'adaptation*

Le paramètre de contrôle $a_l(k)$ peut prendre une valeur comprise entre 0 et 1. Sa valeur tend vers l'unité pour les signaux vocaux et vers zéro pour les signaux de données transmis dans la bande vocale. Il se déduit de la mesure du taux de variation du signal de différence.

On calcule deux types de valeurs de l'amplitude moyenne de $I(k)$:

$$d_{ms}(k) = (1 - 2^{-5}) d_{ms}(k - 1) + 2^{-5} F[I(k)] \quad (2-5)$$

$$d_{ml}(k) = (1 - 2^{-7}) d_{ml}(k - 1) + 2^{-7} F[I(k)] \quad (2-6)$$

Pour un codage MICDA à 40 kbit/s, $F[I(k)]$ est défini par:

$ I(k) $	15	14	13	12	11	10	9	8
$F[I(k)]$	6	6	5	4	3	2	1	1

$ I(k) $	7	6	5	4	3	2	1	0
$F[I(k)]$	1	1	1	0	0	0	0	0

Pour un codage MICDA à 32 kbit/s, $F[I(k)]$ est défini par:

$ I(k) $	7	6	5	4	3	2	1	0
$F[I(k)]$	7	3	1	1	1	0	0	0

Pour un codage MICDA à 24 kbit/s, $F[I(k)]$ est défini par:

$ I(k) $	3	2	1	0
$F[I(k)]$	7	2	1	0

Pour un codage MICDA à 16 kbit/s, $F[I(k)]$ est défini par:

$$\frac{|I(k)|}{F[I(k)]} \quad \left| \begin{array}{c|c} 1 & 0 \\ \hline 7 & 0 \end{array} \right.$$

Ainsi, $d_{ms}(k)$ est une moyenne à relativement court terme de $F[I(k)]$ et $d_{ml}(k)$ est une moyenne à relativement long terme de $F[I(k)]$.

La variable $a_p(k)$ est alors définie à l'aide de ces deux moyennes:

$$a_p(k) = \begin{cases} (1 - 2^{-4})a_p(k-1) + 2^{-3}, & \text{pour } |d_{ms}(k) - d_{ml}(k)| \geq 2^{-3} d_{ml}(k) \\ (1 - 2^{-4})a_p(k-1) + 2^{-3}, & \text{pour } y(k) < 3 \\ (1 - 2^{-4})a_p(k-1) + 2^{-3}, & \text{pour } t_d(k) = 1 \\ 1, & \text{pour } t_r(k) = 1 \\ (1 - 2^{-4})a_p(k-1), & \text{dans les autres cas} \end{cases} \quad (2-7)$$

Ainsi, $a_p(k)$ tend vers la valeur 2 si la différence entre $d_{ms}(k)$ et $d_{ml}(k)$ est grande [amplitude moyenne de $I(k)$ variable] et $a_p(k)$ tend vers la valeur 0 si cette différence est petite [amplitude moyenne de $I(k)$ relativement constante]. $a_p(k)$ tend également vers 2 pour des signaux de voie au repos [correspondant à $y(k) < 3$] ou à bande étroite [correspondant à $t_d(k) = 1$ comme indiqué au § 2.8]. A noter que $a_p(k)$ est mis à 1 en cas de détection d'une transition de signal à bande étroite [correspondant à $t_r(k) = 1$, voir le § 2.8].

$a_p(k-1)$ est alors limité pour donner le facteur $a_l(k)$ utilisé dans l'équation (2-4) ci-dessus:

$$a_l(k) = \begin{cases} 1, & a_p(k-1) > 1 \\ a_p(k-1), & a_p(k-1) \leq 1. \end{cases} \quad (2-8)$$

Cette limitation asymétrique a pour effet de retarder le début de la transition de l'état lent à l'état rapide, jusqu'à ce que la valeur absolue de $I(k)$ demeure constante pendant un certain temps. Il est ainsi plus facile d'éliminer les transitions prématurées pour des signaux d'entrée de type impulsif tels que les signaux de données transmis dans la bande vocale en porteuse commutée.

2.7 Prédicteur adaptatif et calcul du signal reconstitué

Le prédicteur adaptatif a pour fonction essentielle de calculer la valeur estimée du signal $s_e(k)$ à partir du signal de différence quantifié $d_q(k)$. On a recours à deux structures de prédicteur adaptatif: une structure du sixième ordre qui simule des zéros et une structure du deuxième ordre qui simule des pôles modélisant le signal d'entrée. Cette double structure permet de traiter efficacement les divers types de signaux que l'on peut rencontrer.

On obtient la valeur estimée du signal par le calcul suivant:

$$s_e(k) = \sum_{i=1}^2 a_i(k-1) s_r(k-i) + s_{ez}(k), \quad (2-9)$$

où

$$s_{ez}(k) = \sum_{i=1}^6 b_i(k-1) d_q(k-i),$$

et le signal reconstitué est défini par:

$$s_r(k-i) = s_e(k-i) + d_q(k-i).$$

Les deux groupes de coefficients du prédicteur sont actualisés à l'aide d'un algorithme de gradient simplifié:

pour le prédicteur du second ordre:

$$a_1(k) = (1 - 2^{-8})a_1(k-1) + (3 \cdot 2^{-8}) \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-1)], \quad (2-10)$$

$$a_2(k) = (1, -2^{-7})a_2(k-1) + 2^{-7} \{ \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-2)] - f[a_1(k-1)] \operatorname{sgn} [p(k)] \operatorname{sgn} [p(k-1)] \}, \quad (2-11)$$

où

$$p(k) = d_q(k) + s_{ez}(k),$$

$$f(a_1) = \begin{cases} 4a_1, & |a_1| \leq 2^{-1} \\ 2 \operatorname{sgn}(a_1), & |a_1| > 2^{-1}, \end{cases}$$

et $\operatorname{sgn} [0] = 1$, sauf $\operatorname{sgn} [p(k-i)]$, qui n'est défini comme égal à 0 que si $p(k-i) = 0$ et $i = 0$;

avec comme contraintes de stabilité:

$$|a_2(k)| \leq 0,75 \text{ et } |a_1(k)| \leq 1 - 2^{-4} - a_2(k).$$

Si $t_r(k) = 1$ (voir le § 2.8), $a_1(k) = a_2(k) = 0$,

pour le prédicteur du sixième ordre:

$$b_i(k) = (1 - 2^{-8})b_i(k-1) + 2^{-7} \operatorname{sgn} [d_q(k)] \operatorname{sgn} [d_q(k-i)], \quad (2-12A)$$

pour $i = 1, 2, \dots, 6$.

Pour un codage à 40 kbit/s, le prédicteur adaptatif est modifié de façon à diminuer le coefficient d'atténuation utilisé pour l'adaptation du coefficient des zéros. Dans ce cas, l'équation (2-12A) devient:

$$b_i(k) = (1 - 2^{-9})b_i(k-1) + 2^{-7} \operatorname{sgn} [d_q(k)] \operatorname{sgn} [d_q(k-i)]. \quad (2-12B)$$

Si $t_r(k) = 1$ (voir le § 2.8), on a: $b_1(k) = b_2(k) = \dots = b_6(k) = 0$.

Comme indiqué ci-dessus, $\operatorname{sgn} [0] = 1$, mais $\operatorname{sgn} [d_q(k-i)]$, n'est défini comme égal à 0 que si $d_q(k-i) = 0$ et $i = 0$. A noter que $b_i(k)$ est implicitement limité à ± 2 .

2.8 Détecteur de tonalité et de transition

Pour améliorer le fonctionnement dans le cas de signaux provenant de modems à modulation par déplacement de fréquence (MDF) en mode caractère, un processus de détection en deux temps a été défini. Tout d'abord, la détection du signal à bande étroite (tonalité, par exemple) provoque le passage du quantificateur en mode d'adaptation rapide:

$$t_d(k) = \begin{cases} 1, & a_2(k) < -0,71875 \\ 0, & \text{dans les autres cas} \end{cases} \quad (2-13)$$

De plus, on définit une transition de signal à bande étroite telle que les coefficients du prédicteur puissent être mis à zéro, et que le quantificateur puisse être forcé au mode d'adaptation rapide:

$$t_r(k) = \begin{cases} 1, & a_2(k) < -0,71875 \text{ et } |d_q(k)| > 24 \cdot 2^{y_l(k)} \\ 0, & \text{dans les autres cas} \end{cases} \quad (2-14)$$

3 Principes du décodeur MICDA

La figure 3/G.726 est un schéma de principe du décodeur. On trouvera aux § 3.1 à 3.7 ci-après une description des fonctions de chaque bloc.

3.1 Quantificateur adaptatif inverse

La fonction de ce bloc est spécifiée au § 2.4.

3.2 Adaptation du facteur d'échelle du quantificateur

La fonction de ce bloc est spécifiée au § 2.5.

3.3 Contrôle de la vitesse d'adaptation du quantificateur

La fonction de ce bloc est spécifiée au § 2.6.

3.4 Prédicteur adaptatif et calcul du signal reconstitué

Les fonctions de ce bloc sont spécifiées au § 2.7.

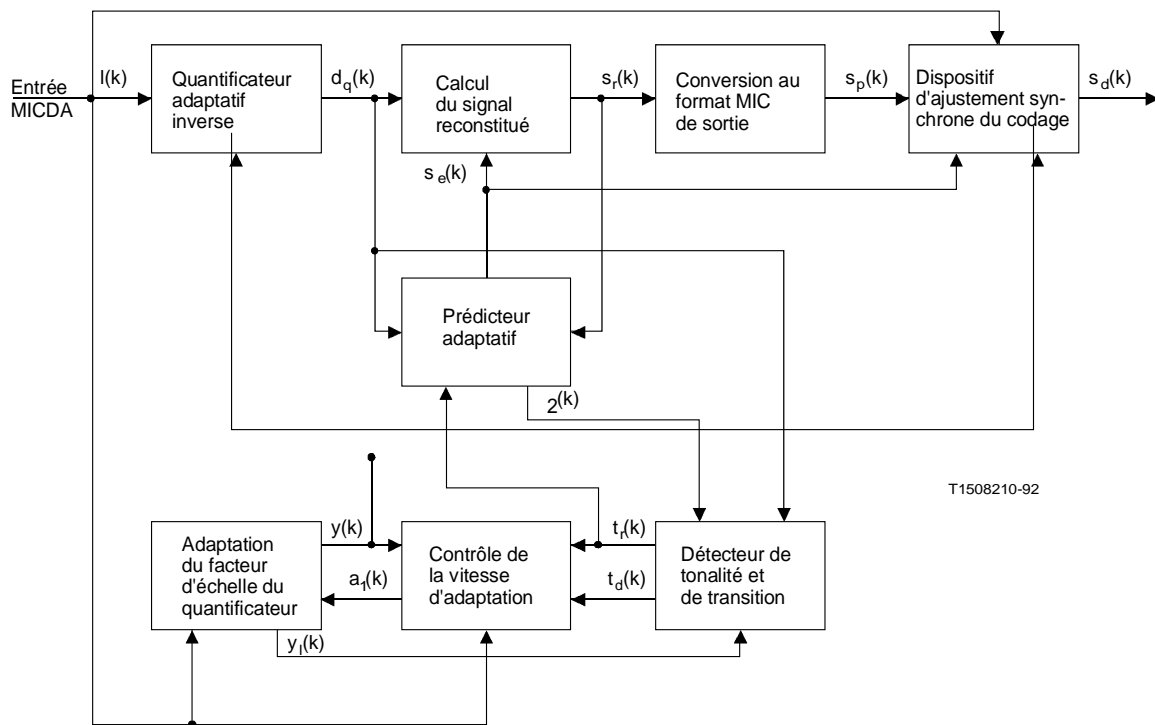


FIGURE 3/G.726

Schéma de principe du décodeur

3.5 Détecteur de tonalité et de transition

La fonction de ce bloc est spécifiée au § 2.8.

3.6 Conversion du format MIC de sortie

Ce bloc convertit le signal reconstitué codé en MIC uniforme $s_r(k)$ en un signal MIC loi A ou loi μ selon le cas, $s_p(k)$.

3.7 Dispositif d'ajustement synchrone du codage

Le dispositif d'ajustement synchrone du codage empêche l'accumulation de la distorsion que l'on pourrait observer avec des codages synchrones en cascade (connexions numériques MICDA-MIC-MICDA, etc.) quand:

- i) la transmission des signaux MICDA et des signaux intermédiaires MIC à 64 kbit/s a lieu sans erreur; et
- ii) que les trains MICDA et MIC intermédiaires à 64 kbit/s ne sont pas perturbés par les dispositifs numériques de traitement du signal.

Si le codeur et le décodeur ont des conditions initiales différentes, comme cela peut se produire, par exemple, après commutation, la mise en cascade synchrone peut prendre un certain temps. De plus, si l'ajustement est perdu ou s'il n'est pas acquis initialement, il pourra être récupéré plus facilement pour des signaux de niveau suffisant et dont le spectre occupe la majeure partie de la bande 200 à 3400 Hz (c'est le cas, par exemple, des signaux vocaux et des données transmises à 4800 bit/s dans la bande vocale).

Quand un décodeur est connecté en synchronisme à un codeur, le dispositif d'ajustement fait une estimation de la quantification dans le codeur. Si toutes les variables d'état du décodeur et du codeur ont des valeurs identiques et s'il n'y a pas d'erreur de transmission, le fait de forcer les deux séquences de sortie à 4 bits du quantificateur à être identiques pour l'ensemble des valeurs de k , garantit qu'il n'y a pas d'accumulation de la distorsion.

Pour cela, le bloc convertit le signal MIC loi A ou loi μ , $s_p(k)$ en un signal MIC uniforme $s_{lx}(k)$ et calcule ensuite un signal de différence $d_x(k)$:

$$d_x(k) = s_{lx}(k) - s_e(k) \quad (3-1)$$

Le signal de différence $d_x(k)$ est ensuite comparé à l'intervalle de décision du quantificateur MICDA, déterminé par $I(k)$ et $y(k)$. Le signal $s_d(k)$ est alors défini comme suit:

$$s_d(k) = \begin{cases} s_p^+(k), & \text{si } d_x(k) < \text{limite inférieure de l'intervalle} \\ s_p^-(k), & \text{si } d_x(k) \geq \text{limite supérieure de l'intervalle} \\ s_p(k), & \text{dans les autres cas} \end{cases} \quad (3-2)$$

où

$s_d(k)$ est le mot de code MIC à la sortie du décodeur,

$s_p^+(k)$ est le mot de code MIC qui représente le niveau de sortie MIC immédiatement supérieur [lorsque $s_p(k)$ représente le niveau de sortie maximal positif, alors $s_p^+(k)$ est maintenu à $s_p(k)$],

$s_p^-(k)$ est le mot de code MIC qui représente le niveau de sortie MIC immédiatement inférieur [lorsque $s_p(k)$ représente le niveau de sortie maximal négatif, alors $s_p^-(k)$ est maintenu à $s_p(k)$].

4 Détail des calculs

Les § 4.1 et 4.2 donnent le détail des calculs correspondant à chacun des éléments du codeur et du décodeur. La synchronisation du codeur et du décodeur s'obtient en exécutant le calcul pour tous les blocs retard simultanément et en passant au calcul des signaux qui peuvent être obtenus à partir de ces renseignements. Dans la figure 9/G.726 par exemple, la valeur estimée du signal (SE) est calculée en se servant des valeurs de retard, et est ensuite utilisée comme indiqué à la figure 4/G.726.

On peut s'assurer de la correction de la mise en œuvre de l'algorithme avec un niveau raisonnable de confiance en utilisant les séquences d'essai numériques décrites dans l'appendice II à la présente Recommandation. Les séquences sont décrites en mots de code MIC à l'entrée du codeur, en mots de code MICDA et en mots de code MIC à la sortie du décodeur.

4.1 Signaux d'entrée et de sortie

Le tableau 5/G.726 définit les signaux d'entrée et de sortie pour le codeur et le décodeur.

Un signal facultatif R représente une fonction de réinitialisation qui ramène tous les points mémoire internes à un état spécifié de sorte qu'un codeur ou un décodeur puisse être forcé à passer dans un état connu pour des applications nécessitant une fonction de réinitialisation immédiate (par exemple, les équipements de multiplication de circuits numériques), auquel cas la réinitialisation est obligatoire et non facultative.

TABLEAU 5/G.726

Signaux d'entrée et de sortie

CODEUR			
	Nom	Nombre de bits	Description
Entrée	S	8	Mot d'entrée MIC
Entrée	LAW	1	Choix de la loi MIC, 0 = loi μ , 1 = loi A
Entrée	R (facultatif)	1	Réinitialisation
Sortie	I	5	Mot MICDA à 40 kbit/s
Sortie	I	4	Mot MICDA à 32 kbit/s
Sortie	I	3	Mot MICDA à 24 kbit/s
Sortie	I	2	Mot MICDA à 16 kbit/s
DÉCODEUR			
	Nom	Nombre de bits	Description
Entrée	I	5	Mot MICDA à 40 kbit/s
Entrée	I	4	Mot MICDA à 32 kbit/s
Entrée	I	3	Mot MICDA à 24 kbit/s
Entrée	I	2	Mot MICDA à 16 kbit/s
Entrée	LAW	1	Choix de la loi MIC, 0 = loi μ , 1 = loi A
Entrée	R (facultatif)	1	Réinitialisation
Sortie	SD	8	Mot de sortie MIC du décodeur

4.2 Description des variables et explication détaillée des sous-blocs

Le présent § 4.2 contient la description détaillée de tous les blocs des figures 2/G.726 et 3/G.726 (voir les § 2 et 3). Cette description est illustrée par les figures 4/G.726 à 11/G.726, les variables internes de traitement étant définies au tableau 6/G.726. On trouvera ci-après, pour chaque sous-bloc, une brève description de la fonction ainsi qu'une spécification complète.

Les notations employées sont les suivantes:

- $\ll n$ Opération de décalage de n bits vers la gauche (remplissage par des zéros)
- $\gg n$ Opération de décalage de n bits vers la droite (dans la direction du bit de poids faible, et remplissage par des zéros)
- $\&$ Opération logique «et»
- $+$ Addition arithmétique
- $-$ Soustraction arithmétique
- $*$ Multiplication arithmétique
- $**$ Opération logique «ou exclusif»
- |
- | Observations concernant les équations
- |

TABLEAU 6/G.726

Variables de traitement interne

Nom	Bits	Représentation binaire	Valeurs de réinitialisation facultative	Description
A1 ^{a)} , A2 ^{a)}	16 TC	S, 0,..., -14	0	Coefficients du prédicteur du second ordre retardés
A1P, A2P	16 TC	S, 0,..., -14		Coefficients du prédicteur du second ordre
A1R, A2R	16 TC	S, 0,..., -14		Coefficients du prédicteur du second ordre déclenchés
A1T	16 TC	S, 0,..., -14		Coefficient a_1 non limité
A2T	16 TC	S, 0,..., -14		Coefficient a_2 non limité
AL	7 SM	0,..., -6		Paramètre de contrôle limité de la vitesse
AP ^{a)}	10 SM	1,..., -8	0	Paramètre de contrôle non limité de la vitesse retardé
APP	10 SM	1,..., -8		Paramètre de contrôle non limité de la vitesse
APR	10 SM	1,..., -8		Paramètre de contrôle non limité de la vitesse déclenché
AX	1 SM	1		Actualisation du Paramètre de contrôle de la vitesse
B1 ^{a)} ,..., B6 ^{a)}	16 TC	S, 0,..., -14	0	Coefficients du prédicteur du sixième ordre retardés
B1P, ..., B6P	16 TC	S, 0,..., -14		Coefficients du prédicteur du sixième ordre
B1R, ..., B6R	16 TC	S, 0,..., -14		Coefficients du prédicteur du sixième ordre déclenchés
D	16 TC	S, 14,..., 0		Signal de différence, codeur seulement
DL	11 SM	3,..., -7		Log_2 (Signal de différence), codeur seulement
DLN	12 TC	S, 3,..., -7		Log_2 (signal normalisée), codeur seulement
DLNX	12 TC	S, 3,..., -7		Log_2 (signal normalisée), décodeur seulement
DLX	11 SM	3,..., -7		Log_2 (signal de différence), décodeur seulement
DML ^{a)}	14 SM	2,..., -11	0	Moyenne à long terme retardée de F(I)
DMLP	14 SM	2,..., -11		Moyenne à long terme de F(I)
DMS ^{a)}	12 SM	2,..., -9	0	Moyenne à court terme retardée de F(I)
DMSP	12 SM	2,..., -9		Moyenne à court terme retardée de F(I)
DQ ^{b)}	15 SM	S, 13,..., 0		Signal de différence quantifié (fonctionnement à 16, 24 ou 32 kbit/s)
DQ ^{b)}	16 SM	S, 14,..., 0		Signal de différence quantifié (fonctionnement à 16, 24, 32 ou 40 kbit/s)
DQ0	11 FL	S, 4e, 6m		Signal de différence quantifié avec retard 0
DQ1 ^{a)} ,..., DQ6 ^{a)}	11 FL	S, 4e, 6m	32	Signal de différence quantifié avec retard de 1 à 6
DQL	12 TC	S, 3,..., -7		Log_2 (signal de différence quantifié)

a) Indique des variables qui sont mises à une valeur spécifique par réinitialisation facultative. Lorsque la réinitialisation est déclenchée, la sortie du sous-bloc DELAY (voir le § 4.2.4) est indiquée dans la colonne 4.

b) Pour la MICDA à 40 kbit/s, DQ doit être représentée par une amplitude de 16 bits signée. Pour la MICDA à 16, 24 et 32 bits, DQ peut être représentée par une amplitude de 15 ou 16 bits signée.

TC Complément à deux e Bits d'exposant
 SM Signe-amplitude m Bits de mantisse
 FL Virgule flottante S Bits de signe

TABLEAU 6/G.726 (suite)

Nom	Bits	Représentation binaire	Valeurs de réinitialisation facultative	Description
DQLN	12 TC	S, 3,..., -7		Log ₂ (différence quantifiée normalisée)
DQS	1 TC	S		Bit de signe du signal de différence quantifié
DS	1 TC	S		Bit de signe du signal de différence, codeur seulement
DSX	1 TC	S		Bit de signe du signal de différence, décodeur seulement
DX	16 TC	S, 14,..., 0		Signal de différence, décodeur seulement
FI	3 SM	2,..., 0		Sortie de F(I)
PK0	1 TC	S		Signe de DQ + SEZ avec retard 0
PK1 ^{a)} , PK2 ^{a)}	1 TC	S	0	Signe de DQ + SEZ avec retards 1 et 2
SE	15 TC	S, 13,..., 0		Signal estimé
SEZ	15 TC	S, 13,..., 0		Signal estimé partiel associé au prédicteur de sixième ordre
SIGPK	1 TC	0		Drapeau Sgn [p(k)]
SL	14 TC	S, 12,..., 0		Signal d'entrée linéaire, codeur seulement
SLX	14 TC	S, 12,..., 0		Signal reconstitué quantifié, décodeur seulement
SP	8			Signal reconstitué MIC, décodeur seulement
SR	16 TC	S, 14,..., 0		Signal reconstitué
SR0	11 FL	S, 4e, 6m		Signal reconstitué avec retard 0
SR1 ^{a)} , SR2 ^{a)}	11 FL	S, 4e, 6m	32	Signal reconstitué avec retards 1 et 2
TD ^{a)}	1 TC	0	0	Détection de la tonalité retardée
TDP	1 TC	0		Détection de la tonalité
TDR	1 TC	0		Détection de la tonalité déclenchée
TR	1 TC	0		Détection de la transition
U1,...,U6	1 TC	S		Bit de signe d'actualisation du coefficient du prédicteur du sixième ordre
WA1,WA2	16 TC	S, 13,..., -1		Produit partiel du signal estimé
WB1,...,WB6	16 TC	S, 13,..., -1		Produit partiel du signal estimé
WI	12 TC	S, 6,..., -4		Multiplieurs du quantificateur
Y	13 SM	3,..., -9		Facteur d'échelle du quantificateur
YL ^{a)}	19 SM	3,..., -15	34816	Facteur d'échelle à adaptation lente du quantificateur retardé
YLP	19 SM	3,..., -15		Facteur d'échelle à adaptation lente du quantificateur
YU ^{a)}	13 SM	3,..., -9	544	Facteur d'échelle à adaptation rapide du quantificateur retardé
YUP	13 SM	3,..., -9		Facteur d'échelle à adaptation rapide du quantificateur
YUT	13 SM	3,..., -9		Facteur d'échelle à adaptation rapide non limité du quantificateur

a) Indique des variables qui sont mises à une valeur spécifique par réinitialisation facultative. Lorsque la réinitialisation est déclenchée, la sortie du sous-bloc DELAY (voir le § 4.2.4) est indiquée dans la colonne 4.

TC Complément à deux e Bits d'exposant
 SM Signe-amplitude m Bits de mantisse
 FL Virgule flottante S Bits de signe

4.2.1 Conversion du format MIC d'entrée et calcul du signal de différence

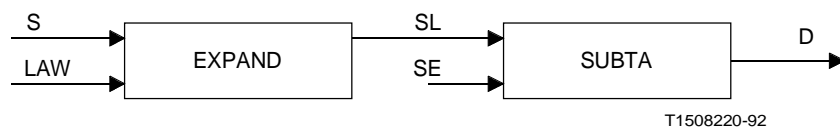


FIGURE 4/G.726

Conversion du format MIC d'entrée et calcul du signal de différence

EXPAND

Entrées: S (SP dans le décodeur), LAW
 Sortie: SL (SLX dans le décodeur)
 Fonction: Convertir le code MIC loi A ou loi μ en code MIC uniforme.

Décoder le mot de code MIC, S, conformément à la Recommandation G.711, à l'aide des signaux de caractère (colonne 6, avant inversion des bits de rang pair pour la loi A) et des valeurs obtenues à la sortie du décodeur (colonne 7). Les valeurs à la sortie du décodeur, SS, sont représentées en code amplitude-signe (13 bits) pour le code MIC loi A et en code amplitude-signe (14 bits) pour le code MIC loi μ (le bit de signe est égal à un pour les valeurs négatives).

Remarque – Pour la loi A, S (et SP) comprend l'inversion des bits pairs (voir la remarque 2 sous le tableau 1/G.711).

pour $LAW = 0$, $SSS = SS \gg 13$ | loi μ
 $SSQ = SS \& 8191$ |

pour $LAW = 1$, $SSS = SS \gg 12$ |
 $SSM = SS \& 4095$ | loi A
 $SSQ = SSM \ll 1$ |

alors

$SL = \begin{cases} SSQ, & SSS = 0 \\ (16384 - SSQ) \& 16383, & SSS = 1 \end{cases}$ | Convertir le code amplitude-signe
 | en code complément à deux
 |

SUBTA

Entrées: SL (SLX dans le décodeur), SE
 Sortie: D (DX dans le décodeur)
 Fonction: Calculer le signal de différence en soustrayant la valeur estimée du signal du signal d'entrée (ou du signal reconstitué quantifié dans le décodeur).

$$SLS = SL \gg 13$$

$$SLI = \begin{cases} SL, & SLS = 0 \\ 49152 + SL, & SLS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extension du signe} \\ | \end{array}$$

$$SES = SE \gg 14$$

$$SEI = \begin{cases} SE, & SES = 0 \\ 32768 + SE, & SES = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Extension du signe} \\ | \end{array}$$

$$D = (SLI + 65536 - SEI) \& 65535$$

4.2.2 Quantificateur adaptatif

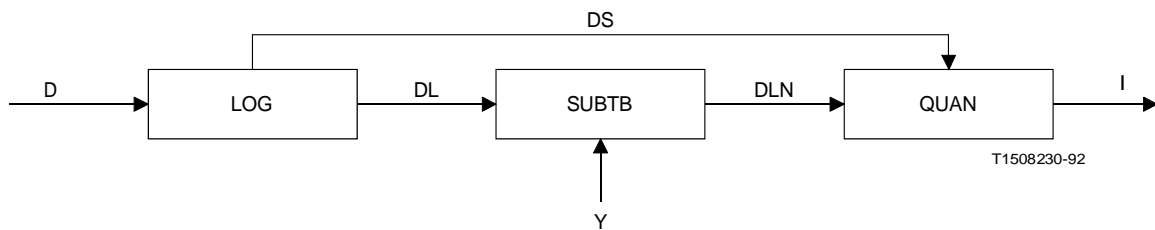


FIGURE 5/G.726

Quantificateur adaptatif

LOG

Entrée: D (DX dans le décodeur)
 Sorties: DL (DLX dans le décodeur), DS (DSX dans le décodeur)
 Fonction: Convertir le signal de différence du domaine linéaire au domaine logarithmique.

$$DS = D \gg 15$$

$$DQM = \begin{cases} D, & DS = 0 \\ (65536 - D) \& 32767, & DS = 1 \end{cases} \quad \begin{array}{l} | \text{ Convertir D du code} \\ | \text{ complément à deux en code} \\ | \text{ amplitude-signe} \end{array}$$

$$EXP = \begin{cases} 14, & 16384 \leq DQM \\ 13, & 8192 \leq DQM \leq 16383 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 1, & 2 \leq DQM \leq 3 \\ 0, & 0 \leq DQM \leq 1 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \text{ Calculer l'exposant} \\ | \\ | \\ | \end{array}$$

$$MANT = ((DQM \ll 7) \gg EXP) \& 127 \quad \begin{array}{l} | \text{ Calculer la valeur approximée} \\ | \log_2(1+x) = x \end{array}$$

$$DL = (EXP \ll 7) + MANT \quad \begin{array}{l} | \text{ Combiner 7 bits de mantisse et} \\ | \text{ 4 bits d'exposant en un mot à} \\ | \text{ 11 bits} \end{array}$$

QUAN (codeur seulement)

Entrées: DLN, DS
 Sortie: I
 Fonction: Quantifier le signal de différence dans le domaine logarithmique.

TABLEAU 7/G.726

**Niveaux de décision et sorties à 5 bits du quantificateur
pour un codage MICDA à 40 kbit/s**

DS	DLN	I	
		12345	
0	553-2047	01111	
0	528- 552	01110	
0	502- 527	01101	
0	475- 501	01100	
0	445- 474	01011	
0	413- 444	01010	
0	378- 412	01001	
0	339- 377	01000	
0	298- 338	00111	
0	250- 297	00110	
0	198- 249	00101	
0	139- 197	00100	
0	68- 138	00011	
0	0- 67	00010	-- Partie positive de l'intervalle
0	4080-4095	00010	-- Partie négative de l'intervalle
0	3974-4079	00001	
0	2048-3973	11111	
1	2048-3973	11111	
1	3974-4079	11110	
1	4080-4095	11101	-- Partie négative de l'intervalle
1	0- 67	11101	-- Partie positive de l'intervalle
1	68- 138	11100	
1	139- 197	11011	
1	198- 249	11010	
1	250- 297	11001	
1	298- 338	11000	
1	339- 377	10111	
1	378- 412	10110	
1	413- 444	10101	
1	445- 474	10100	
1	475- 501	10011	
1	502- 527	10010	
1	528- 552	10001	
1	553-2047	10000	

Remarque – Les valeurs I sont transmises en commençant par le bit 1.

TABLEAU 8/G.726

**Niveaux de décision et sorties à 4 bits du quantificateur
pour un codage MICDA à 32 kbit/s**

DS	DLN	I	
		1234	
0	400-2047	0111	
0	349- 399	0110	
0	300- 348	0101	
0	246- 299	0100	
0	178- 245	0011	
0	80- 177	0010	
0	0- 79	0001	-- Partie positive de l'intervalle
0	3972-4095	0001	-- Partie négative de l'intervalle
0	2048-3971	1111	
1	2048-3971	1111	
1	3972-4095	1110	-- Partie négative de l'intervalle
1	0- 79	1110	-- Partie positive de l'intervalle
1	80- 177	1101	
1	178- 245	1100	
1	246- 299	1011	
1	300- 348	1010	
1	349- 399	1001	
1	400-2047	1000	

Remarque – Les valeurs I sont transmises en commençant par le bit 1.

TABLEAU 9/G.726

**Niveaux de décision et sorties à 3 bits du quantificateur
pour un codage MICDA à 24 kbit/s**

DS	DLN	I	
		123	
0	331-2047	011	
0	218- 330	010	
0	8- 217	001	
0	0- 7	111	-- Partie positive de l'intervalle
0	2048-4095	111	-- Partie négative de l'intervalle
1	2048-4095	111	-- Partie négative de l'intervalle
1	0- 7	111	-- Partie positive de l'intervalle
1	8- 217	110	
1	218- 330	101	
1	331-2047	100	

Remarque — Les valeurs I sont transmises en commençant par le bit 1.

TABLEAU 10/G.726

Niveaux de décision et sorties à 2 bits du quantificateur pour un codage MICDA à 16 kbit/s

DS	DLN	I	
		12	
0	261-2047	01	
0	0- 260	00	-- Partie positive de l'intervalle
0	2048-4095	00	-- Partie négative de l'intervalle
1	2048-4095	11	-- Partie négative de l'intervalle
1	0- 260	11	-- Partie positive de l'intervalle
1	261-2047	10	

SUBTB

Entrées: DL (DLX dans le décodeur), Y
 Sortie: DLN (DLNX dans le décodeur)
 Fonction: Cadrer la version logarithmique du signal de différence en soustrayant le facteur d'échelle.

$$DLN = (DL + 4096 - (Y \gg 2)) \& 4095$$

4.2.3 Quantificateur adaptatif inverse

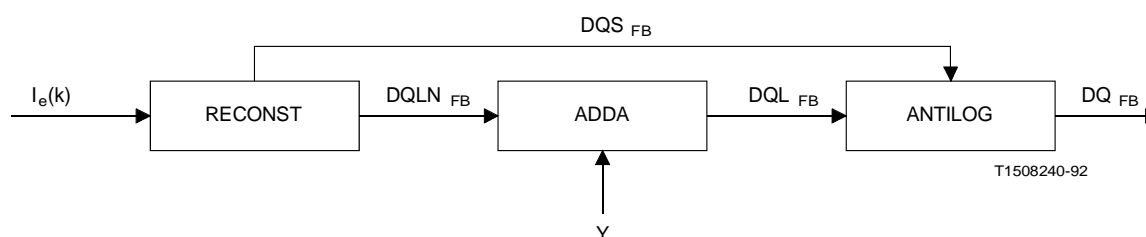


FIGURE 6/G.726

Quantificateur adaptatif inverse

Entrées: DQLN, Y
 Sortie: DQL
 Fonction: Addition du facteur d'échelle à la version logarithmique du signal de différence quantifié.

$$DQL = (DQLN + (Y \gg 2)) \& 4095$$

ANTILOG

Entrées: DQL, DQS
Sortie: DQ
Fonction: Convertir le signal de différence quantifié du domaine logarithmique dans le domaine linéaire.

$$DS = DQL \gg 11$$

$$DEX = (DQL \gg 7) \& 15$$

$$DMN = DQL \& 127$$

| Extraire l'exposant à 4 bits

| Extraire la mantisse à 7 bits

$$DQT = (1 \ll 7) + DMN$$

$$DQMAG = \begin{cases} (DQT \ll 7) \gg (14 - DEX), & DS = 0 \\ 0, & DS = 1 \end{cases}$$

| Convertir la mantisse en linéaire

| à l'aide de l'approximation $2^x = 1 + x$

|

$$DQ = \begin{cases} (DQS \ll 14) + DQMAG: & \text{pour } DQ \text{ du type } 15 \text{ SM} \\ (DQS \ll 15) + DQMAG: & \text{pour } DQ \text{ du type } 16 \text{ SM} \end{cases}$$

| Attacher le bit de signe pour

| obtenir le code amplitude-signé

RECONST

Entrée: I
Sorties: DQLN, DQS
Fonction: Reconstitution du signal de différence quantifié dans le domaine logarithmique.

Pour un codage MICDA à 40 kbit/s:

$$DQS = I \gg 4$$

TABLEAU 11/G.726

**Niveaux de sortie du quantificateur pour
un codage MICDA à 40 kbit/s**

I	DQS	DQLN
12345		
01111	0	566
01110	0	539
01101	0	514
01100	0	488
01011	0	459
01010	0	429
01001	0	395
01000	0	358
00111	0	318
00110	0	274
00101	0	224
00100	0	169
00011	0	104
00010	0	28
00001	0	4030
00000	0	2048
11111	1	2048
11110	1	4030
11101	1	28
11100	1	104
11011	1	169
11010	1	224
11001	1	274
11000	1	318
10111	1	358
10110	1	395
10101	1	429
10100	1	459
10011	1	488
10010	1	514
10001	1	539
10000	1	566

Remarque 1 – Les valeurs I sont reçues en commençant par le bit 1.

Remarque 2 – Il est possible que le décodeur reçoive le mot code 00000 par suite de perturbations de la transmission (erreurs de transmission, par exemple).

Pour un codage MICDA à 32 kbit/s:

$$DQS = I \gg 3$$

TABLEAU 12/G.726

**Niveau de sortie du quantificateur pour
un codage MICDA à 32 kbit/s**

I	DQS	DQLN
1234		
0111	0	425
0110	0	373
0101	0	323
0100	0	273
0011	0	213
0010	0	135
0001	0	4
0000	0	2048
1111	0	2048
1110	1	4
1101	1	135
1100	1	213
1011	1	273
1010	1	323
1001	1	373
1000	1	425

Remarque 1 – Les valeurs I sont reçues en commençant par le bit 1.

Remarque 2 – Il est possible que le décodeur reçoive le mot code 0000 par suite de perturbations de la transmission (erreurs de transmission, par exemple).

Pour un codage MICDA à 24 kbit/s:

$$DQS = I \gg 2$$

TABLEAU 13/G.726

**Niveaux de sortie du quantificateur pour
un codage MICDA à 24 kbit/s**

I	DQS	DQLN
123		
011	0	373
010	0	273
001	0	135
000	0	2048
111	1	2048
110	1	135
101	1	273
100	1	373

Remarque 1 – Les valeurs I sont reçues en commençant par le bit 1.

Remarque 2 – Il est possible que le décodeur reçoive le mot code 000 par suite de perturbations de la transmission (erreurs de transmission, par exemple).

Pour un codage MICDA à 16 kbit/s:

$$DQS = I \gg 1$$

TABLEAU 14/G.726

**Niveaux de sortie du quantificateur pour
un codage MICDA à 16 kbit/s**

I	DQS	DQLN
12		
01	0	365
00	0	116
11	1	116
10	1	365

Remarque – Les valeurs I sont reçues en commençant par le bit 1.

4.2.4 Adaptation du facteur d'échelle du quantificateur

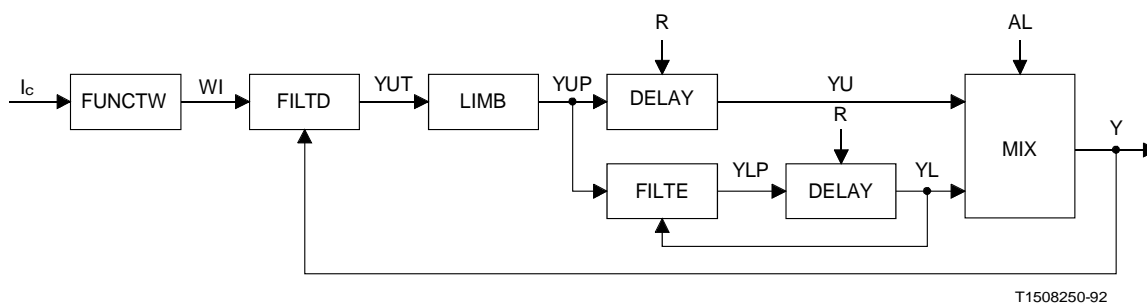


FIGURE 7/G.726

Adaptation du facteur d'échelle du quantificateur

DELAY

Entrées: x, R (facultatif)
 Sortie: y
 Fonction: Bloc mémoire. Pour l'entrée x, la sortie est donnée par:

$$y(k) = \begin{cases} x(k-1), & R = 0 \\ \text{la valeur de réinitialisation facultative est donnée dans la colonne 4 du tableau 6/G.726, } & R = 1 \end{cases} \quad | \text{ Réinitialisation facultative}$$

FILTD

Entrées: WI, Y
 Sortie: YUT
 Fonction: Actualiser le facteur d'échelle à adaptation rapide.

$$DIF = ((WI \ll 5) + 131072 - Y) \& 131071 \quad | \text{ Calculer la différence}$$

$$DIFS = DIF \gg 16 \quad |$$

$$DIFSX = \begin{cases} DIF \gg 5, & DIFS = 0 \\ (DIF \gg 5) + 4096, & DIFS = 1 \end{cases} \quad | \text{ La constante de temps est } 1/32$$

$$\quad | \text{ Extension du signe}$$

$$YUT = (Y + DIFSX) \& 8191$$

FILTE

Entrées: YUP, YL
 Sortie: YLP
 Fonction: Actualiser le facteur d'échelle à adaptation lente.

$DIF = (YUP + ((1048576 - YL) \gg 6)) \& 16383$ | Calculer la différence
 $DIFS = DIF \gg 13$ | La constante de temps est de 1/64

$DIFSX = \begin{cases} DIF, & DIFS = 0 \\ DIF + 507904, & DIFS = 1 \end{cases}$ | Extension du signe

$YLP = (YL + DIFSX) \& 524287$

FUNCTW

Entrée: I
 Sortie: WI
 Fonction: Transposer la valeur de sortie du quantificateur dans le domaine logarithmique du multiplicateur du facteur d'échelle.

Pour un codage MICDA à 40 kbit/s:

$IS = I \gg 4$

$IM = \begin{cases} I \& 15, & IS = 0 \\ (31 - I) \& 15, & IS = 1 \end{cases}$

$WI =$	{	696, $IM = 15$ 529, $IM = 14$ 440, $IM = 13$ 358, $IM = 12$ 280, $IM = 11$ 219, $IM = 10$ 179, $IM = 9$ 141, $IM = 8$ 100, $IM = 7$ 58, $IM = 6$ 41, $IM = 5$ 40, $IM = 4$ 39, $IM = 3$ 24, $IM = 2$ 14, $IM = 1$ 14, $IM = 0$		Multiplicateur de facteur d'échelle
--------	---	---	--	-------------------------------------

Pour un codage MICDA à 32 kbit/s:

$$IS = I \gg 3$$

$$IM = \begin{cases} I \& 7, & IS = 0 \\ (15 - I) \& 7, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 1122, & IM = 7 \\ 355, & IM = 6 \\ 198, & IM = 5 \\ 112, & IM = 4 \\ 64, & IM = 3 \\ 41, & IM = 2 \\ 18, & IM = 1 \\ 4084, & IM = 0 \end{cases}$$

|
|
|
|
| Multiplicateur de facteur d'échelle
|
|

Pour un codage MICDA à 24 kbit/s:

$$IS = I \gg 2$$

$$IM = \begin{cases} I \& 3, & IS = 0 \\ (7 - I) \& 3, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 582, & IM = 3 \\ 137, & IM = 2 \\ 30, & IM = 1 \\ 4092, & IM = 0 \end{cases}$$

|
|
| Multiplicateur de facteur d'échelle
|
|

Pour un codage MICDA à 16 kbit/s:

$$IS = I \gg 1$$

$$IM = \begin{cases} I \& 1, & IS = 0 \\ (3 - I) \& 1, & IS = 1 \end{cases}$$

$$WI = \begin{cases} 439, & IM = 1 \\ 4074, & IM = 0 \end{cases}$$

|
| Multiplicateur de facteur d'échelle,|

LIMB

Entrée: YUT
Sortie: YUP
Fonction: Limiter le facteur d'échelle du quantificateur.

$$GEUL = ((YUT + 11264) \& 16383) \gg 13$$

$$GELL = ((YUT + 15840) \& 16383) \gg 13$$

$$YUP = \begin{cases} 544, & GELL = 1 \\ 5120, & GEUL = 0 \\ YUT, & \text{dans les autres cas} \end{cases} \quad \begin{array}{l} | \text{ Régler la limite inférieure à 1,06} \\ | \text{ Régler la limite supérieure à 10,00} \end{array}$$

MIX

Entrées: AL, YU, YL
Sortie: Y
Fonction: Former une combinaison linéaire des facteurs d'échelle à adaptation rapide et lente du quantificateur.

$$DIF = (YU + 16384 - (YL \gg 6)) \& 16383 \quad | \text{ Calculer la différence}$$

$$DIFS = DIF \gg 13 \quad |$$

$$DIFM = \begin{cases} DIF, & DIFS = 0 \\ (16384 - DIF) \& 8191, & DIFS = 1 \end{cases} \quad \begin{array}{l} | \text{ Calculer l'amplitude} \\ | \text{ de la différence} \\ | \end{array}$$

$$PRODM = (DIFM * AL) \gg 6 \quad \begin{array}{l} | \text{ Calculer l'amplitude} \\ | \text{ du produit} \end{array}$$

$$PROD = \begin{cases} PRODM, & DIFS = 0 \\ (16384 - PRODM) \& 16383, & DIFS = 1 \end{cases} \quad \begin{array}{l} | \text{ Convertir l'amplitude en} \\ | \text{ complément à deux} \\ | \end{array}$$

$$Y = ((YL \gg 6) + PROD) \& 8191$$

4.2.5 Contrôle de la vitesse d'adaptation du quantificateur

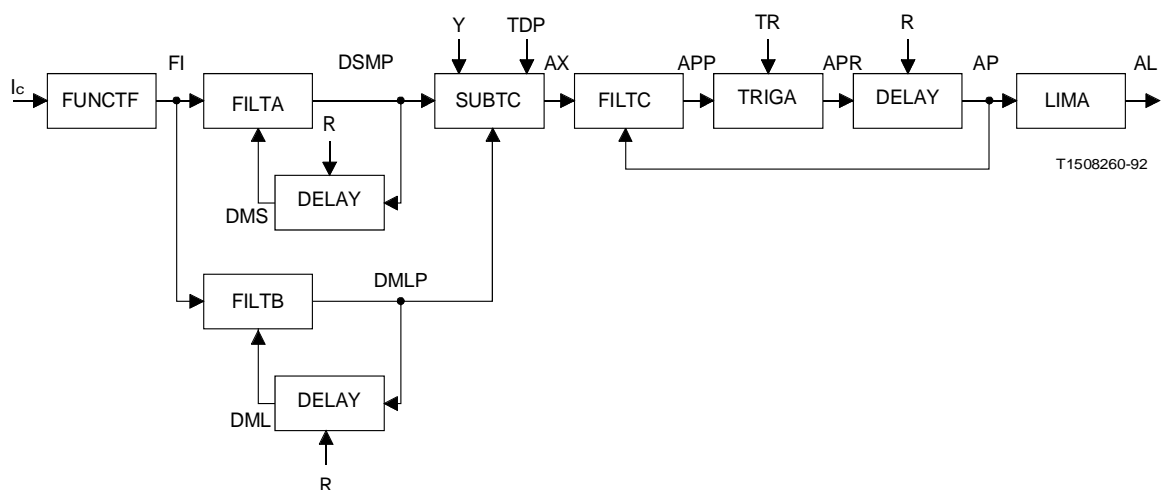


FIGURE 8/G.726

Contrôle de la vitesse d'adaptation du quantificateur

DELAY

Voir la spécification au § 4.2.4.

FILTA

Entrées: FI, DMS
 Sortie: DMSP
 Fonction: Actualiser la moyenne à court terme de F(I).

$$DIF = ((FI \ll 9) + 8192 - DMS) \& 8191 \quad | \text{ Calculer la différence}$$

$$DIFS = DIF \gg 12 \quad |$$

$$DIFSX = \begin{cases} DIF \gg 5, & DIFS = 0 \\ (DIF \gg 5) + 3840, & DIFS = 1 \end{cases} \quad |$$

| La constante de temps est de 1/32
 | Extension de signe
 |

$$DMSP = (DIFSX + DMS) \& 4095$$

FILTB

Entrées: FI, DML
Sortie: DMLP
Fonction: Actualiser la moyenne à long terme de F(I).

$DIF = ((FI \ll 11) + 32768 - DML) \& 32767$ | Calculer la différence
 $DIFS = DIF \gg 14$ |

$DIFSX = \begin{cases} DIF \gg 7, & DIFS = 0 \\ (DIF \gg 7) + 16128, & DIFS = 1 \end{cases}$ |
| La constante de temps est de 1/28
| Extension de signe
|

$DMLP = (DIFSX + DML) \& 16383$

FILTC

Entrées: AX, AP
Sortie: APP
Fonction: Filtrage passe-bas du paramètre de contrôle de la vitesse.

$DIF = ((AX \ll 9) + 2048 - AP) \& 2047$ | Calculer la différence
 $DIFS = DIF \gg 10$ |

$DIFSX = \begin{cases} DIF \gg 4, & DIFS = 0 \\ (DIF \gg 4) + 896, & DIFS = 1 \end{cases}$ |
| La constante de temps est de 1/16
| Extension de signe
|

$APP = (DIFSX + AP) \& 1023$

FUNCTF

Entrée: I
 Sortie: FI
 Fonction: Projeter la valeur de sortie du quantificateur sur la fonction F(I).

Pour un codage MICDA à 40 kbit/s:

$$IS = I \gg 4$$

$$IM = \begin{cases} I \& 15, & IS = 0 \\ (31 - I) \& 15, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 0, & 0 \leq IM \leq 4 \\ 1, & 5 \leq IM \leq 9 \\ 2, & IM = 10 \\ 3, & IM = 11 \\ 4, & IM = 12 \\ 5, & IM = 13 \\ 6, & IM = 14 \\ 6, & IM = 15 \end{cases}$$

Pour un codage MICDA à 32 kbit/s:

$$IS = I \gg 3$$

$$IM = \begin{cases} I \& 7, & IS = 0 \\ (15 - I) \& 7, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 0, & 0 \leq IM \leq 2 \\ 1, & 3 \leq IM \leq 5 \\ 3, & IM = 6 \\ 7, & IM = 7 \end{cases}$$

Pour un codage MICDA à 24 kbit/s:

$$IS = I \gg 2$$

$$IM = \begin{cases} I \& 3, & IS = 0 \\ (7 - I) \& 3, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 0, & IM = 0 \\ 1, & IM = 1 \\ 2, & IM = 2 \\ 7, & IM = 3 \end{cases}$$

Pour un codage MICDA à 16 kbit/s:

$$IS = I \gg 1$$

$$IM = \begin{cases} I \& 1, & IS = 0, \\ (3 - I) \& 1, & IS = 1 \end{cases}$$

$$FI = \begin{cases} 7, & IM = 1 \\ 0, & IM = 0 \end{cases}$$

LIMA

Entrée: AP
Sortie: AL
Fonction: Limiter le paramètre de contrôle de la vitesse.

$$AL = \begin{cases} 64, & AP \geq 256 \\ AP \gg 2, AP \leq 255 \end{cases}$$

SUBTC

Entrées: DMSP, DMLP, TDP, Y
Sortie: AX
Fonction: Calculer la valeur absolue de la différence des fonctions à court et à long terme de la suite des codes MICDA puis réaliser des comparaisons de seuils pour actualiser le paramètre de contrôle de la vitesse d'adaptation du quantificateur.

$$DIF = ((DMSP \ll 2) + 32768 - DMLP) \& 32767 \quad | \text{ Calculer la différence}$$
$$DIFS = DIF \gg 14 \quad |$$

$$DIFM = \begin{cases} DIF, & DIFS = 0 \\ (32768 - DIF) \& 16383, & DIFS = 1 \end{cases} \quad | \text{ Calculer l'amplitude} \\ | \text{ de la différence} \\ |$$

$$DTHR = DMLP \gg 3$$

$$AX = \begin{cases} 0, & Y \geq 1536 \text{ et } DIFM < DTHR \text{ et } TDP = 0 \\ 1, & \text{dans les autres cas} \end{cases}$$

TRIGA

Entrées: TR, APP
Sortie: APR
Fonction: Bloc de déclenchement du contrôle de la vitesse.

$$APR = \begin{cases} APP, TR = 0 \\ 256, TR = 1 \end{cases}$$

4.2.6 Prédicteur adaptatif et calcul du signal reconstitué

ACCUM

Entrées: WA1, WA2, WB1, WB2, WB3, WB4, WB5, WB6
Sorties: SE, SEZ
Fonction: Addition des sorties du prédicteur pour former la valeur estimée partielle du signal (à partir du prédicteur du sixième ordre) et la valeur estimée du signal.

$$SEZI = (((((((((WB1 + WB2) \& 65535) + WB3) \& 65535) + WB4) \& 65535) + WB5) \& 65535) + WB6) \& 65535$$

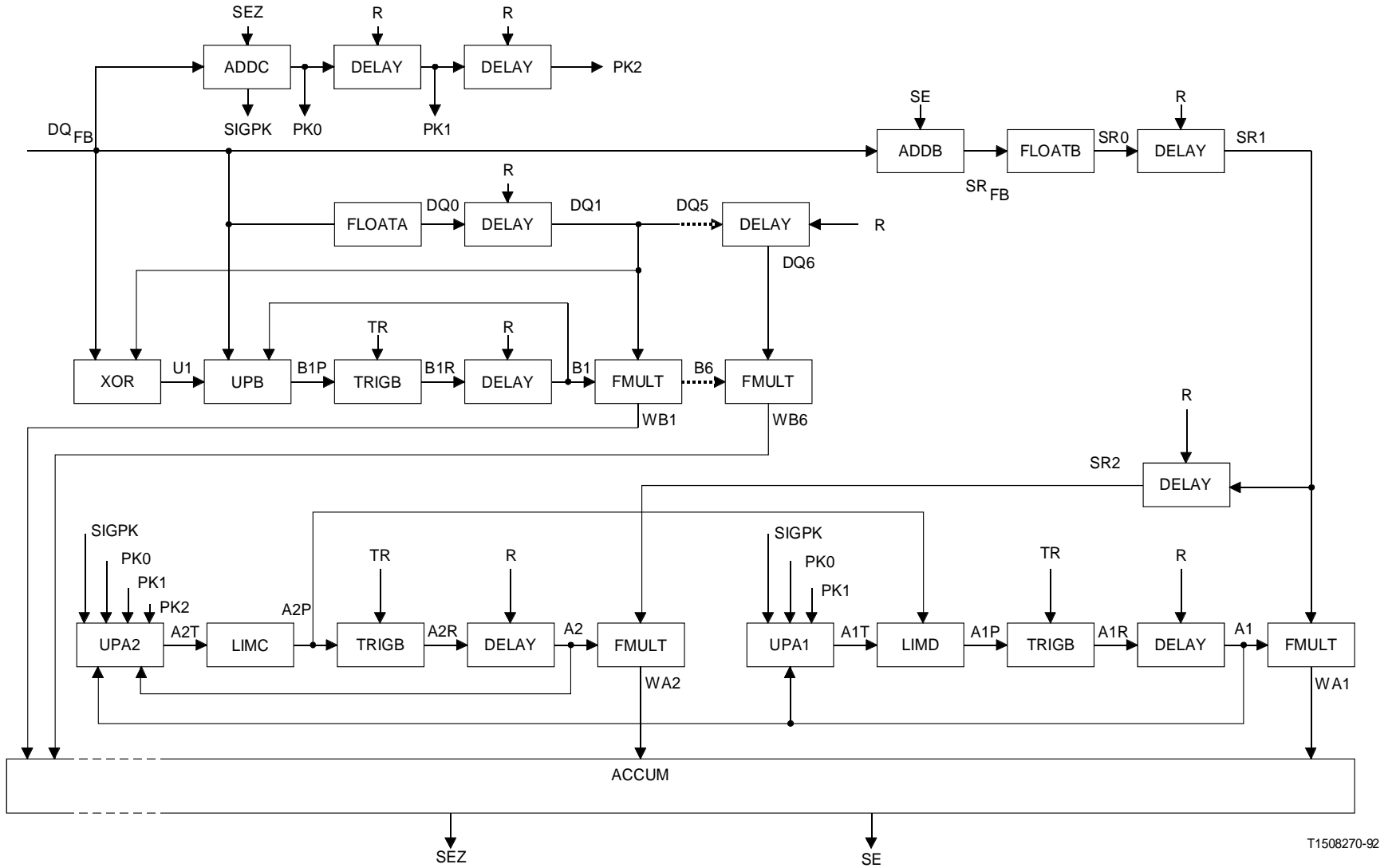
| Additionner pour obtenir la valeur
| estimée partielle du signal

$$SEI = (((SEZI + WA2) \& 65535) + WA1) \& 65535$$

| Achever l'addition pour obtenir la
| valeur estimée du signal

$$SEZ = SEZI \gg 1$$

$$SE = SEI \gg 1$$



T1508270-92

FIGURE 9/G.726

Prédicteur adaptatif et calcul du signal reconstitué

ADDB

Entrées: DQ, SE
 Sortie: SR
 Fonction: Addition du signal de différence quantifié et de la valeur estimée du signal pour former le signal reconstitué.

$$DQS = \begin{cases} (DQ \gg 14): & \text{pour } DQ \text{ du type 15 SM} \\ (DQ \gg 15): & \text{pour } DQ \text{ du type 16 SM} \end{cases}$$

$$DQI = \begin{cases} DQ, & DQS = 0 \\ (65536 - (DQ \& 16383)) \& 65535, & DQS = 1: \text{ pour } DQ \text{ du type 15 SM} \\ (65536 - (DQ \& 32767)) \& 65535, & DQS = 1: \text{ pour } DQ \text{ du type 16 SM} \end{cases}$$

| Convertir le code
 | amplitude-signe en
 | code complément
 | à deux

$$SES = SE \gg 14$$

$$SEI = \begin{cases} SE, & SES = 0 \\ (1 \ll 15) + SE, & SES = 1 \end{cases}$$

|
 | Extension du signe
 |

$$SR = (DQI + SEI) \& 65535$$

ADDC

Entrées: DQ, SEZ
Sortie: PK0, SIGPK
Fonction: Obtenir le signe de la somme du signal de différence quantifié et de la valeur estimée partielle du signal.

$$DQS = \begin{cases} (DQ \gg 14): & \text{pour } DQ \text{ du type } 15 \text{ SM} \\ (DQ \gg 15): & \text{pour } DQ \text{ du type } 16 \text{ SM} \end{cases}$$

$$DQI = \begin{cases} DQ, & DQS = 0 \\ (65536 - (DQ \& 16383)) \& 65535, & DQS = 1: \text{ pour } DQ \text{ du type } 15 \text{ SM} \\ (65536 - (DQ \& 32767)) \& 65535, & DQS = 1: \text{ pour } DQ \text{ du type } 16 \text{ SM} \end{cases}$$

| Convertir le code
| amplitude-signe en
| code complément
| à deux
|

$$SEZS = SEZ \gg 14$$

$$SEZI = \begin{cases} SEZ, & SEZS = 0 \\ (1 \ll 15) + SEZ, & SEZS = 1 \end{cases}$$

|
| Extension du signe
|

$$DQSEZ = (DQI + SEZI) \& 65535$$

$$PK0 = DQSEZ \gg 15$$

$$SIGPK = \begin{cases} 1, & DQSEZ = 0 \\ 0, & \text{dans les autres cas} \end{cases}$$

DELAY

Voir la spécification au § 4.2.4.

FLOATA

Entrée: DQ
 Sortie: DQ0
 Fonction: Convertir le code amplitude-signe à 15 bits ou 16 bits en code virgule flottante.

$$DQS = \begin{cases} DQ \gg 14: & \text{pour } DQ \text{ du type 15 SM} \\ DQ \gg 15: & \text{pour } DQ \text{ du type 16 SM} \end{cases}$$

$$MAG = \begin{cases} DQ \& 16383: & \text{pour } DQ \text{ du type 15 SM} \\ DQ \& 32767: & \text{pour } DQ \text{ du type 16 SM} \end{cases} \quad \left| \begin{array}{l} \text{Calculer l'amplitude} \\ \hline \end{array} \right.$$

$$EXP = \begin{cases} 15, & 16384 \leq MAG: \text{ pour } DQ \text{ du type 16 SM} \\ 14, & 8192 \leq MAG \leq 16383: \text{ pour } DQ \text{ du type 16 SM} \\ 14, & 8192 \leq MAG: \text{ pour } DQ \text{ du type 15 SM} \\ 13, & 4096 \leq MAG \leq 8191 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq MAG \leq 3 \\ 1, & MAG = 1 \\ 0, & MAG = 0 \end{cases} \quad \left| \begin{array}{l} \hline \hline \hline \hline \hline \hline \hline \hline \\ \text{Calculer l'exposant} \end{array} \right.$$

$$MANT = \begin{cases} 1 \ll 5, & MAG = 0 \\ (MAG \ll 6) \gg EXP, & \text{dans les autres cas} \end{cases} \quad \left| \begin{array}{l} \text{Calculer la mantisse avec un 1} \\ \text{pour le bit de plus fort poids} \\ \hline \end{array} \right.$$

$$DQ0 = (DQS \ll 10) + (EXP \ll 6) + MANT \quad \left| \begin{array}{l} \text{Combiner le bit de signe, 4 bits} \\ \text{d'exposant et 6 bits de mantisse} \\ \text{pour former un mot à 11 bits} \end{array} \right.$$

FLOATB

Entrée: SR
 Sortie: SR0
 Fonction: Convertir le code complément à deux (16 bits) en code virgule flottante.

$$SRS = SR \gg 15$$

$$MAG = \begin{cases} SR, & SRS = 0 \\ (65536 - SR) \& 32767, & SRS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Calculer l'amplitude} \\ | \end{array}$$

$$EXP = \begin{cases} 15, & 16384 \leq MAG \\ 14, & 8192 \leq MAG \leq 16383 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq MAG \leq 3 \\ 1, & MAG = 1 \\ 0, & MAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \\ | \\ | \text{ Calculer l'exposant} \\ | \\ | \end{array}$$

$$MANT = \begin{cases} 1 \ll 5, & MAG = 0 \\ (MAG \ll 6) \gg EXP, & \text{dans les autres cas} \end{cases} \quad \begin{array}{l} | \text{ Calculer la mantisse avec un 1} \\ | \text{ pour le bit de plus fort poids} \\ | \end{array}$$

$$SR0 = (SRS \ll 10) + (EXP \ll 6) + MANT \quad \begin{array}{l} | \text{ Combiner le bit de signe, 4 bits} \\ | \text{ d'exposant et 6 bits de mantisse} \\ | \text{ pour former un mot à 11 bits} \end{array}$$

FMULT

Entrées: An ou Bn, SRn ou DQn
 Sortie: WAn ou WBn
 Remarque: Les formules sont données pour An, SRn et WAn.
 Elles restent valables si on remplace An par Bn,
 SRn par DQn et WAn par WBn.
 Fonction: Multiplier les coefficients de prédiction par le signal de
 différence quantifié ou le signal reconstitué correspondant.
 La multiplication est effectuée en virgule flottante.

$$AnS = An \gg 15$$

$$AnMAG = \begin{cases} An \gg 2, & AnS = 0 \\ (16384 - (An \gg 2)) \& 8191, & AnS = 1 \end{cases} \quad \begin{array}{l} | \text{ Convertir le code} \\ | \text{ complément à deux en code} \\ | \text{ amplitude-signe} \end{array}$$

$$AnEXP = \begin{cases} 13, & 4096 \leq AnMAG \\ 12, & 2048 \leq AnMAG \leq 4095 \\ \cdot & \cdot \\ \cdot & \cdot \\ \cdot & \cdot \\ 2, & 2 \leq AnMAG \leq 3 \\ 1, & AnMAG = 1 \\ 0, & AnMAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \\ | \\ | \\ | \text{ Calculer l'exposant} \\ | \\ | \\ | \end{array}$$

$$AnMANT = \begin{cases} 1 \ll 5, & AnMAG = 0 \\ (AnMAG \ll 6) \gg AnEXP, & \text{dans les autres cas} \end{cases} \quad \begin{array}{l} | \text{ Calculer la mantisse avec un 1} \\ | \text{ pour le bit de plus fort poids} \\ | \end{array}$$

$$SRnS = SRn \gg 10$$

$$SRnEXP = (SRn \gg 6) \& 15$$

$$SRnMANT = SRn \& 63$$

$$WAnS = SRnS ** AnS$$

$$WAnEXP = SRnEXP + AnEXP$$

$$WAnMANT = ((SRnMANT * AnMANT) + 48) \gg 4$$

| Extraire le bit de signe,
 | l'exposant et la mantisse
 | du mot en virgule flottante

| Effectuer la multiplication
 | en virgule flottante

$$WAnMAG = \begin{cases} (WAnMANT \ll 7) \gg (26 - WAnEXP), & WAnEXP \leq 26 \\ ((WAnMANT \ll 7) \ll (WAnEXP - 26)) \& 32767, & WAnEXP > 26 \end{cases} \quad \begin{array}{l} | \text{ Convertir la virgule} \\ | \text{ flottante en amplitude} \\ | \end{array}$$

$$WAn = \begin{cases} WAnMAG, & WAnS = 0 \\ (65536 - WAnMAG) \& 65535, & WAnS = 1 \end{cases} \quad \begin{array}{l} | \text{ Convertir l'amplitude en} \\ | \text{ code complément à deux} \end{array}$$

LIMC

Entrée: A2T
Sortie: A2P
Fonction: Limitation du coefficient a_2 du prédicteur du second ordre.

$A2UL = 12288$ | Limite supérieure: +0,75

$A2LL = 53248$ | Limite inférieure: -0,75

$$A2P = \begin{cases} A2LL, & 32768 \leq A2T \leq A2LL \\ A2UL, & A2UL \leq A2T \leq 32767 \\ A2T, & \text{dans les autres cas} \end{cases}$$

LIMD

Entrées: A1T, A2P
Sortie: A1P
Fonction: Limitation du coefficient a_1 du prédicteur du second ordre.

$OME = 15360$ | (1 - epsilon) où
| epsilon = 1/16

$A1UL = (OME + 65536 - A2P) \& 65535$ | Calculer la limite supérieure

$A1LL = (A2P + 65536 - OME) \& 65535$ | Calculer la limite inférieure

$$A1P = \begin{cases} A1LL, & 32768 \leq A1T \text{ et } A1T \leq A1LL \\ A1UL, & A1UL \leq A1T \text{ et } A1T \leq 32767 \\ A1T, & \text{dans les autres cas} \end{cases}$$

TRIGB

Entrées: TR, AnP ou BnP ou TDP
Sorties: AnR ou BnR ou TDR
Remarque: L'équation est donnée pour AnP et AnR. Elle reste valable si on remplace AnP et AnR par BnP et BnR ou par TDP et TDR, respectivement.
Fonction: Bloc de déclenchement du prédicteur.

$$AnR = \begin{cases} AnP, & TR = 0 \\ 0, & TR = 1 \end{cases}$$

UPA1

Entrées: PK0, PK1, A1, SIGPK
 Sortie: A1T
 Fonction: Actualiser le coefficient a_1 du prédicteur du second ordre.

$PKS = PK0 ** PK1$ | «ou exclusif» à 1 bit

$$UGA1 = \begin{cases} 192, & PKS = 0 \text{ et } SIGPK = 0 \\ 65344, & PKS = 1 \text{ et } SIGPK = 0 \\ 0, & SIGPK = 1 \end{cases}$$

| Gain = $\pm 3/256$

$A1S = A1 \gg 15$

$$ULA1 = \begin{cases} (65536 - (A1 \gg 8)) \& 65535, & A1S = 0 \\ (65536 - ((A1 \gg 8) + 65280)) \& 65535, & A1S = 1 \end{cases}$$

| Facteur d'atténuation = 1/256

$UA1 = (UGA1 + ULA1) \& 65535$ | Calculer l'actualisation

$A1T = (A1 + UA1) \& 65535$ |

UPA2

Entrées: PK0, PK1, PK2, A1, A2, SIGPK
 Sortie: A2T
 Fonction: Actualiser le coefficient a_2 du prédicteur du second ordre.

$PKS1 = PK0 ** PK1$ | «ou exclusif» à 1 bit

$PKS2 = PK0 ** PK2$ | «ou exclusif» à 1 bit

$$UGA2A = \begin{cases} 16384, & PKS2 = 0 \\ 114688, & PKS2 = 1 \end{cases}$$

$A1S = A1 \gg 15$

Si $A1S = 0$, alors

$$FA1 = \begin{cases} A1 \ll 2, & A1 \leq 8191 \\ 8191 \ll 2, & A1 \geq 8192 \end{cases} \quad \begin{array}{l} | \text{Mettre en œuvre } f(a_1) \\ | \text{avec limite} \\ | \text{à } +1/2 \end{array}$$

Si $A1S = 1$, alors

$$FA1 = \begin{cases} (A1 \ll 2) \& 131071, & A1 \geq 57345 \\ 24577 \ll 2, & A1 \leq 57344 \end{cases} \quad \begin{array}{l} | \text{Mettre en œuvre } f(a_1) \\ | \text{avec limite} \\ | \text{à } -1/2 \end{array}$$

$$FA = \begin{cases} FA1, & PKS1 = 1 \\ (131072 - FA1) \& 131071, & PKS1 = 0 \end{cases} \quad \begin{array}{l} | \text{Affecter le signe} \\ | \text{au résultat de } f(a_1) \\ | \end{array}$$

$UGA2B = (UGA2A + FA) \& 131071$ |

$UGA2S = UGA2B \gg 16$ |

$$UGA2 = \begin{cases} UGA2B \gg 7, & UGA2S = 0 \text{ et } SIGPK = 0 \\ (UGA2B \gg 7) + 64512, & UGA2S = 1 \text{ et } SIGPK = 0 \\ 0, & SIGPK = 1 \end{cases} \quad \begin{array}{l} | \text{Calcul du gain,} \\ | \text{gain} = \pm 1/128 \\ | \\ | \\ | \end{array}$$

$A2S = A2 \gg 15$

$$ULA2 = \begin{cases} (65536 - (A2 \gg 7)) \& 65535, & A2S = 0 \\ (65536 - ((A2 \gg 7) + 65024)) \& 65535, & A2S = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{Facteur d'atténuation:} \\ | 1/128 \\ | \end{array}$$

$UA2 = (UGA2 + ULA2) \& 65535$ | Calculer l'actualisation

$A2T = (A2 + UA2) \& 65535$ |

UPB

Entrées: Un, Bn, DQ
 Sortie: BnP
 Fonction: Actualisation des coefficients du prédicteur du sixième ordre.

Pour un codage MICDA à 40 kbit/s:

$DQMAG = DQ \& 32767$; pour DQ du type 16 SM

$$UGBn = \begin{cases} 128, & Un = 0 \text{ et } DQMAG \neq 0 \\ 65408, & Un = 1 \text{ et } DQMAG \neq 0 \\ 0, & DQMAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \text{ Gain} = \pm 1/128 \text{ ou } 0 \\ | \\ | \end{array}$$

$BnS = Bn \gg 15$

$$ULBn = \begin{cases} (65536 - (Bn \gg 9)) \& 65535, & BnS = 0 \\ (65536 - ((Bn \gg 9) + 65408)) \& 65535, & BnS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Facteur d'atténuation} = 1/512 \\ | \end{array}$$

$UBn = (UGBn + ULBn) \& 65535$ | Calculer l'actualisation
 $BnP = (Bn + UBn) \& 65535$ |

Pour un codage MICDA à 32, 24 et 16 kbit/s:

$DQMAG = \begin{cases} DQ \& 16383; & \text{pour } DQ \text{ du type } 15 \text{ SM} \\ DQ \& 32767; & \text{pour } DQ \text{ du type } 16 \text{ SM} \end{cases}$

$$UGBn = \begin{cases} 128, & Un = 0 \text{ et } DQMAG \neq 0 \\ 65408, & Un = 1 \text{ et } DQMAG \neq 0 \\ 0, & DQMAG = 0 \end{cases} \quad \begin{array}{l} | \\ | \\ | \text{ Gain} = \pm 1/128 \text{ ou } 0 \\ | \\ | \end{array}$$

$BnS = Bn \gg 15$

$$ULBn = \begin{cases} (65536 - (Bn \gg 8)) \& 65535, & BnS = 0 \\ (65536 - ((Bn \gg 8) + 65280)) \& 65535, & BnS = 1 \end{cases} \quad \begin{array}{l} | \\ | \text{ Facteur d'atténuation} = 1/256 \\ | \end{array}$$

$UBn = (UGBn + ULBn) \& 65535$ | Calculer l'actualisation
 $BnP = (Bn + UBn) \& 65535$ |

XOR

Entrées: DQn, DQ
Sortie: Un
Fonction: «ou exclusif» à 1 bit du signe du signal de différence et du signe du signal de différence retardé.

$$DQS = \begin{cases} DQ \gg 14: & \text{pour } DQ \text{ du type } 15 \text{ SM} \\ DQ \gg 15: & \text{pour } DQ \text{ du type } 16 \text{ SM} \end{cases}$$

$$DQnS = DQn \gg 10$$

$$Un = DQS ** DQnS \quad | \text{ «ou exclusif» à 1 bit}$$

4.2.7 Détecteur de tonalité et de transition

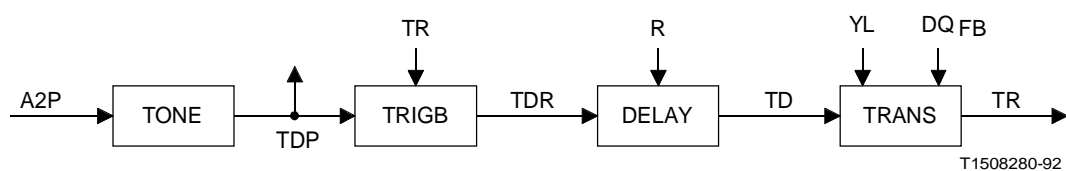


FIGURE 10/G.726

Détecteur de tonalité et de transition

DELAY

Voir la spécification au § 4.2.4.

TONE

Entrée: A2P
Sortie: TDP
Fonction: Détection du signal à bande étroite.

$$TDP = \begin{cases} 1, & 32768 \leq A2P \text{ et } A2P < 53760 \\ 0, & \text{dans les autres cas} \end{cases}$$

TRANS

Entrées: TD, YL, DQ
Sortie: TR
Fonction: Détecteur de transition.

$$DQMAG = \begin{cases} DQ \& 16383: & \text{pour } DQ \text{ du type } 15 \text{ SM} \\ DQ \& 32767: & \text{pour } DQ \text{ du type } 16 \text{ SM} \end{cases}$$

$$YLINT = YL \gg 15$$

$$YLFRAC = (YL \gg 10) \& 31$$

$$THR1 = (32 + YLFRAC) \ll YLINT$$

$$THR2 = \begin{cases} 31 \ll 9, & YLINT > 8: \text{ pour } DQ \text{ du type } 15 \text{ SM} \\ 31 \ll 10, & YLINT > 9: \text{ pour } DQ \text{ du type } 16 \text{ SM} \\ THR1, & \text{dans les autres cas} \end{cases}$$

$$DQTHR = (THR2 + (THR2 \gg 1)) \gg 1$$

$$TR = \begin{cases} 1, & DQMAG > DQTHR \text{ et } TD = 1 \\ 0, & \text{dans les autres cas} \end{cases}$$

TRIGB

Voir la spécification au § 4.2.6.

4.2.8 Conversion du format MIC de sortie et dispositif d'ajustement du codage synchrone

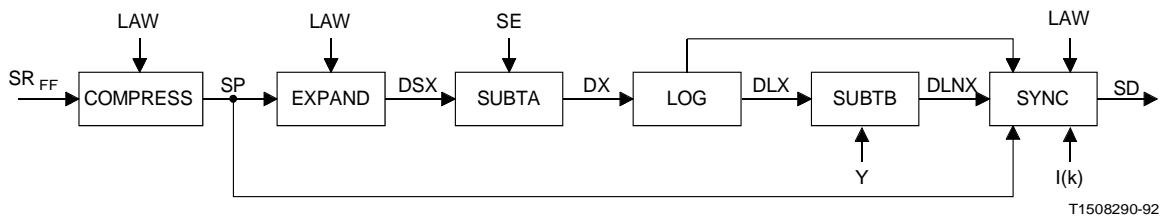


FIGURE 11/G.726

Conversion du format MIC de sortie et dispositif d'ajustement du codage synchrone

COMPRESS (décodeur seulement)

Entrées: SR, LAW
 Sortie: SP
 Fonction: Convertir le format MIC uniforme en format MIC loi A ou loi μ .

$$IS = SR \gg 15$$

$$IM = \begin{cases} SR, & IS = 0 \\ (65536 - SR) \& 32767, & IS = 1 \end{cases} \quad \begin{array}{l} | \text{ Convertir le code} \\ | \text{ complément à deux} \\ | \text{ en code amplitude-signe} \\ | \end{array}$$

$$IMAG = \begin{cases} IM, & AW = 0 \\ IM \gg 1, & LAW = 1 \text{ et } IS = 0 \\ (IM + 1) \gg 1, & LAW = 1 \text{ et } IS = 1 \end{cases} \quad \begin{array}{l} | \text{ loi } \mu \\ | \text{ loi A} \\ | \end{array}$$

puis quantifier IMAG (voir la remarque ci-après) conformément à la Recommandation G.711 à l'aide des valeurs de décision (colonne 5 des tableaux 1a/G.711, 1b/G.711, 2a/G.711 et 2b/G.711) de la manière suivante:

$$SP = \begin{cases} \text{signal de caractère, après inversion des bits de rang pair} \\ \text{déduite du tableau 1a/G.711 (colonne 6),} & IS = 0 \text{ et } LAW = 1 \\ \text{signal de caractère, après inversion des bits de rang pair} \\ \text{déduite du tableau 1b/G.711 (colonne 6),} & IS = 1 \text{ et } LAW = 1 \\ \text{signal de caractère du tableau 2a/G.711 (colonne 6),} & IS = 0 \text{ et } LAW = 0 \\ \text{signal de caractère du tableau 2b/G.711 (colonne 6),} & IS = 1 \text{ et } LAW = 0 \end{cases}$$

Remarque – Quand la valeur de IMAG est à l'extérieur de l'intervalle défini par le niveau de décision virtuel, SP doit être égal au mot de code MIC maximal. Pour plus de clarté, des exemples de conversion de la loi A (après inversion des bits pairs) et de la loi μ au voisinage de l'origine sont donnés dans le tableau 15/G.726.

TABLEAU 15/G.726

Exemples de conversion de la loi A et de la loi μ

IS	IMAG	Mot de code MIC SP	
		Loi A	Loi μ
0	3	11010100	11111101
0	2	11010100	11111110
0	1	11010101	11111110
0	0	11010101	11111111
1	1	01010101	01111110
1	2	01010101	01111110
1	3	01010100	01111101

EXPAND

Voir la spécification au § 4.2.1. Remplacer S par SP pour l'entrée et SL par SLX pour la sortie.

LOG

Voir la spécification au § 4.2.2. Remplacer D par DX pour l'entrée, DL par DLX et DS par DSX pour les sorties.

SUBTA

Voir la spécification au § 4.2.1. Remplacer SL par SLX pour l'entrée et D par DX pour la sortie.

SUBTB

Voir la spécification au § 4.2.2. Remplacer DL par DLX pour l'entrée et DLN par DLNX pour la sortie.

SYNC (décodeur seulement)

Entrées: I, SP, DLNX, DSX, LAW

Sortie: SD

Fonction: Recoder l'échantillon MIC de sortie dans le décodeur pour le codage synchrone en cascade.

Pour un codage MICDA à 40 kbit/s:

$$IS = I \gg 4$$

$$IM = \begin{cases} I + 16, & IS = 0 \\ I \& 15, & IS = 1 \end{cases}$$

$$SD = \begin{cases} SP^+, & ID < IM \\ SP, & ID = IM \\ SP^-, & ID > IM \end{cases}$$

où

SP^+ = mot de code MIC qui représente le niveau de sortie MIC immédiatement supérieur (lorsque SP représente le niveau de sortie maximal positif, alors SP^+ est maintenu égal à SP),

et

SP^- = mot de code MIC qui représente le niveau de sortie MIC immédiatement inférieur (lorsque SP représente le niveau de sortie maximal négatif, alors SP^- est maintenu égal à SP).

Pour un codage MICDA à 32 kbit/s:

$$IS = I \gg 3$$

$$IM = \begin{cases} I + 8, & IS = 0 \\ I \& 7, & IS = 1 \end{cases}$$

ID est défini conformément au tableau suivant:

TABLEAU 16/G.726

Définition d'ID pour un codage MICDA à 40 kbit/s

DSX	DLNX	ID	
0	553-2047	31	
0	528- 552	30	
0	502- 527	29	
0	475- 501	28	
0	445- 474	27	
0	413- 444	26	
0	378- 412	25	
0	339- 377	24	
0	298- 338	23	
0	250- 297	22	
0	198- 249	21	
0	139- 197	20	
0	68- 138	19	
0	0- 67	18	-- Partie positive de l'intervalle de décision
0	4080-4095	18	-- Partie négative de l'intervalle de décision
0	3974-4079	17	
0	2048-3973	15	
1	2048-3973	15	
1	3974-4079	14	
1	4080-4095	13	-- Partie négative de l'intervalle de décision
1	0- 67	13	-- Partie positive de l'intervalle de décision
1	68- 138	12	
1	139- 197	11	
1	198- 249	10	
1	250- 297	9	
1	298- 338	8	
1	339- 377	7	
1	378- 412	6	
1	413- 444	5	
1	445- 474	4	
1	475- 501	3	
1	502- 527	2	
1	528- 552	1	
1	553-2047	0	

ID est défini conformément au tableau suivant:

TABLEAU 17/G.726

Définition d'ID pour un codage MICDA à 32 kbit/s

DSX	DLNX	ID	
0	400- 2047	15	
0	349- 399	14	
0	300- 348	13	
0	246- 299	12	
0	178- 245	11	
0	80- 177	10	
0	0- 79	9	-- Partie positive de l'intervalle de décision
0	3972-4095	9	-- Partie négative de l'intervalle de décision
0	2048-3971	7	
1	2048-3971	7	
1	3972-4095	6	-- Partie négative de l'intervalle de décision
1	0- 79	6	-- Partie positive de l'intervalle de décision
1	80- 177	5	
1	178- 245	4	
1	246- 299	3	
1	300- 348	2	
1	349- 399	1	
1	400-2047	0	

$$SD = \begin{cases} SP^+, & ID < IM \\ SP, & ID = IM \\ SP^-, & ID > IM \end{cases}$$

où

SP^+ = mot de code MIC qui représente le niveau de sortie MIC immédiatement supérieur (lorsque SP représente le niveau de sortie maximal positif, alors SP^+ est maintenu égal à SP),

et

SP^- = mot de code MIC qui représente le niveau de sortie MIC immédiatement inférieur (lorsque SP représente le niveau de sortie maximal négatif, alors SP^- est maintenu égal à SP).

Pour un codage MICDA à 24 kbit/s:

$$IS = I \gg 2$$

$$IM = \begin{cases} I + 4, & IS = 0 \\ I \& 3, & IS = 1 \end{cases}$$

ID est défini conformément au tableau suivant:

TABLEAU 18/G.726

Définition d'ID pour un codage à 24 kbit/s

DSX	DLNX	ID	
0	331-2047	7	
0	218- 330	6	
0	8- 217	5	
0	0- 7	3	-- Partie positive de l'intervalle de décision
0	2048-4095	3	-- Partie négative de l'intervalle de décision
1	2048-4095	3	-- Partie négative de l'intervalle de décision
1	0- 7	3	-- Partie positive de l'intervalle de décision
1	8- 217	2	
1	218- 330	1	
1	331-2047	0	

$$SD = \begin{cases} SP^+, ID < IM \\ SP, ID = IM \\ SP^-, ID > IM \end{cases}$$

où

SP^+ = mot de code MIC qui représente le niveau de sortie MIC immédiatement supérieur (lorsque SP représente le niveau de sortie maximal positif, alors SP^+ est maintenu égal à SP),

et

SP^- = mot de code MIC qui représente le niveau de sortie MIC immédiatement inférieur (lorsque SP représente le niveau de sortie maximal négatif, alors SP^- est maintenu égal à SP).

Pour un codage MICDA à 16 kbit/s:

$$IS = I \gg 1$$

$$IM = \begin{cases} I + 2, IS = 0 \\ I \& 1, IS = 1 \end{cases}$$

ID est défini conformément au tableau suivant:

TABLEAU 19/G.726

Définition d'ID pour un codage MICDA à 16 kbit/s

DSX	DLNX	ID	
0	261-2047	3	
0	0- 260	2	-- Partie positive de l'intervalle de décision
0	2048-4095	2	-- Partie négative de l'intervalle de décision
1	2048-4095	1	-- Partie négative de l'intervalle de décision
1	0- 260	1	-- Partie positive de l'intervalle de décision
1	261-2047	0	

Pour plus de clarté, des exemples de recodage pour la loi A (après inversion des bits de rang pair) et la loi μ au voisinage de l'origine sont donnés dans le tableau suivant:

TABLEAU 20/G.726

Recodage pour les lois A et μ : MICDA

Comparaison entre ID et IM	Loi A		Loi μ	
	SP	SD	SP	SD
ID > IM	11010101	01010101	11111110	11111111
ID = IM	"	11010101	"	11111110
ID < IM	"	11010100	"	11111101
ID > IM	01010101	01010100	11111111	01111110
ID = IM	"	01010101	"	11111111
ID < IM	"	11010101	"	11111110
ID > IM	01010100	01010111	01111110	01111101
ID = IM	"	01010100	"	01111110
ID < IM	"	01010101	"	01111111

Remarque – SP (et SD) représentent les signaux de caractères définis conformément aux tableaux 1/G.711 et 2/G.711. Voir le sous-bloc COMPRESS (§ 4.2.8) pour la représentation exacte de SP (et SD).

APPENDICE I

(à la Recommandation G.726)

Aspects concernant le réseau

Le but de cet appendice est de donner un aperçu général de l'interaction du codage MICDA à 16, 24, 32 et 40 kbit/s avec d'autres dispositifs présents dans le réseau téléphonique et de décrire les répercussions sur des signaux particuliers du réseau. On y trouvera aussi des directives de caractère général.

I.1 *Considérations générales relatives à la transmission*

Les codages à 24 et à 16 kbit/s sont destinés à être utilisés sur des voies de surcharge d'EMCN transmettant des signaux vocaux. Il est recommandé d'alterner rapidement des codages à 32 kbit/s et 16 kbit/s ou à 24 kbit/s, afin qu'en moyenne des échantillons d'au moins 3,5 à 3,7 bits soient utilisés. La méthode d'alternance devra faire l'objet d'un complément d'étude. On ne prévoit pas qu'une telle alternance compromette gravement la qualité des communications vocales. Il n'est pas recommandé d'utiliser un codage à 24 ou à 16 kbit/s pour la transmission de données.

Le codage à 40 kbit/s est destiné à être utilisé sur des canaux de données de modem dans des EMCN et des équipements de multiplication de circuits par paquet (EMCP), en particulier pour l'exploitation de modems à des vitesses de 7200, 9600 et 12 000 bit/s.

On doit prendre des mesures correctives appropriées dans le cas, par exemple, d'utilisation des techniques de subtilisation de bit (bit stealing) pour la mise en œuvre de signalisation à vitesse limitée, sinon de graves dégradations de qualité en découleront.

Inversement, une voie à 64 kbit/s qui est acheminée par une voie (ou des voies) MICDA ne permettra pas d'assurer l'intégrité des bits.

I.2 *Interaction avec d'autres processus*

Le dispositif d'ajustement du codage synchrone est décrit aux § 1.2 et 3.7 de la Recommandation. Le fonctionnement satisfaisant de cet ajustement suppose que les signaux sur le trajet MICDA et sur le trajet intermédiaire à 64 kbit/s ne soient pas dégradés par d'autres processus numériques. Si, par exemple, des atténuateurs numériques, des convertisseurs loi A/loi μ , des annuleurs d'écho ou une concentration numérique de la parole (CNP) sont utilisés en ces points intermédiaires, ce dispositif ne pourra fonctionner correctement. La qualité obtenue restera toutefois supérieure à celle d'une connexion asynchrone.

L'utilisation d'une liaison MICDA pour connecter des signaux MIC loi A à 64 kbit/s et des signaux loi μ à 64 kbit/s s'est révélée satisfaisante dans le cas des signaux vocaux bien que cela empêche le fonctionnement correct du dispositif d'ajustement entre la liaison MICDA ainsi utilisée et la liaison MICDA suivante.

Les interactions entre le codage MICDA et des processus tels que la concentration numérique de la parole (CNP) et l'annulation d'écho (par exemple, bruit de quantification sur le trajet d'écho) sont encore à l'étude.

Les répercussions de décalages en continu importants (provenant des codeurs MIC) sur le fonctionnement de l'algorithme MICDA pour les signaux de faible niveau sont encore à l'étude.

I.3 *Interaction avec les lois de codage autres que MIC*

L'interconnexion avec des lois de codage autres que MIC dépasse le cadre de la présente Recommandation; il peut être nécessaire de recourir à une interconnexion analogique.

La plus grande prudence est donc nécessaire dans les cas d'interconnexion avec des lois de codage qui ne font pas l'objet de Recommandations du CCITT.

I.4 *Synchronisation du codeur/décodeur*

Le codeur et son décodeur doivent toujours fonctionner au même débit binaire (c'est-à-dire 16, 24, 32 ou 40 kbit/s), faute de quoi d'importantes erreurs de poursuite pourraient se produire.

I.5 *Ajustement du codage synchrone*

L'ajustement du codage synchrone fonctionne correctement lorsqu'un couple codeur/décodeur MICDA est connecté par un trajet MIC transparent aux bits à 64 kbit/s à un autre couple codeur/décodeur fonctionnant au même débit. Lorsque deux couples codeur/décodeur fonctionnent à des débits différents, on ne peut pas être certain d'obtenir des codages en cascade synchrones.

I.6 *Qualité de transmission des signaux de parole*

Lorsque la transmission est exempte d'erreurs, la qualité perçue pour des signaux de parole sur des liaisons MICDA à 32 kbit/s n'est que légèrement inférieure à celle d'une liaison MIC à 64 kbit/s. La différence ne devient significative que si un grand nombre de ces liaisons sont mises en cascade. C'est pourquoi il faut contrôler le nombre de liaisons MICDA à 32 kbit/s sur une connexion internationale. Pour des taux d'erreur de transmission supérieurs à 10^{-4} , la qualité perçue de la parole sur une liaison MICDA à 32 kbit/s est supérieure à celle d'une liaison MIC à 64 kbit/s. La Recommandation G.113 précise les limites applicables à la section internationale de la transmission et aux sections nationales. Des essais préliminaires font apparaître que pour les signaux vocaux, un codage MICDA à 40 kbit/s donne des résultats pratiquement aussi bons que la MIC à 64 kbit/s conforme à la Recommandation G.711.

I.7 *Qualité de transmission télégraphique harmonique*

La télégraphique harmonique à 24 voies conformément à la Recommandation R.35 ne peut être acheminée de manière satisfaisante sur des liaisons MICDA à 32 kbit/s, c'est pourquoi il est souhaitable d'appliquer des règles d'acheminement visant à éviter cette combinaison.

I.8 *Qualité de transmission des données*

La qualité de la transmission de données dans la bande des fréquences vocales jusqu'à 2400 bit/s au moyen, par exemple, de modems conformes aux Recommandations V.21, V.22 bis, V.23 et V.26 ter, n'est pas dégradée de manière significative sur les liaisons MICDA à 32 kbit/s si le nombre de ces liaisons ne dépasse pas les limites spécifiées dans la Recommandation G.113.

La qualité de la transmission de données dans la bande des fréquences vocales à 4800 bit/s au moyen, par exemple, de modems conformes à la Recommandation V.27 bis peut être assurée avec un codage MICDA à 32 kbit/s mais elle subira une dégradation additionnelle, supérieure à celle que l'on peut attendre de liaisons MIC conventionnelles à 64 kbit/s. Dans un tel cas, il faut donc prendre des précautions supplémentaires.

Un codage MICDA à 40 kbit/s peut accepter des données en bande vocale à des débits allant jusqu'à 12 000 bit/s. La qualité de fonctionnement des modems V.33 à 14 000 bit/s avec un codage MICDA à 40 kbit/s doit faire l'objet d'un complément d'étude.

I.9 *Signalisation multifréquence à bi-tonalité*

La signalisation multifréquence à bi-tonalité acheminée sur des liaisons MICDA à 32 kbit/s ne devrait pas poser de problèmes graves. L'utilisation de ce procédé pour la signalisation de bout en bout est limitée par le nombre de liaisons en cascade. La qualité de transmission de la signalisation multifréquence à bi-tonalité pour un codage MICDA à 16 kbit/s ou à 24 kbit/s doit faire l'objet d'un complément d'étude.

I.10 *Télécopie*

L'utilisation de la télécopie avec des appareils du groupe 2 ou du groupe 3 conformes aux Recommandations T.3 ou T.4, associée au codage MICDA à 40 kbit/s ne devrait pas entraîner de dégradation, jusqu'à des débits de 12 000 bit/s. La qualité obtenue avec des appareils du groupe 3, en cas d'utilisation du codage MICDA à 40 kbit/s, à un débit de 14 400 bit/s, doit faire l'objet d'un complément d'étude. L'utilisation de la télécopie avec des appareils du groupe 2 conformes aux Recommandations T.3 ou T.4, associée au codage MICDA à 32 kbit/s ne devrait pas entraîner de dégradation importante, jusqu'à des débits pouvant atteindre 12 000 bit/s.

APPENDICE II

(à la Recommandation G.726)

Séquences d'essai numériques pour la vérification des algorithmes décrits dans la Recommandation G.726

Le présent Appendice donne des renseignements sur la façon d'ordonner les séquences d'essai numériques qui ont été choisies pour vérifier les mises en œuvre des algorithmes décrits dans la Recommandation G.726. Des copies des séquences sur disquettes souples, accompagnées d'une description détaillée, peuvent être commandées auprès des services de vente de l'UIT (prière de se référer à la lettre collective 11/XV, 1991).

II.1 *Objet des séquences d'essai numériques*

Les séquences numériques servent à vérifier la conformité de la mise en œuvre de l'algorithme de transcodage numérique. Les séquences sont choisies de manière à faire intervenir les composantes arithmétiques les plus importantes et donnent ainsi un niveau raisonnable de confiance en la conformité de la mise en œuvre de l'algorithme à la présente Recommandation. Il convient de noter qu'il n'est pas possible de prouver à 100% cette conformité avec un nombre limité de séquences d'essai pour tous les états possibles du dispositif. Les questions plus générales soulevées lors de l'essai de ces algorithmes sont activement étudiées dans le cadre des essais VLSI et des tests de conformité des protocoles.

II.2 *Interface et format des disquettes*

On peut se procurer à l'UIT des exemplaires des séquences d'essai numériques, sur quatre disquettes 5 ¼". Ces disquettes ont été créées à l'aide du système d'exploitation MS-DOS (version 3.2 ou plus récente) et ont les caractéristiques suivantes: 1,2 Mbyte, haute densité, double face, 96 pistes par pouce du format MS-DOS 5 ¼".